

### 电子技术的发展

Electronic Design Automation

- 48年 贝尔实验室制成第一只晶体管
- 58年 集成电路 (4-12-100-1000)
- 69年 大规模集成电路 (10万)
- 75年 超大规模集成电路 (15万)

EDA技术

SSI MSI LSI VLSI ULSI GLSI

第一片集成电路只有4个晶体管，而97年一片集成电路上有40亿个晶体管。科学家预测集成度按10倍/6年的速度还将继续到2015或2020年，将达到饱和。

wang\_hong@tsinghua.edu.cn 清华大学

### Design Abstraction Levels

What is that?

逻辑代数

门电路

半导体技术

wang\_hong@tsinghua.edu.cn 清华大学

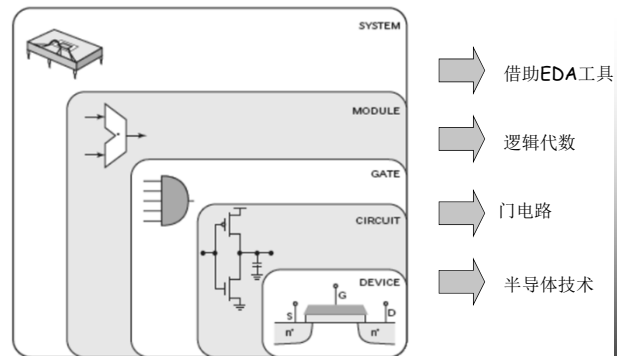
### 大规模集成电路的设计与实现

What is that?

wang\_hong@tsinghua.edu.cn 清华大学

wang\_hong@tsinghua.edu.cn 清华大学

## Design Abstraction Levels

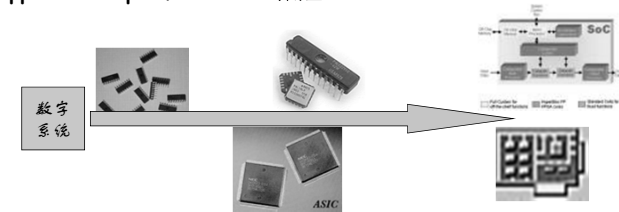


wang\_hong@tsinghua.edu.cn

清华大学

可编程逻辑器件  
(PLD, Programmable Logic Device)

1. 数字集成电路从功能上有分为 通用型、专用型两大类  
General ICs——通用型  
Application-Specific ICs——专用型



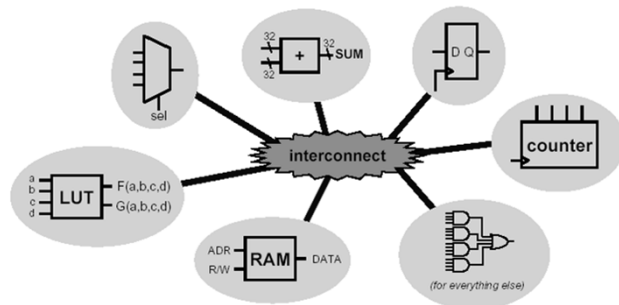
2. PLD的特点：是一种按通用器件来生产，但逻辑功能是由用户通过对器件编程来设定的

wang\_hong@tsinghua.edu.cn

清华大学

## PLD: A Conceptual View

- A PLD is like an electronic breadboard that is wired together by an automated synthesis tool
- Built-in components are called macros



wang\_hong@tsinghua.edu.cn

清华大学

## EDA

- 电子产品从设计、仿真调试、硬件实现全过程自动化。
- 从CAD到EDA
- CAD      Computer Aided Design(Draw)
- CAE      Computer Aided Engineer
- EDA      Electronic Design Automation

wang\_hong@tsinghua.edu.cn

清华大学

### EDA的技术特征

- 以超大规模IC为基础
- 以高性能计算机及软件为平台
- 多学科综合
- 实现电子产品从设计到生产全过程自动化
- 电路软件化—软件即是电路  
用计算机程序描述电路
- 电路的描述形式  
HDL Hardware Description Language

wang\_hong@tsinghua.edu.cn

清华大学

- **Multisim / Ultiboard**: 界面好, 大学实验室, 教学 (电子工艺实习)
- **Quartus II**: 数字电路, 主要用于数字系统 (PLD) 设计和下载
- **OrCAD PSpice**: 精确, 主要用于模拟电路设计、仿真, 科研开发
- .....

wang\_hong@tsinghua.edu.cn

清华大学

- 开始接触, 使用一种可编程器件
- 开始了解, 使用一种**EDA**软件
- 开始学习, 使用一种硬件描述语言

wang\_hong@tsinghua.edu.cn

清华大学

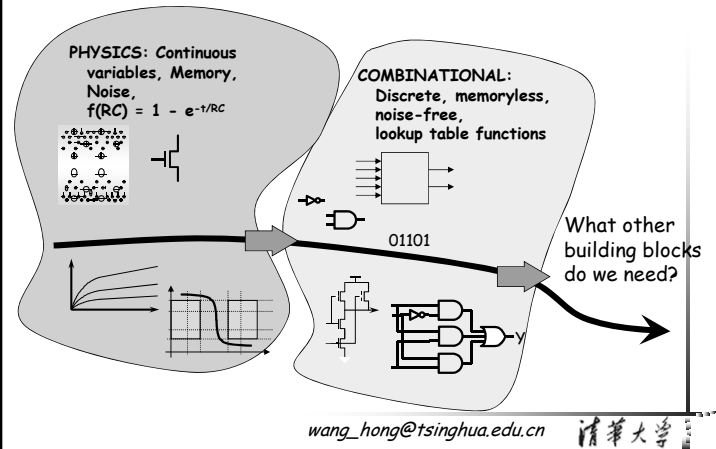
### “组合电路”内容:

- 组合逻辑电路的特点
  - 组合逻辑电路的分析与设计方法
  - 常见的组合电路模块的使用
  - 组合逻辑电路中的竞争冒险
  - 开始接触 PLD , EDA, HDL
- 编码器
  - 译码器
  - 数据选择器
  - 加法器
  - 数值比较器

wang\_hong@tsinghua.edu.cn

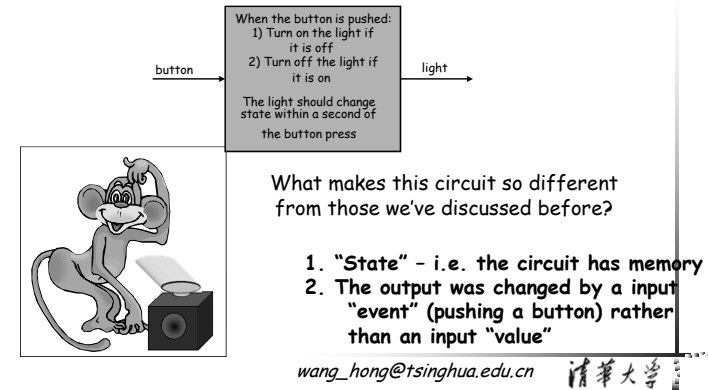
清华大学

## Progress so far...



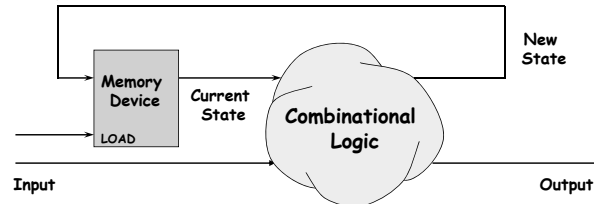
## Something We Can't Build (Yet)

What if you were given the following design specification:



## Digital State

One model of what we'd like to build



Plan: Build a Sequential Circuit with stored digital STATE -

- Memory stores CURRENT state, produced at output
- Combinational Logic computes
  - NEXT state (from input, current state)
  - OUTPUT bit (from input, current state)
- State changes on LOAD control input

wang\_hong@tsinghua.edu.cn 清华大学

Needed: Storage

Combinational logic is *stateless*:  
valid outputs always reflect current inputs.



To build devices with state, we need components which *store* information (e.g., state) for subsequent access.

How can we store - and subsequently access -- a bit?

- Mechanics: holes in cards/tapes
- Optics: Film, CDs, DVDs, ...
- Magnetic materials
- Stored charge

wang\_hong@tsinghua.edu.cn 清华大学

## 第五章 触发器

wang\_hong@tsinghua.edu.cn

清华大学

### 5.1 概述

#### 一、用于记忆1位二进制信号

1. 有两个能自行保持的状态
2. 根据输入信号可以置成0或1

#### 二、分类

1. 按触发方式（电平，脉冲，边沿）
2. 按逻辑功能（RS, JK, D, T）

动作特点

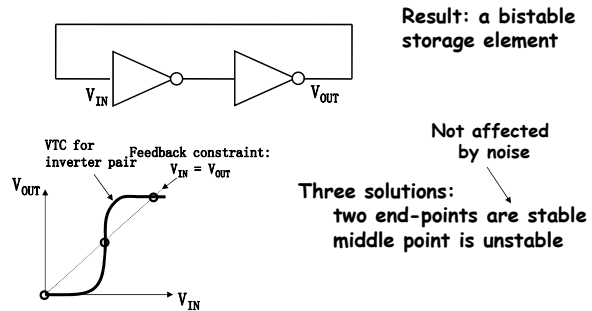
功能描述

wang\_hong@tsinghua.edu.cn

清华大学

### Storage: Using Feedback

IDEA: use positive feedback to maintain storage indefinitely.  
Our logic gates are built to restore marginal signal levels, so noise shouldn't be a problem!

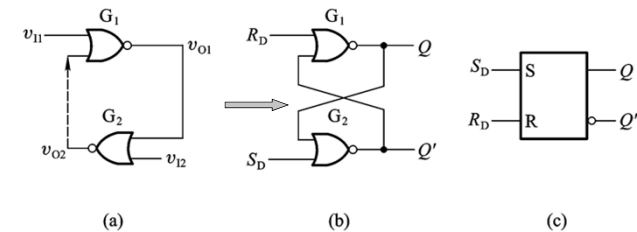


wang\_hong@tsinghua.edu.cn

清华大学

### 5.2 SR锁存器

#### 一、电路结构与工作原理



wang\_hong@tsinghua.edu.cn

清华大学

“state” signal appears as both input and output

| $S_D$ | $R_D$ | $Q$ | $Q^*$ |
|-------|-------|-----|-------|
| 0     | 0     | 0   | 0     |
| 0     | 0     | 1   | 1     |
| 1     | 0     | 0   | 1     |
| 1     | 0     | 1   | 1     |
| 0     | 1     | 0   | 0     |
| 0     | 1     | 1   | 0     |
| 1     | 1     | 0   | 0*    |
| 1     | 1     | 1   | 0*    |

⑧  $S_D$ 和 $R_D$ 的“1”信号同时消失后,  $Q^*$ 不定  
 $\therefore$  正常工作下, 应遵循  $S_D R_D = 0$  的约束条件

wang\_hong@tsinghua.edu.cn 清华大学

二、动作特点  
 在任何时刻, 输入都能直接改变输出的状态。

例:

$S_D'$ 和 $R_D'$ 同时为0  $\Rightarrow Q, Q'$ 同为1

wang\_hong@tsinghua.edu.cn 清华大学

### 5.3 电平触发的触发器

#### 一、电路结构与工作原理

输入控制门+基本SR锁存器  
 只有触发信号CLK到达, S和R才起作用。

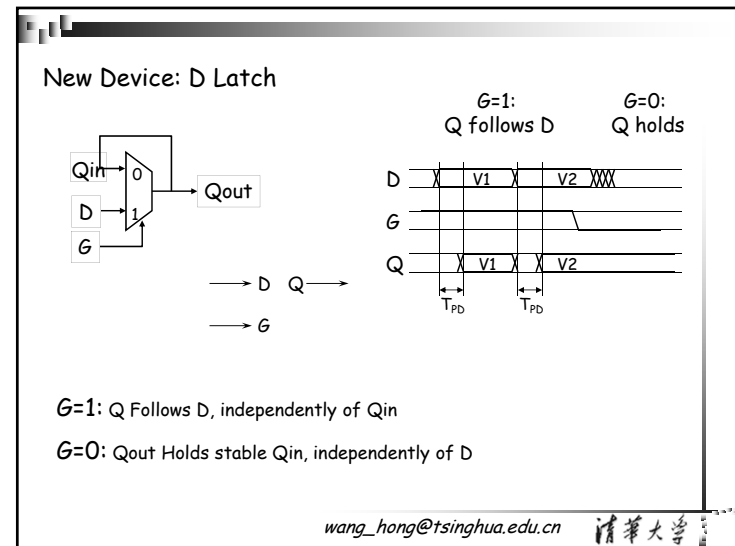
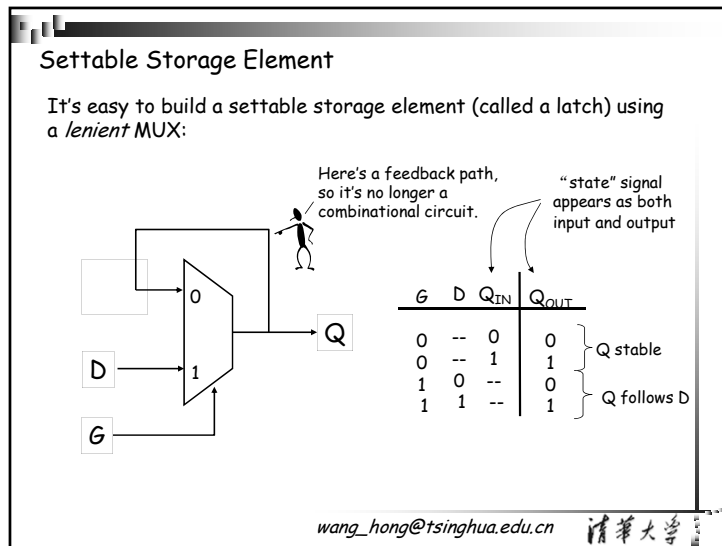
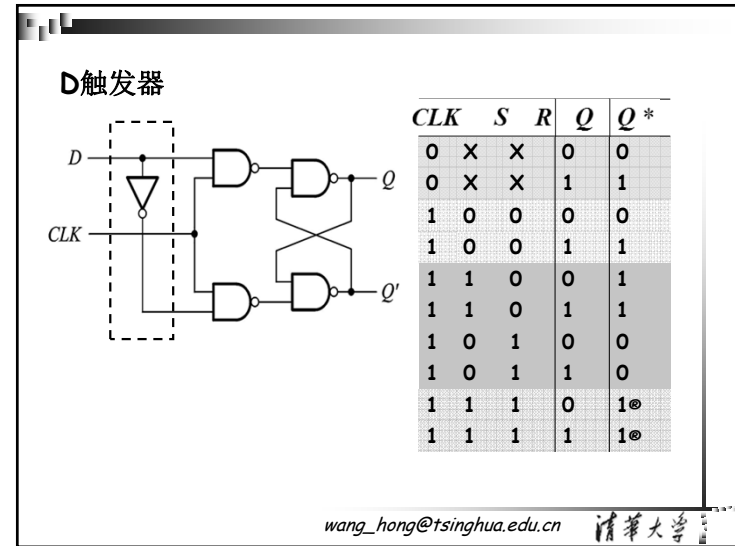
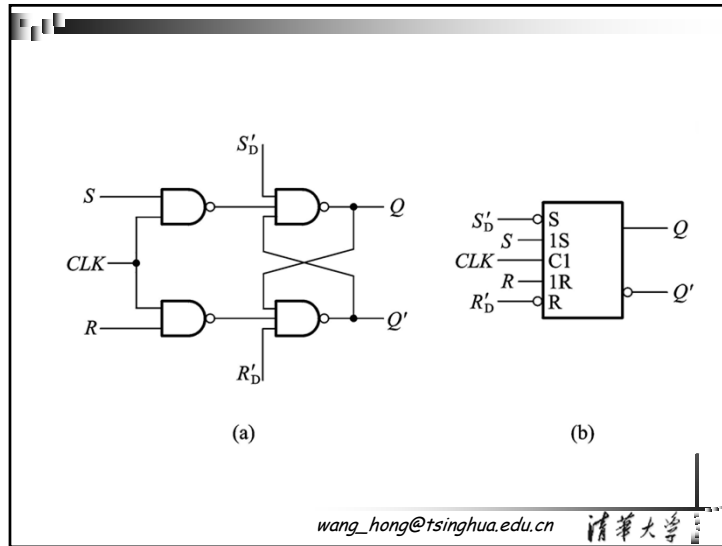
| CLK | S | R | Q | $Q^*$ |
|-----|---|---|---|-------|
| 0   | x | x | 0 | 0     |
| 0   | x | x | 1 | 1     |
| 1   | 0 | 0 | 0 | 0     |
| 1   | 0 | 0 | 1 | 1     |
| 1   | 1 | 0 | 0 | 1     |
| 1   | 1 | 0 | 1 | 1     |
| 1   | 0 | 1 | 0 | 0     |
| 1   | 0 | 1 | 1 | 0     |
| 1   | 1 | 1 | 0 | 1*    |
| 1   | 1 | 1 | 1 | 1*    |

wang\_hong@tsinghua.edu.cn 清华大学

二、动作特点  
 在CLK=1的全部时间里,  
 S和R的变化都将引起输出状态的变化。

在CLK=1期间, Q和Q'可能随S、R变化多次翻转

wang\_hong@tsinghua.edu.cn 清华大学



### Digital State

One model of what we'd like to build

Plan: Build a Sequential Circuit with stored digital STATE -

- Memory stores CURRENT state, produced at output
- Combinational Logic computes
  - NEXT state (from input, current state)
  - OUTPUT bit (from input, current state)
- State changes on LOAD control input

wang\_hong@tsinghua.edu.cn 清华大学

### Lets try it out!

Plan: Build a Sequential Circuit with one bit of STATE -

- Single latch holds CURRENT state
- Combinational Logic computes
  - NEXT state (from input, current state)
  - OUTPUT bit (from input, current state)
- State changes when  $G = 1$  (briefly!)

What happens when  $G=1$ ?

wang\_hong@tsinghua.edu.cn 清华大学

### Combinational Cycles

When  $G=1$ , latch is *Transparent*...  
... provides a combinational path from D to Q.

Looks like a stupid Approach to me...

Want to signal an INSTANT, not an INTERVAL...

wang\_hong@tsinghua.edu.cn 清华大学

### 5.4 脉冲触发的触发器

#### 一、电路结构

提高可靠性，要求每个CP周期输出状态只能改变1次

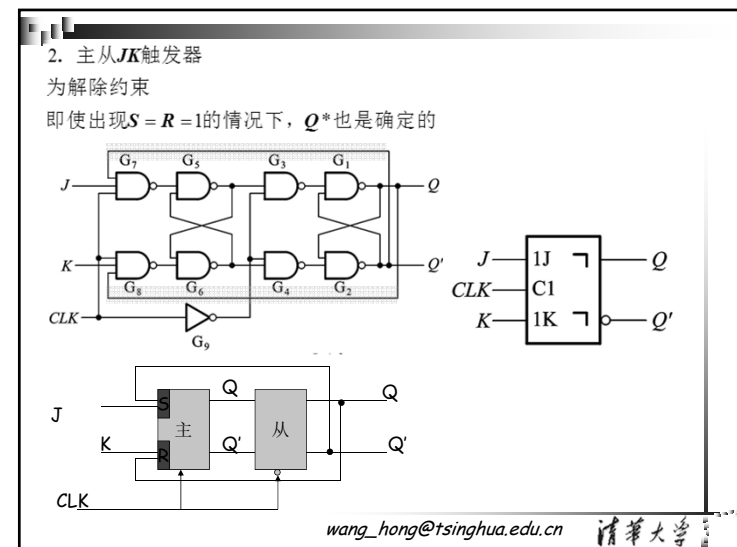
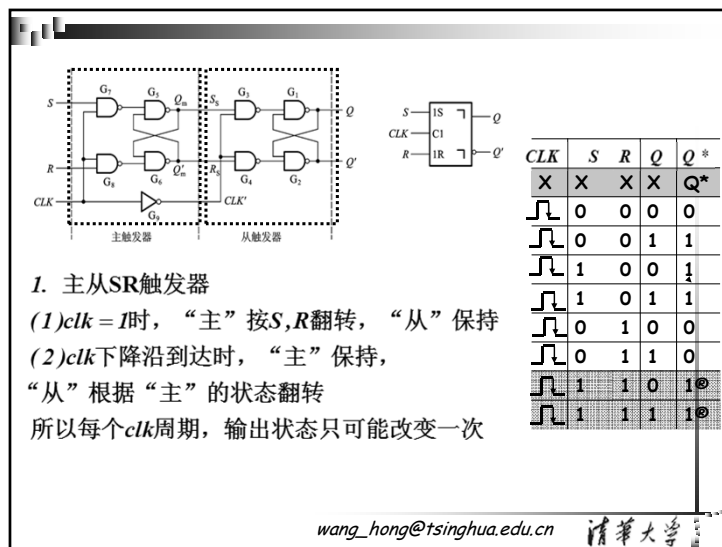
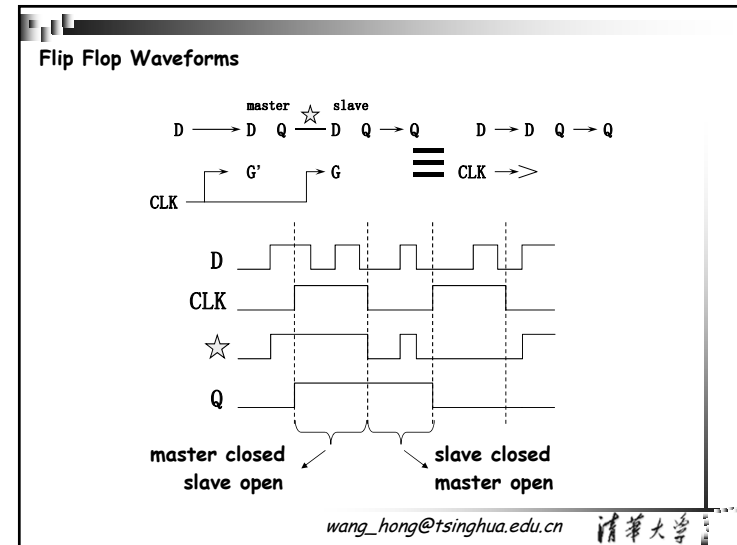
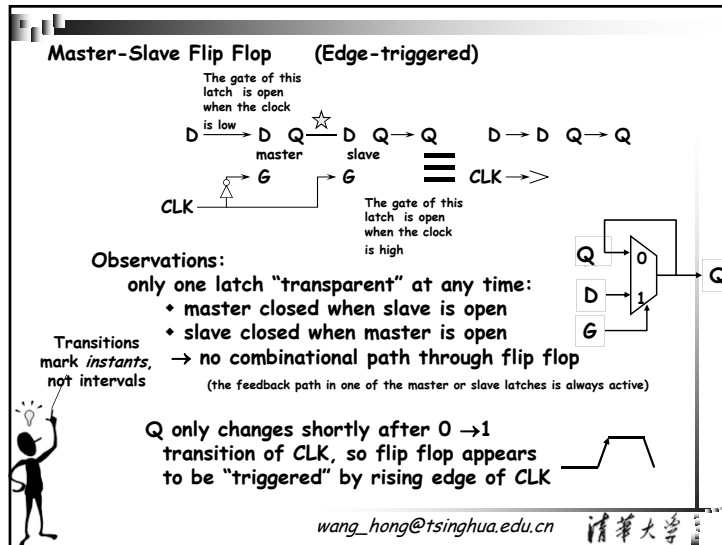
The gate of this latch is open when the clock is low

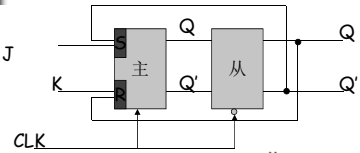
The gate of this latch is open when the clock is high

What does that one do?

wang\_hong@tsinghua.edu.cn 清华大学







(1)若 $J=1, K=0$ 则 $clk=1$ 时,  
 $\begin{cases} Q^*=1, \text{“主”保持} \\ Q^*=0, \text{“主”}=1 \end{cases} \Rightarrow clk \downarrow \text{后, “从”}=1$

(2)若 $J=0, K=1$ 则 $clk=1$ 时,  
 $\begin{cases} Q^*=1, \text{“主”}=0 \\ Q^*=0, \text{“主”保持}0 \end{cases} \Rightarrow clk \downarrow \text{后, “从”}=0$

(3)若 $J=K=0$ 则 $clk=1$ 时,  
 $\begin{cases} Q^*=1 \text{ “主”保持} \\ Q^*=0 \end{cases} \Rightarrow clk \downarrow \text{后, “从”保持}$

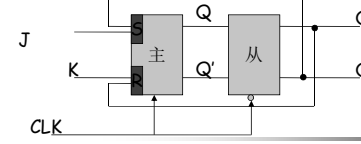
(4)若 $J=K=1$ 则 $clk=1$ 时,  
 $\begin{cases} \text{若 } Q^*=1, \text{则“主”置}0 \\ \text{若 } Q^*=0, \text{则“主”置}1 \end{cases} \Rightarrow clk \downarrow \text{后, “从”}=(Q^*)'$

wang\_hong@tsinghua.edu.cn 清华大学

(5) 列出真值表

| CLK | S | R | Q | Q* |
|-----|---|---|---|----|
| X   | X | X | X | Q* |
| 0   | 0 | 0 | 0 | 0  |
| 0   | 0 | 1 | 1 | 1  |
| 1   | 0 | 0 | 1 | 1  |
| 1   | 0 | 1 | 1 | 1  |
| 0   | 1 | 0 | 0 | 0  |
| 0   | 1 | 1 | 0 | 0  |
| 1   | 1 | 0 | 1 | 0  |
| 1   | 1 | 1 | 1 | 0  |

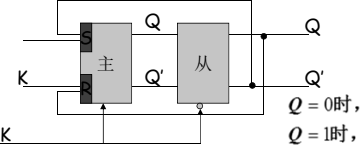
| CLK | J | K | Q | Q* |
|-----|---|---|---|----|
| X   | X | X | X | Q* |
| 0   | 0 | 0 | 0 | 0  |
| 0   | 0 | 1 | 1 | 1  |
| 1   | 0 | 0 | 1 | 1  |
| 1   | 0 | 1 | 1 | 1  |
| 0   | 1 | 0 | 0 | 0  |
| 0   | 1 | 1 | 0 | 0  |
| 1   | 1 | 0 | 1 | 0  |
| 1   | 1 | 1 | 0 | 0  |



wang\_hong@tsinghua.edu.cn 清华大学

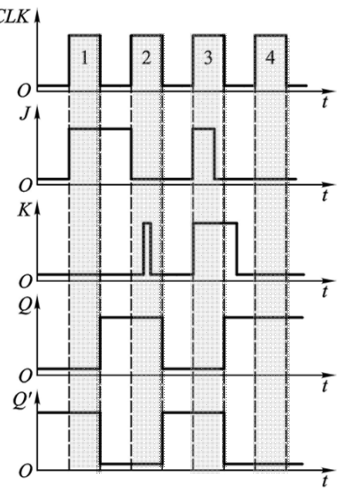
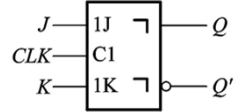
二、脉冲触发方式的动作特点

- 分两步动作:  
 第一步  $clk=1$  时, “主”接收信号, “从”保持  
 第二步  $clk \downarrow$  到达后, “从”按“主”状态翻转  
 $\therefore$  输出状态只能改变一次
- 主从SR, “主”为同步SR,  $clk=1$  的全部时间里输入信号对“主”都起控制作用  
 但主从JK在 $clk$ 高电平期间, “主”只可能翻转一次  
 $\therefore$  在 $clk=1$ 期间里输入发生变化时, 要找出 $clk \downarrow$ 前 $Q$ 最后的状态, 决定 $Q^*$ 。



$Q=0$ 时, 只允许 $J=1$ 的信号进入主触发器  
 $Q=1$ 时, 只允许 $K=1$ 的信号进入主触发器

wang\_hong@tsinghua.edu.cn 清华大学

wang\_hong@tsinghua.edu.cn 清华大学

## 5.5 边沿触发的触发器

为了提高可靠性, 增强抗干扰能力,  
希望触发器的次态仅取决于CLK的下降沿(或上升沿)到来  
时的输入信号状态, 与在此前、后输入的状态没有关系。

用CMOS传输门的边沿触发器

维持阻塞触发器

用门电路tpd的边沿触发器

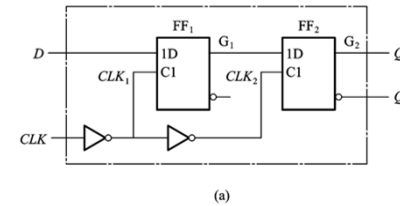
...

wang\_hong@tsinghua.edu.cn

清华大学

## 一、电路结构和工作原理

### 1、用两个电平触发D触发器组成的边沿触发器

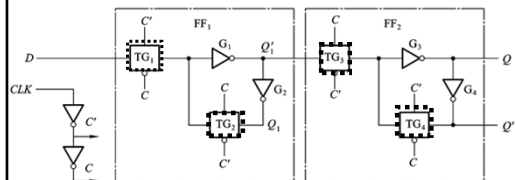


(a)

wang\_hong@tsinghua.edu.cn

清华大学

## 2. 利用CMOS传输门的边沿触发器



(4)列出真值表

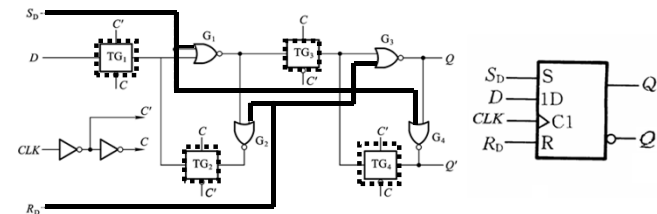
| CLK | D | Q | Q* |
|-----|---|---|----|
| X   | X | X | Q  |
| 0   | 0 | X | 0  |
| 1   | 1 | X | 1  |

- (1)  $clk = 0$  时,  $\begin{cases} TG_1 \text{ 通, } TG_2 \text{ 断} \rightarrow Q' = D, Q' \text{ 随着 } D \text{ 而变化} \\ TG_3 \text{ 断, } TG_4 \text{ 通} \rightarrow Q \text{ 保持, 反馈通路接通, 自锁} \end{cases}$
- (2)  $clk \uparrow$  后,  $\begin{cases} TG_1 \text{ 断, } TG_2 \text{ 通} \rightarrow \text{“主”保持此前的状态 } D \\ TG_3 \text{ 通, } TG_4 \text{ 断} \rightarrow Q' = Q, \text{ 反馈不通} \end{cases}$
- (3)  $clk \downarrow$   $\begin{cases} TG_1 \text{ 通, } TG_2 \text{ 断} \rightarrow Q' = D, \text{ 接收新的输入} \\ TG_3 \text{ 断, } TG_4 \text{ 通} \rightarrow Q \text{ 保持, 反馈通路接通} \end{cases}$   
直到下个  $clk \uparrow$  后, 输出才能变化。

wang\_hong@tsinghua.edu.cn

清华大学

## (5)有异步置1, 置0端



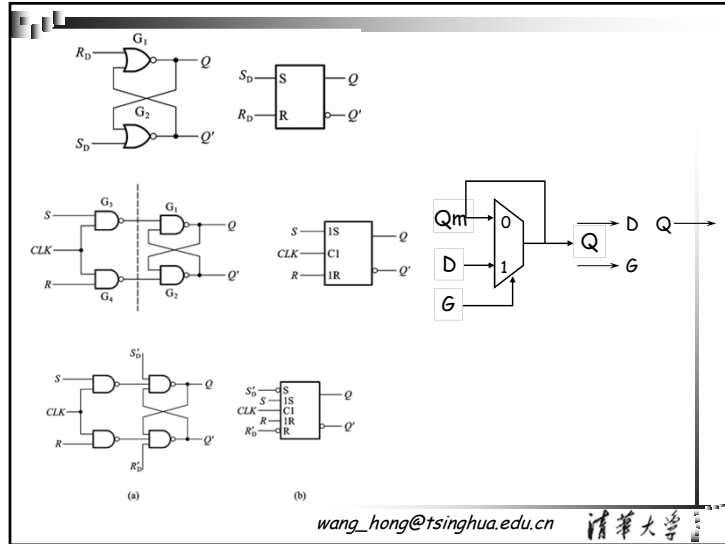
## 二、动作特点

$Q^*$ 变化发生在  $clk$  的上升沿(或下降沿),

$Q^*$ 仅取决于上升沿到达时输入的状态, 而与此前、后的状态无关

wang\_hong@tsinghua.edu.cn

清华大学



## 5.6 触发器的逻辑功能及其描述方法

### 5.6.1 触发器按逻辑功能的分类

时钟控制的触发器中

由于输入方式不同（单端，双端输入）、次态  $Q^*$  随输入变化的规则不同

wang\_hong@tsinghua.edu.cn 清华大学

### 一、SR触发器

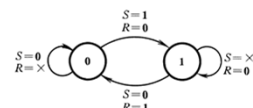
1. 定义，凡在时钟信号作用下，具有如下功能的触发器称为SR触发器

2. 特性方程

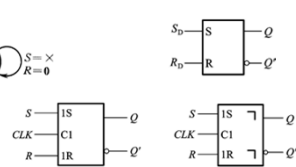
$$Q^* = S'R'Q + SR'Q' + SR'Q = S'R'Q + SR' = S + R'Q$$

约束条件:  $SR = 0$

3. 状态转换图



4. 符号



| S | R | Q | Q* |
|---|---|---|----|
| 0 | 0 | 0 | 0  |
| 0 | 0 | 1 | 1  |
| 1 | 0 | 0 | 1  |
| 1 | 0 | 1 | 1  |
| 0 | 1 | 0 | 0  |
| 0 | 1 | 1 | 0  |
| 1 | 1 | 0 | 1  |
| 1 | 1 | 1 | 1  |

wang\_hong@tsinghua.edu.cn

清华大学

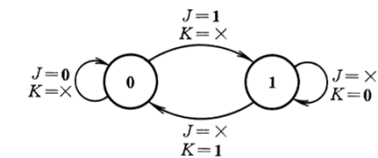
### 二、JK触发器

1. 定义

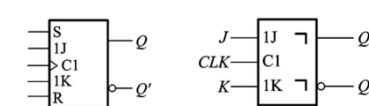
| J | K | Q | Q* |
|---|---|---|----|
| 0 | 0 | 0 | 0  |
| 0 | 0 | 1 | 1  |
| 1 | 0 | 0 | 1  |
| 1 | 0 | 1 | 1  |
| 0 | 1 | 0 | 0  |
| 0 | 1 | 1 | 0  |
| 1 | 1 | 0 | 1  |
| 1 | 1 | 1 | 0  |

2. 特性方程:  $Q^* = JQ' + K'Q$

3. 状态转换图



4. 符号



wang\_hong@tsinghua.edu.cn

清华大学

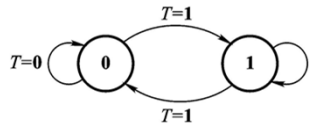
### 三、T触发器

1. 定义：凡在时钟信号作用下，具有如下功能的触发器

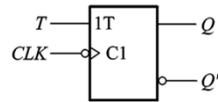
| T | Q | Q* |
|---|---|----|
| 0 | 0 | 0  |
| 0 | 1 | 1  |
| 1 | 0 | 1  |
| 1 | 1 | 0  |

2. 特性方程： $Q^* = TQ' + T'Q$

3. 状态转换图



4. 符号



wang\_hong@tsinghua.edu.cn

清华大学

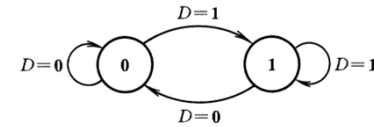
### 四、D触发器

1. 定义：凡在时钟信号作用下，具有如下功能的触发器

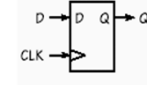
| D | Q | Q* |
|---|---|----|
| 0 | 0 | 0  |
| 0 | 1 | 0  |
| 1 | 0 | 1  |
| 1 | 1 | 1  |

2. 特性方程： $Q^* = D$

3. 状态转换图



4. 符号



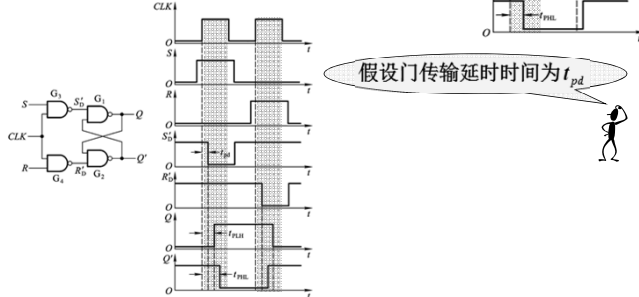
wang\_hong@tsinghua.edu.cn

清华大学

### 5.7 触发器的动态特性

一、输入信号宽度

二、传输延迟时间  $t_{PLH}, t_{PHL}$



wang\_hong@tsinghua.edu.cn

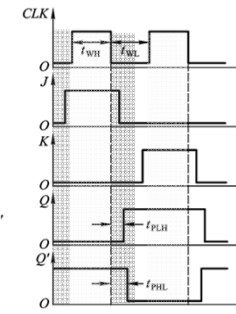
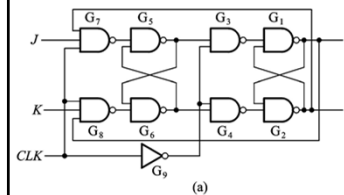
清华大学

一、建立时间  $t_{SETUP}$

假设门传输延时时间为  $t_{pd}$

二、保持时间  $t_{HOLD}$

三、传输延迟时间



四、最高时钟频率

wang\_hong@tsinghua.edu.cn

清华大学

### D Latch

$G=1$ : Q follows D  
 $G=0$ : Q holds

BUT... A change in D or G contaminates Q, hence Qm ... how can this possibly work?

$G=1$ : Q Follows D, independently of Qm  
 $G=0$ : Q Holds stable Qm, independently of D

wang\_hong@tsinghua.edu.cn 清华大学

| G | D | Qm | Q |
|---|---|----|---|
| 1 | 0 | X  | 0 |
| 1 | 1 | X  | 1 |
| X | 0 | 0  | 0 |
| X | 1 | 1  | 1 |
| 0 | X | 0  | 0 |
| 0 | X | 1  | 1 |

Assume LENIENT Mux, propagation delay of  $T_{PD}$

Then output valid when

- $G=1$ , D stable for  $T_{PD}$ , independently of Qm; or
- $Qm=D$  stable for  $T_{PD}$ , independently of G; or
- $G=0$ , Qm stable for  $T_{PD}$ , independently of D

What if D and G change at about the same time...

wang\_hong@tsinghua.edu.cn 清华大学

### ... with a little discipline

To reliably latch V2:

- Apply V2 to D, holding  $G=1$
- After  $T_{PD}$ , V2 appears at  $Q=Qm$
- After another  $T_{PD}$ , Qm & D both valid for  $T_{PD}$ ; will hold  $Q=V2$  independently of G
- Set  $G=0$ , while Qm & D hold  $Q=D$
- After another  $T_{PD}$ ,  $G=0$  and Qm are sufficient to hold  $Q=V2$  independently of D

Dynamic Discipline for our latch:

$T_{SETUP} = 2T_{PD}$ : interval prior to G transition for which D must be stable & valid

$T_{HOLD} = T_{PD}$ : interval following G transition for which D must be stable & valid

wang\_hong@tsinghua.edu.cn 清华大学

### Master-Slave Flip Flop (Edge-triggered)

CLK → D → D → Q → Q → D → D → Q → Q

master slave

CLK → G' → G

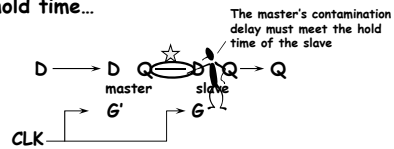
CLK →

master closed slave open

slave closed master open

wang\_hong@tsinghua.edu.cn 清华大学

Um, about that hold time...



Consider HOLD TIME requirement for slave:

- Negative (1  $\rightarrow$  0) clock transition  $\rightarrow$  slave freezes data:
  - SHOULD be no output glitch, since master held constant data; BUT
  - master output contaminated by change in  $G$  input!
- HOLD TIME of slave not met, UNLESS we assume sufficient contamination delay in the path to its D input!

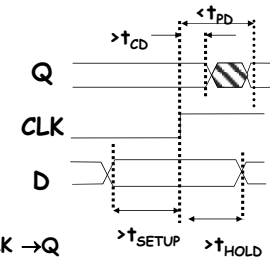
Accumulated  $t_{CD}$  thru inverter,  $G \rightarrow Q$  path of master must cover slave  $t_{HOLD}$  for this design to work!

wang\_hong@tsinghua.edu.cn

清华大学

## Flip Flop Timing

$D \rightarrow D \quad Q \rightarrow Q$   
 $CLK \rightarrow >$



$t_{PD}$ : maximum propagation delay,  $CLK \rightarrow Q$   
 $t_{CD}$ : minimum contamination delay,  $CLK \rightarrow Q$

$t_{SETUP}$ : setup time  
 guarantee that D has propagated through feedback path before master closes

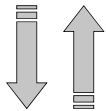
$t_{HOLD}$ : hold time  
 guarantee master is closed and data is stable before allowing D to change

wang\_hong@tsinghua.edu.cn

清华大学

逻辑功能:

是  $Q^*$  与输入及  $Q$  在  $CP$  作用后稳态之间的关系  
 (RS, JK, D, T)



电路结构形式:

具有不同的动作特点 (转换状态的动态过程)  
 (同步, 主从, 边沿)

wang\_hong@tsinghua.edu.cn

清华大学