

泰芯 AH 模组硬件设计指南



泰芯保密文件

保密等级	A	泰芯 AH 模组硬件设计指南	文件编号	
发行日期	2023-6-21		文件版本	V3.4

目录

1 概述	1
2 原理图设计	2
2.1 电源	2
2.1.1 系统主电源（VCC0/VCC1/VCC2）	2
2.1.2 SVCC 电源	5
2.1.3 1.3V 电源（VDD13A/VDD13D）	5
2.1.4 上电时序	6
2.2 NorFlash	6
2.3 复位	7
2.4 射频	8
2.4.1 射频 π 网络	8
2.4.2 双天线参考	8
2.5 接口	9
2.5.1 SDIO	9
2.5.2 以太网 RMII	11
2.5.3 USB	13
2.5.4 UART	13
2.5.5 SPI	14
2.6 低功耗	15
2.6.1 STA 低功耗	15
2.6.2 AP 低功耗	16
3 PCB 设计	17
3.1 PCB 设计要点	17
3.2 模组在底板上的位置摆放	17
3.3 电源	17
3.4 射频	18
3.5 接口	21
3.5.1 USB	21
3.5.2 SDIO	21
3.5.3 RMII	21
3.5.4 UART	21
4 板级 EMI 的测量方法	22
5 射频干扰音频的改善方法	23
5.1 布局建议	23
5.2 电路优化参考	23

保密等级	A	泰芯 AH 模组硬件设计指南	文件编号	
发行日期	2023-6-21		文件版本	V3.4

修订记录

日期	版本	描 述	修订人
2023-6-21	V3.4	增加音频和射频的布局建议；	WY
2023-4-3	V3.3	修改休眠唤醒和 AP 低功耗的说明；	WY
2022-12-19	V3.2	增加射频的 PCB 走线参考； 增加 SDIO 的时钟频点建议；	WY
2022-9-22	V3.1	修改上电时序的描述；	WY
2022-8-24	V3.0	修改低功耗电流的描述；	WY
2022-8-19	V2.9	修改 3.3V 纹波的说明；	WY
2022-8-3	V2.8	增加射频干扰音频的改善方方法；	YJZ
2022-7-14	V2.7	修改电源的说明；	WY
2022-5-30	V2.6	增加预防 SDIO 的 EMI 说明；	WY
2022-5-20	V2.5	调整 SVCC 的连接方式； 增加 1.3v DCDC 的说明；	WY
2022-2-28	V2.4	VCC1 串磁珠；	WY
2022-2-18	V2.3	修改 logo；	XYJ
2022-1-10	V2.2	修改页眉和页脚；	WY
2021-12-16	V2.1	增加 NorFlash 的说明；	WY
2021-9-14	V2.0	与低功耗硬件设计指南合并成一个文档； 增加 AP 低功耗的说明； 加入双天线的参考；	WY
2021-5-30	V1.7	增加 SDIO SVCC 1.8v 的说明；	WY
2021-5-15	V1.6	增加板级 EMI 的测量方法	WY
2021-4-19	V1.5	修改 UART 的串联电阻阻值为 1K	WY
2021-3-10	V1.4	修改电源额定电流的要求	WY
2020-12-11	V1.3	兼容 TX-AH-R900X-XX 模组	Xue

	珠海泰芯半导体有限公司 Taixin Semiconductor Co., Limited	珠海市高新区港湾一号科创园港 11 栋 3 楼
---	--	-------------------------

保密等级	A	泰芯 AH 模组硬件设计指南	文件编号	
发行日期	2023-6-21		文件版本	V3.4

2020-10-27	V1.2	修改 SDIO 的上拉电阻	WY
2020-10-19	V1.1	调整目录结构	WY
2020-10-17	V1.0	初始版本	Xue

泰芯保密文件

	珠海泰芯半导体有限公司 Taixin Semiconductor Co., Limited	珠海市高新区港湾一号科创园港 11 栋 3 楼
---	--	-------------------------

版权所有侵权必究
Copyright © 2023 by Taixin Semiconductor All rights reserved

1 概述

TX-AH 模组是一款高集成度的工作在 Sub1G 频段的 802.11AH 模组，专为安防监控、物联网（IOT）、智能家居等各种应用而设计。TX-AH 模组搭载由珠海泰芯半导体全知识产权自研的 SOC TXW830x。本模组支持二次开发，无需使用其他微控制器或处理器，集成丰富的通信接口便于客户的方案开发，包括 RMII，SDIO，USB，SPI，UART 等。TX-AH 模组支持 IEEE 802.11ah 协议，包括一个功能完备的 Wi-Fi 子系统，集成了 Wi-Fi MAC、Wi-Fi 射频和基带、天线开关、功率放大器、低噪声放大器部件等，提供了完整的 Wi-Fi 解决方案。关于 TX-AH 模组更多说明和订购信息请参考《泰芯 802.11ah TX-AH-Rx00P 系列模组技术规格书》。

泰芯保密文件

2 原理图设计

TX-AH 模组集成了时钟晶振、802.11ah SOC、天线开关、功率放大器，声表面滤波器等器件，高集成度可以使得应用方案的硬件设计更加简单便捷。为了保证 TX-AH 模组的工作性能，此文档将详细介绍 TX-AH 模组方案应用设计时的硬件设计规范以及注意事项。

TX-AH 模组应用方案硬件部件介绍：

- 电源
- NorFlash
- 复位电路
- 射频和天线
 - PI 网络
 - 双天线
- 接口
 - SDIO
 - GMAC
 - USB
 - UART
 - SPI
- 低功耗
 - STA 低功耗
 - AP 低功耗

2.1 电源

2.1.1 系统主电源（VCC0/VCC1/VCC2）

TX-AH 模组的 PIN7（VCC0）是模组的系统电源输入管脚，PIN4/5（VCC2）和 PIN6（VCC1）是模组的射频系统电源输入管脚。VCC0/VCC1/VCC2 供电电压是 3.0~3.4V，默认建议用 3.3V 供电。AH 模组的电源的额定电流为 600mA@3.3V（发射功率@20dbm）。用 DCDC 供电时为了保证 RF 的 Rx 性能，在 Rx 状态下 3.3V 的电源纹波需要小于 30mV。图 2-1 是以 TX-AH-R900P 为例的电源连接示意图。请注意当 TX-AH 模组工作在 TX 时，瞬间抽电会加大，有可能引起电源的轨道塌陷，

所以建议在电源走线上至少有一个 10 μF 电容，该电容可与 0.1 μF 、100pF 电容搭配使用。在 Tx 状态下，要确保电源不低于 3.0V。另外，在靠近 PIN6 管脚还可以考虑用磁珠抑制高频谐波,即 VCC1 上需要串一个磁珠。如图 2-1 所示。

AH_MODULE

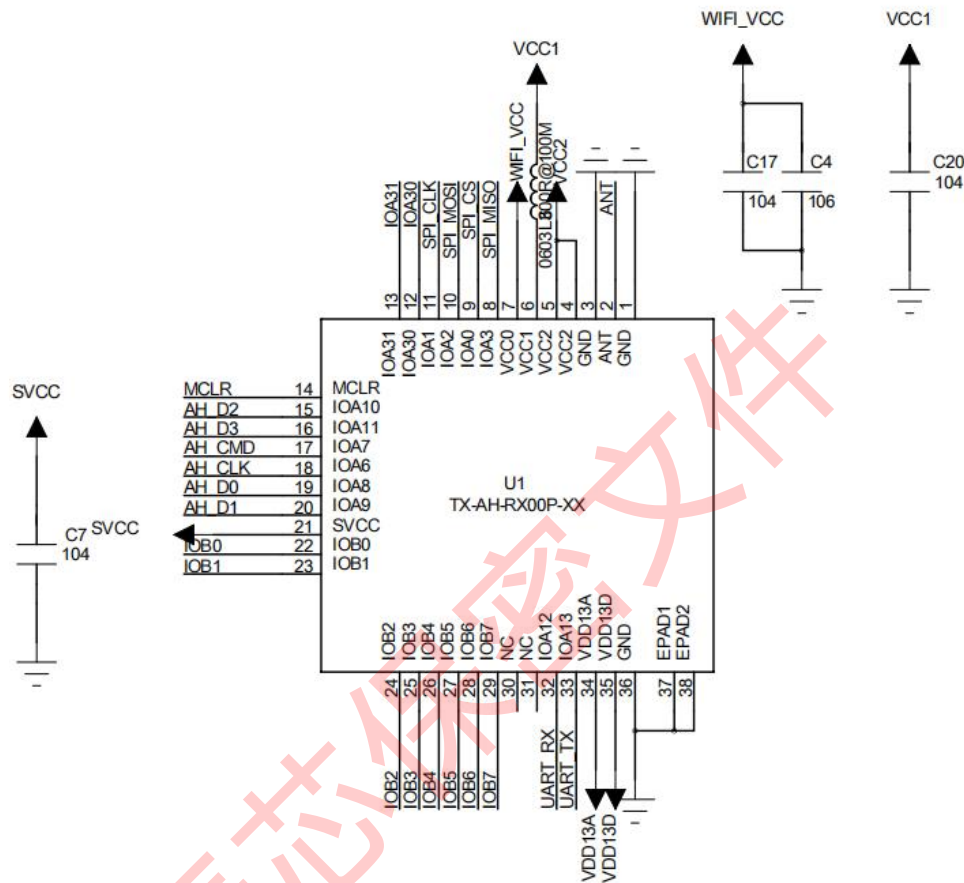


图 2-1 TX-AH 模组电源连接

图 2-2（a）是描述低功耗场景下 VCC1 和 VCC2 怎么产生。在对 sleep 功耗要求比较高的场景（要求低功耗电流<250uA），可以在 sleep 时将 VCC1/VCC2 关断，此时需要将 RF13 NC，并且用 IOA30 控制 VCC1/VCC2 的开关。

AH LOW PWR MODE CONTROL

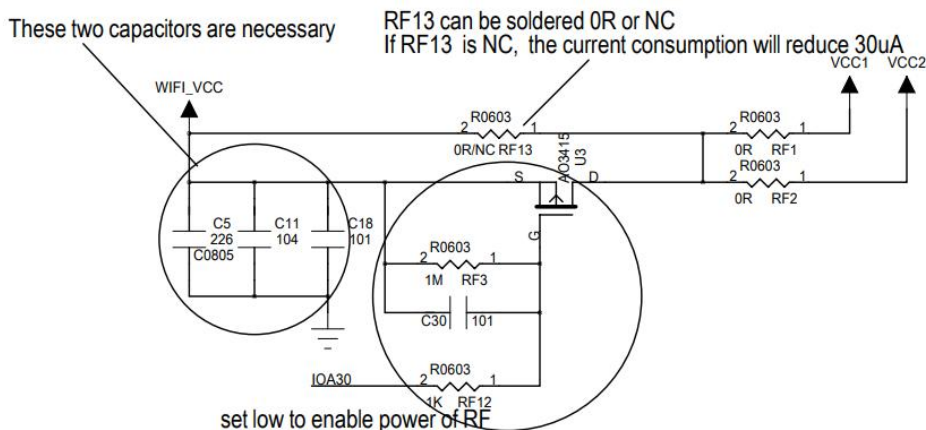


图 2-2 (a) 低功耗电路中的电源连接

如果不太考虑低功耗的场景，VCC0/VCC1/VCC2 在一般情况下可以简化考虑连在一起，此时建议在靠近 PIN6、PIN7 管脚用磁珠抑制高频谐波，即 **VCC1 和 VCC0 上都需要串一个磁珠**，如图 2-2（b）所示。

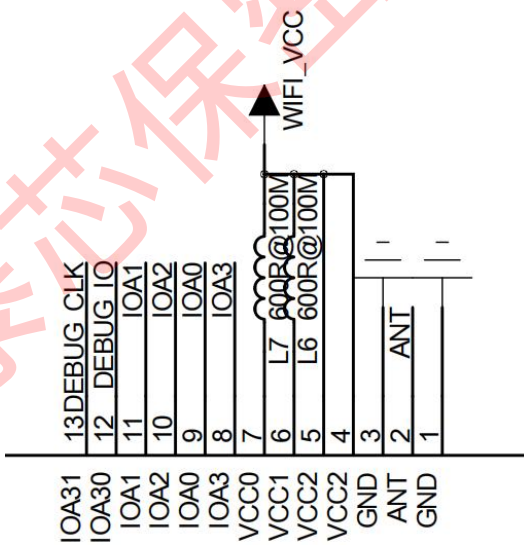


图 2-2 (b) 非低功耗电路中的电源连接

2.1.2 SVCC 电源

TX-AH 模组的 PIN21 是管理 IO 电压 IOA6~IOA11 的电源输入管脚，SVCC 的电压支持 1.8V 到 3.3V 输入。具体的输入电压取决于主控 SDIO 工作电平。如果主控 SDIO 的工作电平是 3.3V，那么 SVCC 就需要输入 3.3V；如果主控 SDIO 的工作电平是 1.8V，SVCC 则需要固定输入 1.8V。如果 IOA6~IOA11 复用为其他的功能 pin，一般情况下，SVCC 建议跟 VCC0 共电源即可，并且在靠近 SVCC 管脚加一个 10uF 的电容器，如图 2-3 所示。

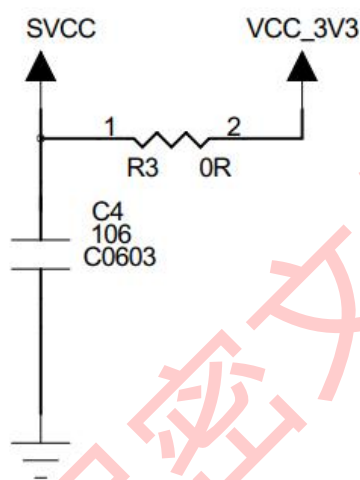
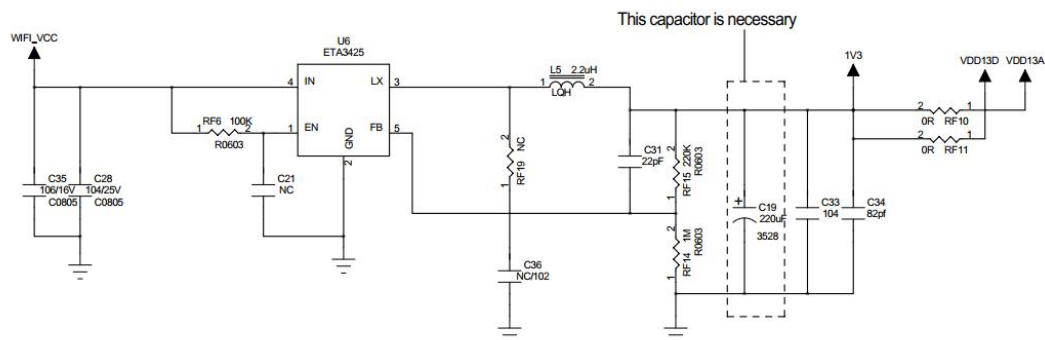


图 2-3 SVCC 连接示意图

2.1.3 1.3V 电源（VDD13A/VDD13D）

PIN34、PIN35 是 AH 模组的 1.3V 模拟和数字的电源输入管脚，在低功耗的方案时，需要外接一个支持低功耗的 1.3V DCDC，降低整机功耗。该 DCDC 的选型主要考量三个参数：首先 DCDC 的静态功耗要尽可能低（<20uA）保证休眠功耗不会明显变大；另外一个需要保证在约 40ma@1.3V 时 DCDC 就可以处于完全的 PWM 模式，而不能进入 PFM 或 PSM 状态，否则会导致正常模式的 Tx/Rx 性能不好；最后输出电源纹波需要保证 30mv 以内。



If use this dcdc, no need to cut-off power due to very low leakage

VCC(1.3V) current at least 200mA. ripple<30mV

图 2-4 1.3V 电源连接示意图

非低功耗设计，可以不用接 1.3v input，保持 PIN34/35 浮空即可。

STA 低功耗和 AP 低功耗，都需要图 2-4 的电路。

2.1.4 上电时序

如果外部有 1.3V 给模组供电时，请注意 1.3V 后于 3.3V 上电，即在 3.3V 上电完成后再给 1.3V 上电。

AH 模组需要注意主控和 TX-AH 模组有通信接口连接的情况，请务必确认通信接口主控端的上电电平处于何种状况。

假如接口上电电平为高时，而 TX-AH 模组尚未供电，通信接口将会漏电给 TX-AH 模组，导致 TX-AH 模组上电启动时出现异常。请避免出现这种情况，确保 TX-AH 模组和主控同时上电。

2.2 NorFlash

模组没有内置 SPI NorFlash。

在网桥方案和 STA 低功耗方案需要外置 NorFlash。SPINor 的容量不小于 8Mbit。

网桥方案是单模组方案，所以要通过外置 NorFlash 启动。

STA 低功耗方案由于要实现快速唤醒，所以要选择外挂 NorFlash 启动，否则唤醒时通过接口下载固件会比较慢。

其他方案可以考虑不外置 NorFlash，而通过接口下载固件到模组。如果觉得

接口下载固件慢，也可以选择外置 NorFlash。

外置 NorFlash 的参考电路请见图 2-5。用户在选用 SPI FLASH 的时候请务必先咨询原厂是否支持该 FLASH 型号。

SPI BOOT

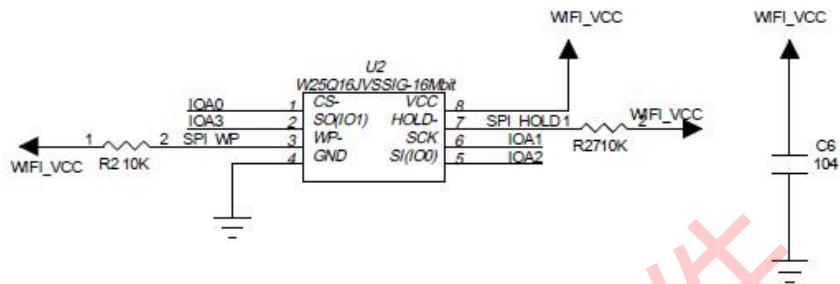


图 2-5 NorFlash 电路

2.3 复位

TX-AH 模组的 PIN14 (MCLR) 为复位管脚。内部弱上拉，复位低电平有效。为防止外界干扰引起重启，建议 MCLR 的走线尽量短，并在 MCLR 管脚处增加一个 RC 电路 (MCLR 在 STA 低功耗电路也可以用来做唤醒 AH 模组，所以请注意电容的值)。

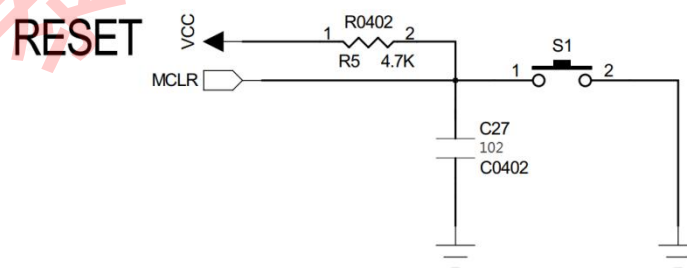


图 2-6 复位电路

2.4 射频

2.4.1 射频 π 网络

TX-AH 模组的 PIN2 是模组射频管脚，设计时需要保证预留一个 π 型的匹配电路，优先使用 CLC 结构。TX-AH 模组的射频电路如图 2-7 所示。默认将 C2/C3 NC，将 L2 焊 0R。

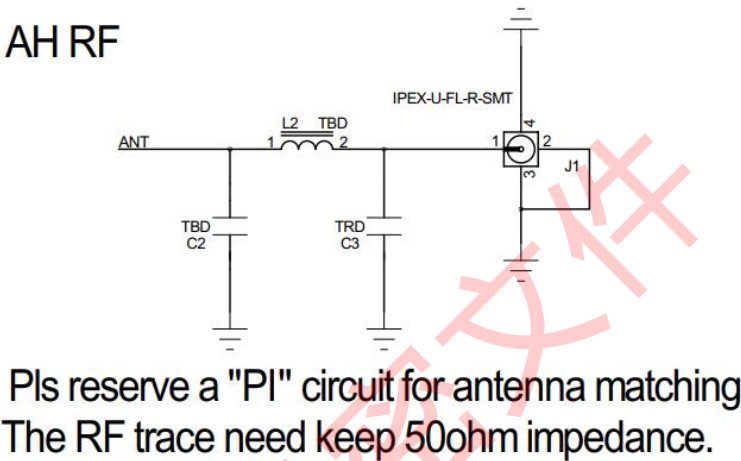


图 2-7 RF PI 电路

注意：匹配网络的元件参数需要根据实际天线和 PCB 走线进行测试确定。

2.4.2 双天线参考

AH 模组支持通过检测天线的信号，实时切换到信号更好的天线。这个天线切换功能，对于一些移动或方向变动的设备，具有实用价值。通过 IOA31 控制外接的天线选择开关来切换天线，如图 2-8 所示。

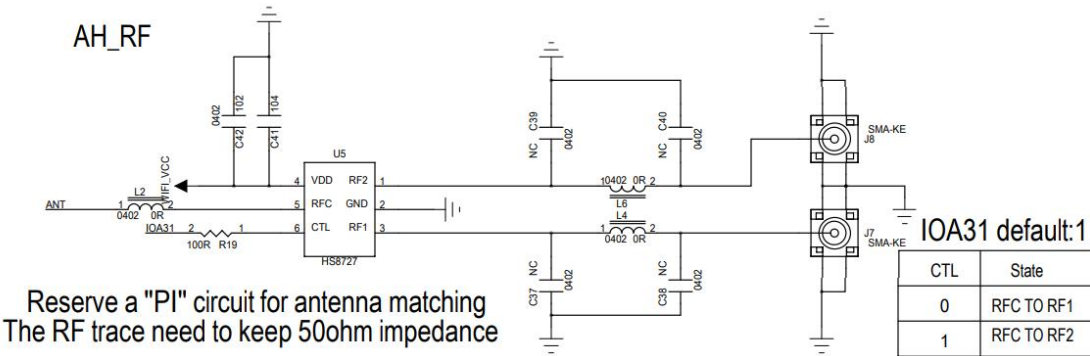


图 2-8 双天线控制电路

2.5 接口

2.5.1 SDIO

TX-AH 模组需要和主控进行 SDIO 通信的时候，建议参考《TX-AH 模组规格书》的管脚定义进行原理图设计。为了保证 SDIO 的通信正常，保证驱动能力，CMD/DATA0~3 应当有一个 10K 的上拉电阻（CLK 不需要上拉）。此外 CLK/CMD/DATA0~3 还需在信号线间串一个 22R 电阻靠近主控端来抑制高次谐波 EMI；CLK 要预留一个 RC 滤波电路，要靠近主控放置。

SDIO 的 CLK 的 EMI 有可能影响 RF 性能，所以建议设定合适的 CLK 频率使之倍频不在 RF 工作频段范围内，例如设置成 30Mhz/39Mhz/45Mhz/50Mhz，则倍频不会落在 902M~928M 以及 863~868M 内。如果调不了 CLK 频率，其倍频不得不落在 RF 工作频段，那就只能减小驱动能力以降低 EMI 了。

需要小心 SVCC 的输入电平，建议 SVCC 接主控的电源，而不是跟模组的 VCC 相连。如果 SDIO3.0 主控希望用 1.8V 电平，就默认固定用 1.8V 电平，而不要走 3.3V 切 1.8V 的流程。

IOA12/13 是调试打印口。

参考原理图设计如图 2-9 所示。

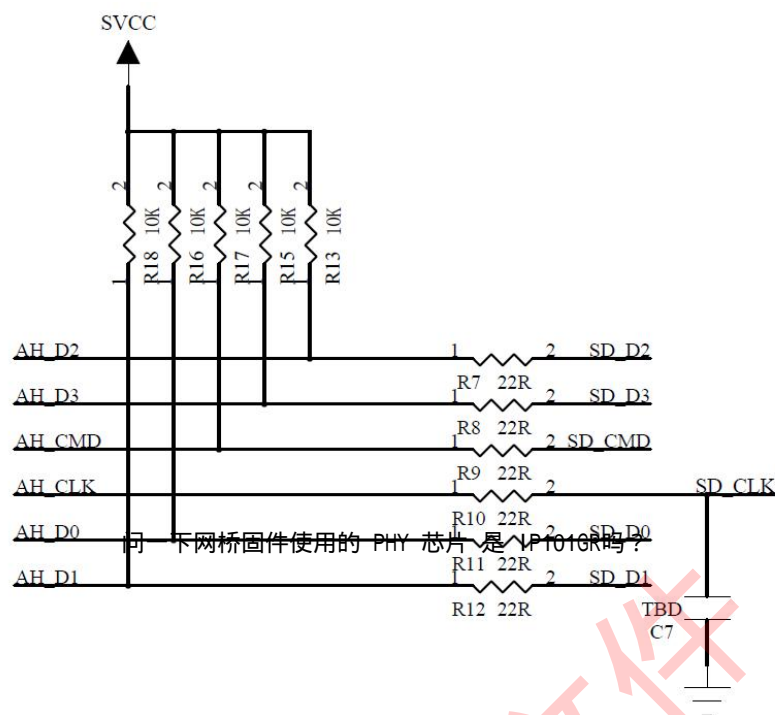


图 2-9 (b) SDIO 接口信号连接

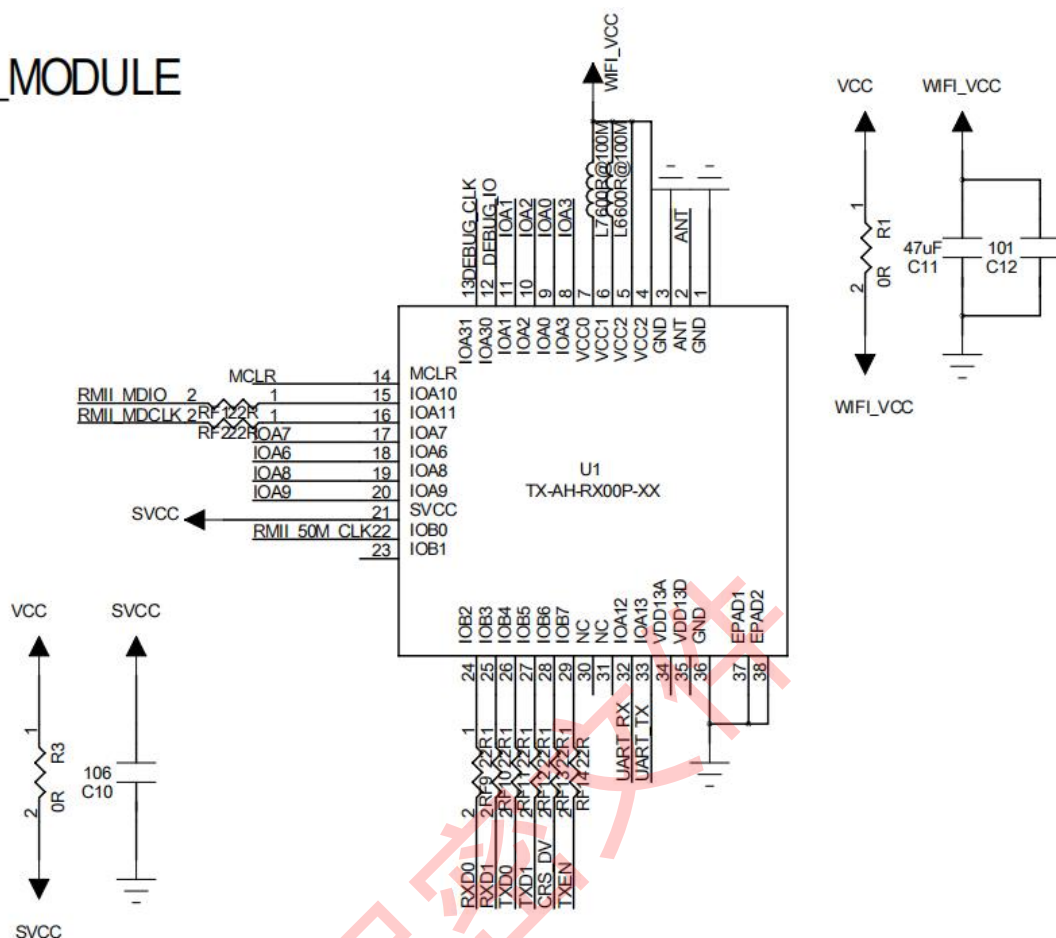
2.5.2 以太网 RMII

TX-AH 模组需要用到 RMII 通信的时候，建议参考《TX-AH 模组规格书》的管脚定义进行原理图设计。TX-AH 模组的连线请参考图 2-10，SVCC 的输入电平根据所选用的以太网 PHY 而定，一般是 3.3V。特别说明，CLK 要预留一个 RC 滤波电路，要靠近主控放置。

IOA12/13 是调试打印口。

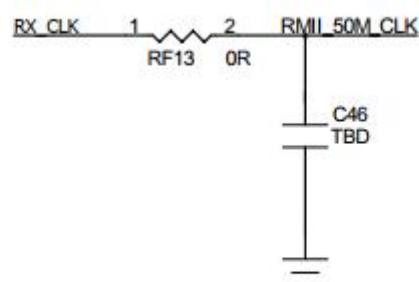
用户在选用以太网 PHY 的时候请务必先咨询我司是否支持该以太网 PHY，目前支持的 PHY 型号有：IP101GR，RT8201，其他以太网 PHY 是否支持请联系我司 FAE。

AH_MODULE



VCC(3V3) Input current at least 500mA, V_ripple<30mv

图 2-10 (a) RMII 接口信号连接



As close to chip RX_CLK as possible

图 2-10 (b) RMII 接口信号连接

2.5.3 USB

TX-AH 模组需要用到 USB 通信的时候，建议参考《TX-AH 模组规格书》的管脚定义，IOA12、IOA13 分别为 USB 的 DM、DP, 建议 USB 连线上预留串联电阻和对地电容。IOA10/11 是打印调试口。如果有需要外露的接口，需要预留 TVS 保护管的位置。TX-AH 模组的连线请参考图 2-11 所示。

AH_MODULE

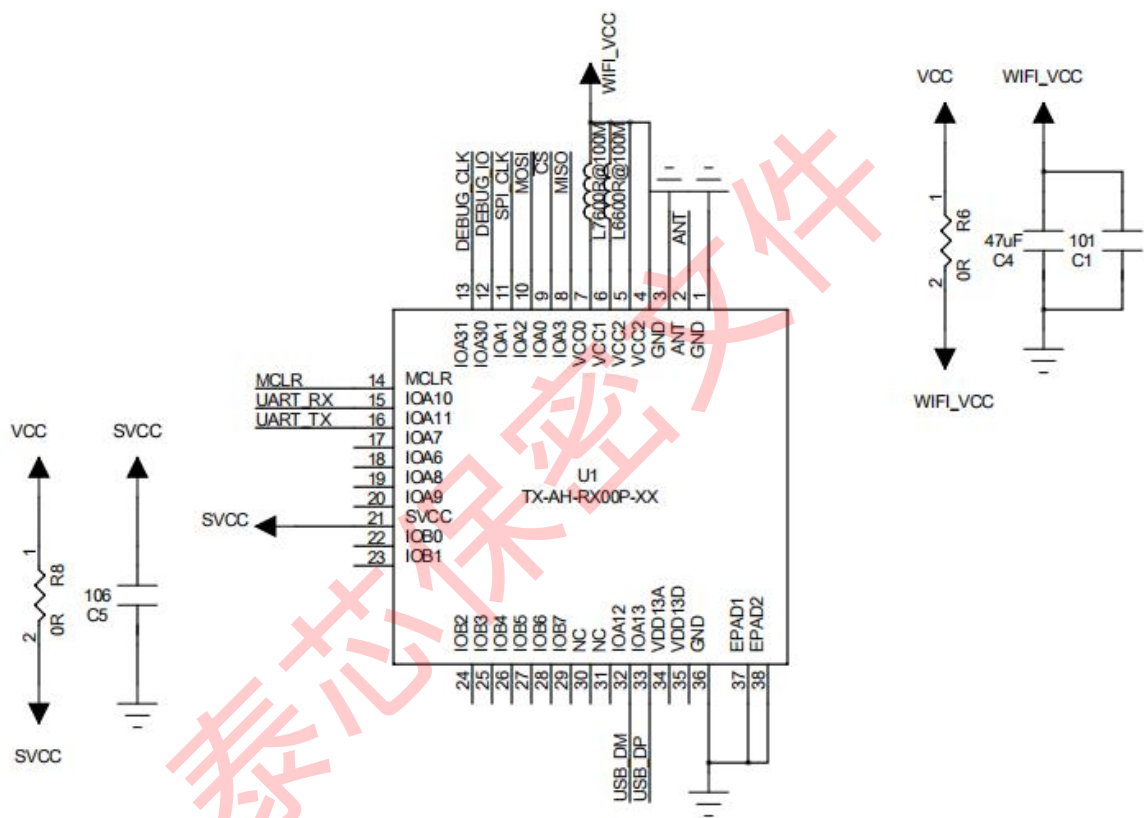


图 2-11 USB 接口信号连接

2.5.4 UART

使用 UART 接口进行传输的时候，UART0 做为数据传输接口，UART1 做为调试打印接口。SVCC 需要供电，与模块的电源连在一起即可。如图 2-12 所示。

请注意，为了防止串口漏电，TX/RX 需要串 1K 的电阻。

AH_MODULE

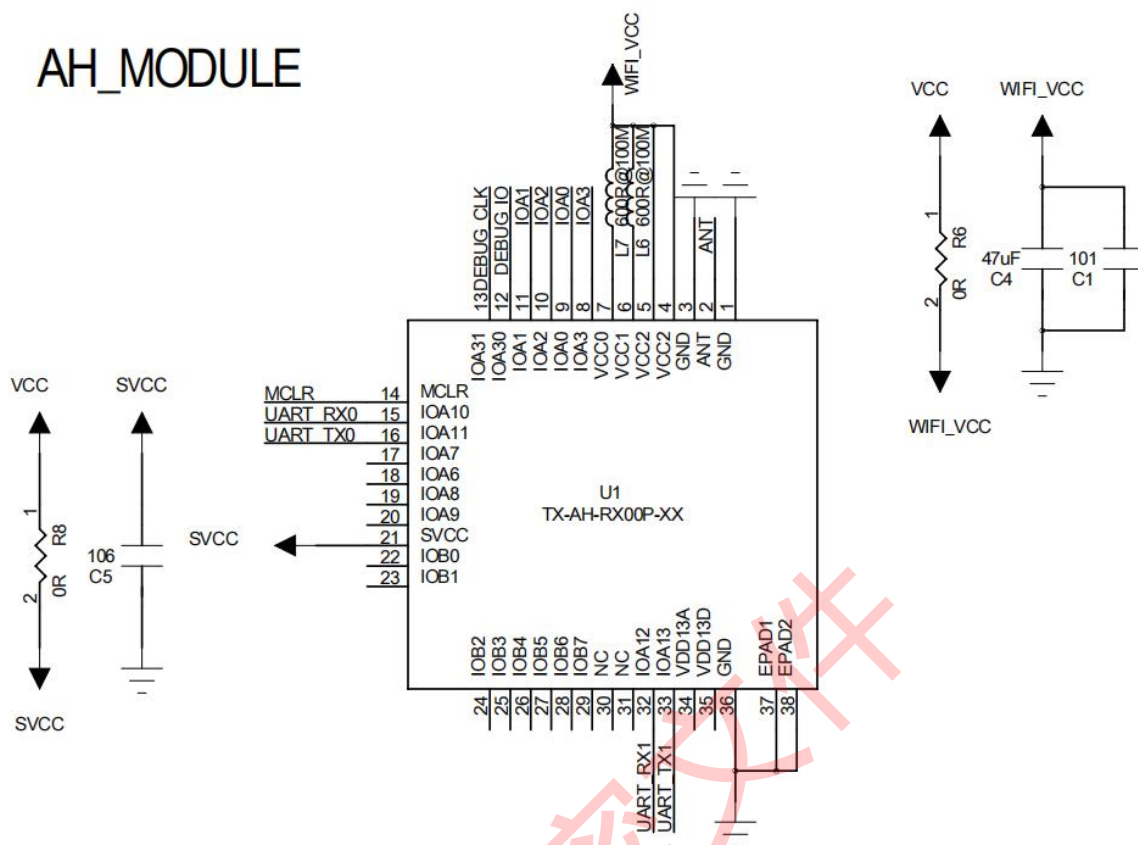


图 2-12 (a) UART 接口信号

AH UART0

AH UART1

Host Interface

print for debug



图 2-12 (b) UART 接口信号

2.5.5 SPI

TX-AH 模组最多支持两组 SPI 接口，目前 SPI0 的功能主要适用于 Boot，请

参考图 2-5。倘若用不需要支持快速启动，用户也可以使用 SDIO BOOT 或者 USB BOOT 方式。

如果系统需要用到 SPI 作为通信接口的时候，PIN15~20 的另外一组 SPI1 可以作为通信接口和其他的系统进行数据通信、交互。注意 SVCC 建议从主控取电。

IOA12/13 是调试打印口。

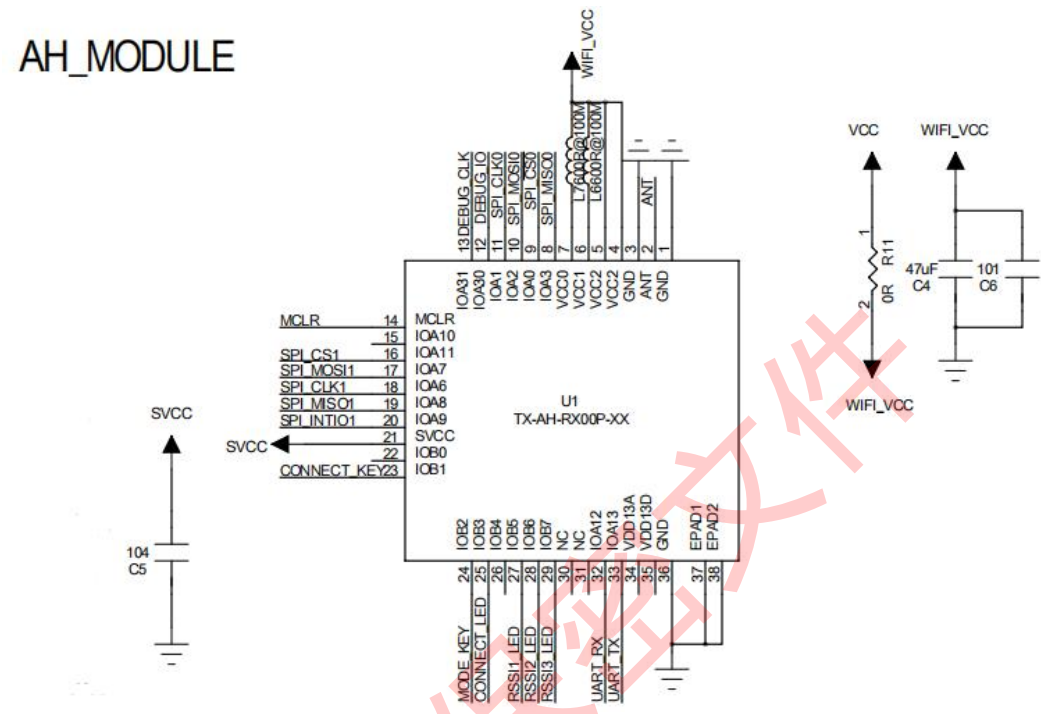


图 2-13 SPI 接口信号

2.6 低功耗

2.6.1 STA 低功耗

STA 低功耗电源需要外部接 1.3v DC-DC 给模组的 1.3v 电源 PIN34/35 供电，参考 2.1.3 小节。

按照 PIN4/5/6/7 共用一路电源的接法，STA 的保活电流在 240uA 左右。如果希望获得更低的保活电流，可以将 PIN4/5/6 和 PIN7 分开供电，休眠时将 PIN4/5/6 断电，此时 sleep 功耗可以比不分电多省 40uA（请参考图 2-2 的 VCC1/VCC2 参考电路），分电的 STA 保活电流大约在 200uA 左右。请根据方案规格需求决定是否需要对 VCC1/VCC2 分开供电。

STA 低功耗用图 2-13 实现 MCU 唤醒 AH 模块。在 AH 模组进入 deep sleep 之

后，如果 AH 模组要被 MCU 唤醒，MCLR 要收到一个约 500us 的负脉冲信号。加三极管控制 MCLR 电路的原因是防止主控的 IO 输出电平不定态。

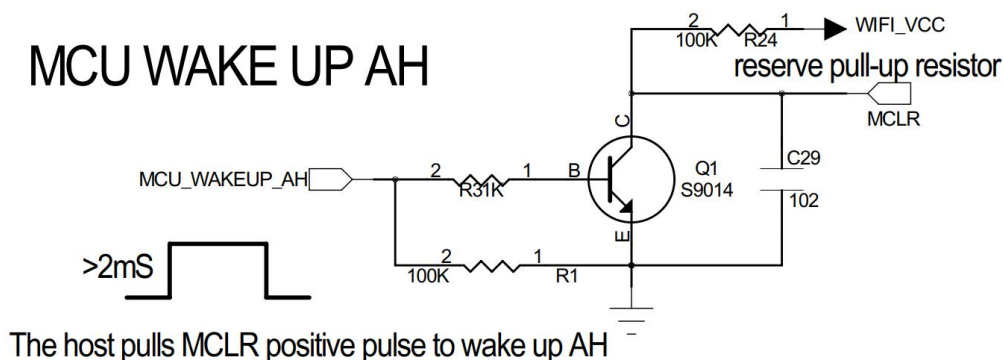


图 2-13 MCU 唤醒 AH 电路

STA 低功耗用图 2-14 实现 AH 模块唤醒主控。AH 模组在收到网络包唤醒指令后，迅速恢复正常工作状态，IOB0 将会输出一个 2ms 的脉冲信号给到 MCU，然后通过 MCU 把主控系统唤醒。由于 IOB 这一组 IO 在进入 deep sleep 状态后是处于不定态，需要下拉保证 IOB0 在 deep sleep 的时候状态为低，具体的参考原理图如图 2-12 所示。

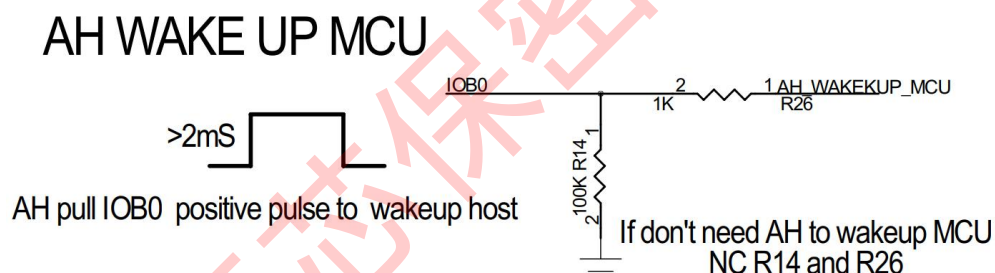


图 2-14 AH 唤醒主控电路

STA 低功耗的方案需要快速启动，建议采用 SPI nor-flash boot 的方式加载固件。

2.6.2 AP 低功耗

由于 AP 低功耗的 sleep 电流最低可以到 5mA 级别（接口关掉）或者 10mA 级别（接口不关），所以 AP 低功耗电源电路上，模组的 PIN4/5/6/7 都固定接 3.3V 常供电即可，不需要给 VCC1/VCC2 分电了。但是需要外部接 1.3v DC-DC 给模组的 1.3v 电源 PIN34/35 供电，参考 2.1.3 小节。

AP 低功耗 5mA 情况下时，接口不保持工作，MCU 不能通过接口唤醒 AH 模块，

所以需要用图 2-13 的唤醒电路。

AP 低功耗 10mA 情况下时，接口会保持工作，MCU 可以通过接口唤醒 AH 模块，所以不需要用图 2-13 的唤醒电路。

AH 模块唤醒主控，建议预留 IOB0 唤醒主控。

3 PCB 设计

3.1 PCB 设计要点

建议使用四层板设计，即：

第一层为顶层，主要用于走信号线和摆件。

第二层为地层，不走信号线，保证一个完整的地平面。

第三层为电源层，在保证射频信号下方完整地平面的情况下，可适度走信号线。

第四层为底层，不建议摆件，将电源走在该层。

3.2 模组在底板上的位置摆放

模组在底板上的放置，射频走线应该注意尽量远离板载 DCDC、其他主控的晶振、时钟（SDCLK、RMII_50M_CLK），以及高速数字信号线（如 HDMI、DDR、MIPI 等）。

3.3 电源

推荐优先采用四层板设计，电源走线尽量走在第四层（底层），主干电源走线的线宽建议至少 25 mil，换层处请至少保证 2 个过孔，为了保证射频性能，要求电源纹波峰峰值必须 <30 mV。

电源走线进入模组前至少需添加一个 10 μ F 电容，该电容与 0.1 μ F 电容搭配使用。而后电源走线可在此分支，进行星形走线，减少不同电源管脚之间的耦合。所有的去耦电容请靠近对应电源管脚放置，去耦电容的接地管脚请就近打地孔，保证较短的返回路径。

模组下方的地焊盘，请注意需要至少打 9 个地孔连接到地平面。模组背面芯片下方添加散热焊盘 EPAD，建议对 EPAD 进行田字型处理，如图 3-1 所示，

间隙处盖油墨。而地孔则打在间隙处，这样可以有效地改善模组 EPAD 焊接至底板时的漏锡问题。

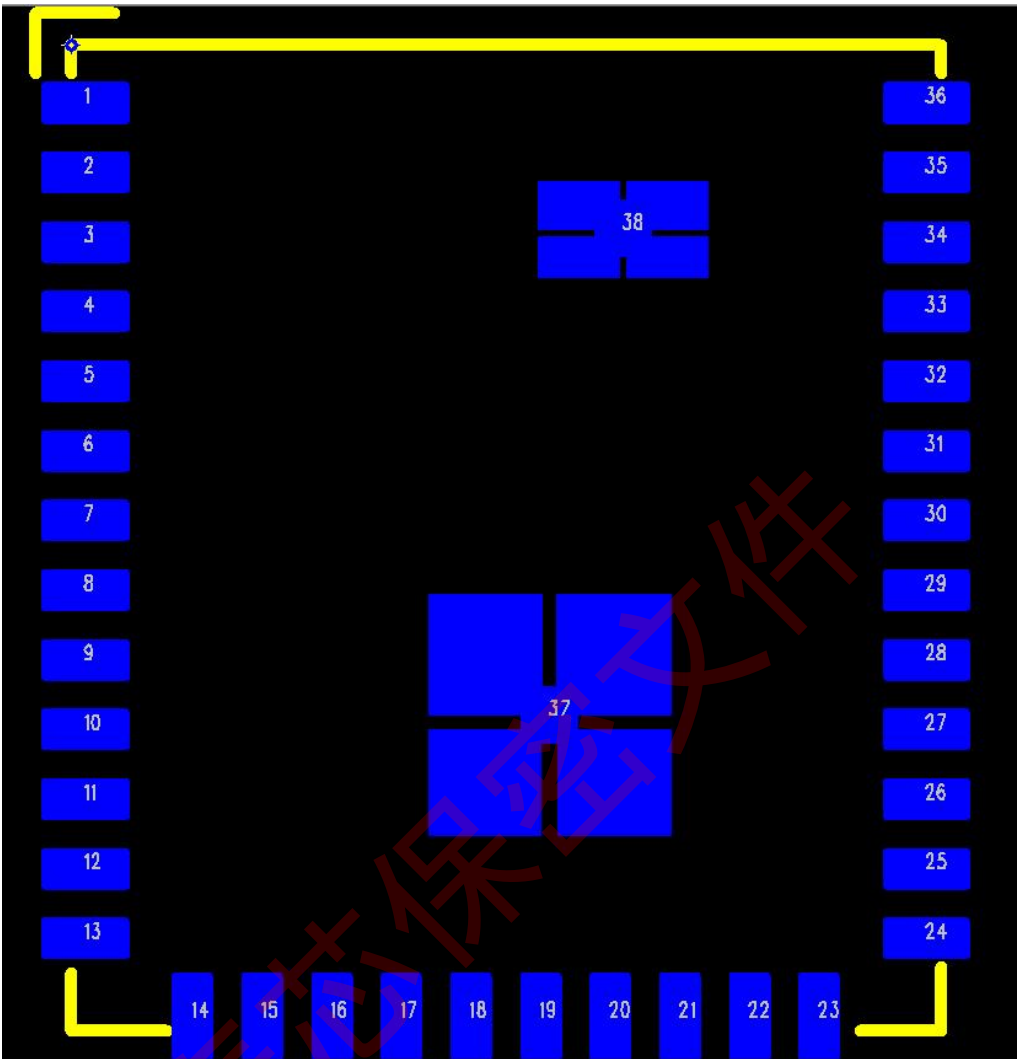


图 3-1 模组 PCB 封装

3.4 射频

射频走线须做 $50\ \Omega$ 单端阻抗控制，参考平面为第二层。射频走线上需预留一个 PI 型匹配电路，且 PI 型匹配电路需尽可能地靠近天线端放置。

射频走线长度须尽量短，并注意周围密集地孔屏蔽，地过孔的间距为 1-2mm。

射频走线线宽请注意保持一致，不可有分支走线。

射频走线在表层，不能跨层走线，不能有过孔，且尽量使用 135° 角走线或是圆弧走线。射频走线须保证相邻层完整地平面，射频走线下方尽可能不要有任何走线。射频走线附近不能有高频信号线。射频上的天线必须远离所有传输高频

信号的器件，比如晶振、DDR、以及其他一些高频时钟等。另外，USB 端口、USB 转串口信号的芯片、以太网、UART 信号线（包括走线、过孔、测试点、插针引脚等）都必须尽可能地远离天线。需要对 UART 信号线做包地处理，周围加地孔屏蔽。

射频走线在做 50 Ω 单端阻抗控制时，可参考图 3-2 所示的 PCB 叠层结构设计。可使用 SI9000 进行走线的仿真计算。

厚度 (mm)	阻抗 (Ohm)	铜距 (mil)	线宽 (mil)	铜距 (mil)
-	50	12.2	12.6	12.2

叠层	材质	基铜厚 (oz)	厚度 (mil)	介电常数
阻焊层			0.4	4
L1_Top	成品铜厚 1 oz		0.8	
PP	7628 TG150 RC50%		8	4.39
L2_Gnd		1	1.2	
Core	芯板		可调	4.43
L3_Power		1	1.2	
PP	7628 TG150 RC50%		8	4.39
L4_Bottom	成品铜厚 1 oz		0.8	
阻焊层			0.4	4

图 3-2 PCB 参数

下面基于 SI9000 仿真，给出几种板层下的 50R 匹配走线，由于 50R 匹配跟 PCB 板厂工艺相关，以下仅供参考：

(1) 0.6mm 板厚，2L，走线 20.5mil，铺地间距 6mil。

			Tolerance	Minimum	Maximum
Substrate 1 Height	H1	20.0000	0.0000	20.0000	20.0000
Substrate 1 Dielectric	Er1	4.0500	0.0000	4.0500	4.0500
Lower Trace Width	W1	20.5000	0.0000	20.5000	20.1000
Upper Trace Width	W2	20.0000	0.0000	20.0000	20.0000
Ground Strip Separation	D1	6.0000	0.0000	6.0000	6.0000
Trace Thickness	T1	1.4000	0.0000	1.4000	1.4000
Coating Above Substrate	C1	1.7000	0.0000	1.7000	1.7000
Coating Above Trace	C2	0.5000	0.0000	0.5000	0.5000
Coating Dielectric	CEr	3.4000	0.0000	3.4000	3.4000

Impedance	Zo	49.51		49.51	49.51
-----------	----	-------	--	-------	-------

(2) 0.8mm 板厚, 2L, 走线 22.5mil, 铺地间距 6mil。

			Tolerance	Minimum	Maximum
Substrate 1 Height	H1	27.6000	0.0000	27.6000	27.6000
Substrate 1 Dielectric	Er1	4.0500	0.0000	4.0500	4.0500
Lower Trace Width	W1	22.5000	0.0000	22.5000	22.5000
Upper Trace Width	W2	22.0000	0.0000	22.0000	22.0000
Ground Strip Separation	D1	6.0000	0.0000	6.0000	6.0000
Trace Thickness	T1	1.4000	0.0000	1.4000	1.4000
Coating Above Substrate	C1	1.7000	0.0000	1.7000	1.7000
Coating Above Trace	C2	0.5000	0.0000	0.5000	0.5000
Coating Dielectric	CEr	3.4000	0.0000	3.4000	3.4000
Impedance	Zo	50.45		50.45	50.45

(3) 1.0mm 板厚, 2L, 走线 25mil, 铺地间距 6mil。

			Tolerance	Minimum	Maximum
Substrate 1 Height	H1	35.4000	0.0000	35.4000	35.4000
Substrate 1 Dielectric	Er1	4.0500	0.0000	4.0500	4.0500
Lower Trace Width	W1	25.0000	0.0000	25.0000	25.0000
Upper Trace Width	W2	24.5000	0.0000	24.5000	24.5000
Ground Strip Separation	D1	6.0000	0.0000	6.0000	6.0000
Trace Thickness	T1	1.4000	0.0000	1.4000	1.4000
Coating Above Substrate	C1	1.7000	0.0000	1.7000	1.7000
Coating Above Trace	C2	0.5000	0.0000	0.5000	0.5000
Coating Dielectric	CEr	3.4000	0.0000	3.4000	3.4000
Impedance	Zo	50.21		50.21	50.21

(4) 1.6mm 板厚, 4L, 参考第 2 层, 走线 12.5mil, 铺铜间距 12mil。

			Tolerance	Minimum	Maximum
Substrate 1 Height	H1	7.4100	0.0000	7.4100	7.4100
Substrate 1 Dielectric	Er1	4.0500	0.0000	4.0500	4.0500
Lower Trace Width	W1	12.5000	0.0000	12.5000	12.5000
Upper Trace Width	W2	12.0000	0.0000	12.0000	12.0000
Ground Strip Separation	D1	12.0000	0.0000	12.0000	12.0000
Trace Thickness	T1	1.4000	0.0000	1.4000	1.4000
Coating Above Substrate	C1	1.7000	0.0000	1.7000	1.7000
Coating Above Trace	C2	0.5000	0.0000	0.5000	0.5000
Coating Dielectric	CEr	3.4000	0.0000	3.4000	3.4000
Impedance	Zo	49.5		49.5	49.5

3.5 接口

3.5.1 USB

USB 线上的串联电阻需尽可能地靠近模组放置。预留 TVS 保护管，TVS 管靠近外露接口放置。USB_DM、USB_DP 的走线需尽量短，差分走线，要求差分阻抗控制为 90Ω ，注意而且全路径尽量用地线包裹，周围加地孔屏蔽。如果需要用排线连接的时候，请注意对 USB 线的屏蔽，强烈建议用带屏蔽效果的排线进行连接。

3.5.2 SDIO

SDIO 线上的串联 $22R$ 电阻需尽可能地靠近主控芯片端放置。SDIO 的走线需尽量短，SD_CLK 走线注意而且全路径尽量用地线包裹，周围加地孔屏蔽。

3.5.3 RMII

RMII 走线需要尽可能的短，50M 时钟线要预留 RC 滤波电路，靠近以太网 PHY 放置，以太网的时钟晶振尽量远离模组的射频走线放置，避免时钟信号或者高速数字信号的高次谐波对模组射频性能造成不良影响。

3.5.4 UART

UART 线上的串联电阻 $1K\Omega$ 需尽可能地靠近模组放置，UART_TX、UART_RX 在走线需尽量短，而且全路径尽量用地线包裹，周围加地孔屏蔽。

4 板级 EMI 的测量方法

由于板级的高速信号，电源纹波等容易被天线收到形成对射频的干扰，在电路调试性能的时候需要评估 EMI 的大小是否足够影响射频的工作。

用“at+acs_start=1”可以看到所有信道的背景噪声（bg or BGR），此时建议切成 2M 的 bss_bw 来进行评估，用“at+bss_bw=2”来设置。用“at+chan_list=?”查询当前的工作频段，并且设置成相隔 2M 的一系列信道来覆盖要用的工作频段。例如 at+chan_list=9080,9160,9240, bss_bw=8M，意味着工作带宽是 904~928M，那么用 2M 的信道来覆盖应该设置为：at+chan_list=9030,9050,9070, ..., 9270。Bss_bw 和 chan_list 都设置好后，既可输入“at+acs_start=1”，返回结果如下所示：

```
[100330]acs...
[100331]freq    pri_chn    bg_min    bg_avg    bg_max    rxsync_cnt => noise factor
[100363]903000    0        -110      -107      -105      0          => -133
[100393]903000    1        -111      -107      -100      0          => -132
[100423]905000    0        -109      -104      -101      0          => -129
[100453]905000    1        -112      -105      -102      0          => -130
[100483]907000    0        -110      -104      -96       0          => -128
[100513]907000    1        -111      -104      -96       0          => -128
[100543]909000    0        -113      -108      -104      0          => -134
[100573]909000    1        -113      -108      -104      0          => -134
[100603]911000    0        -115      -109      -106      0          => -135
[100633]911000    1        -115      -108      -60       0          => -123
[100663]913000    0        -115      -112      -110      0          => -139
[100693]913000    1        -115      -112      -111      0          => -139
[100723]915000    0        -115      -109      -60       0          => -124
[100753]915000    1        -116      -111      -106      0          => -137
[100783]917000    0        -112      -109      -106      0          => -135
[100813]917000    1        -114      -109      -101      0          => -134
[100843]919000    0        -110      -106      -102      0          => -131
[100873]919000    1        -109      -106      -102      0          => -131
[100902]921000    0        -110      -97       -60       0          => -112
[100932]921000    1        -109      -94       -60       0          => -109
[100938]acs result: freq=913000, prichn=0 nt=-278
[100943]notify freq: 913000
[100945]acs done
[103029]
```

图 4-1 acs_start 返回结果

如果信道的 bg_avg<-96db，可以认为 EMI 没有对射频造成明显干扰；如果 bg_avg 在 -96~-90 之间，性能已经不太好，但是还可以勉强接受，最好能整改；如果 bg_avg>-90db，那可以认为 EMI 明显干扰到射频，建议整改。

当然，测量时应该注意避免是由于外界其他干扰导致的 BGR 变差而非板级的 EMI 导致。可以用屏蔽箱的环境进行测试，如果没有屏蔽箱，可以找相对封闭的房间进行测试。测试时天线摆放应该尽量接近方案实际天线摆放位置。

5 射频干扰音频的改善方法

5.1 布局建议

音频电路易受到干扰，布局时应该远离射频部分。如下图所示。

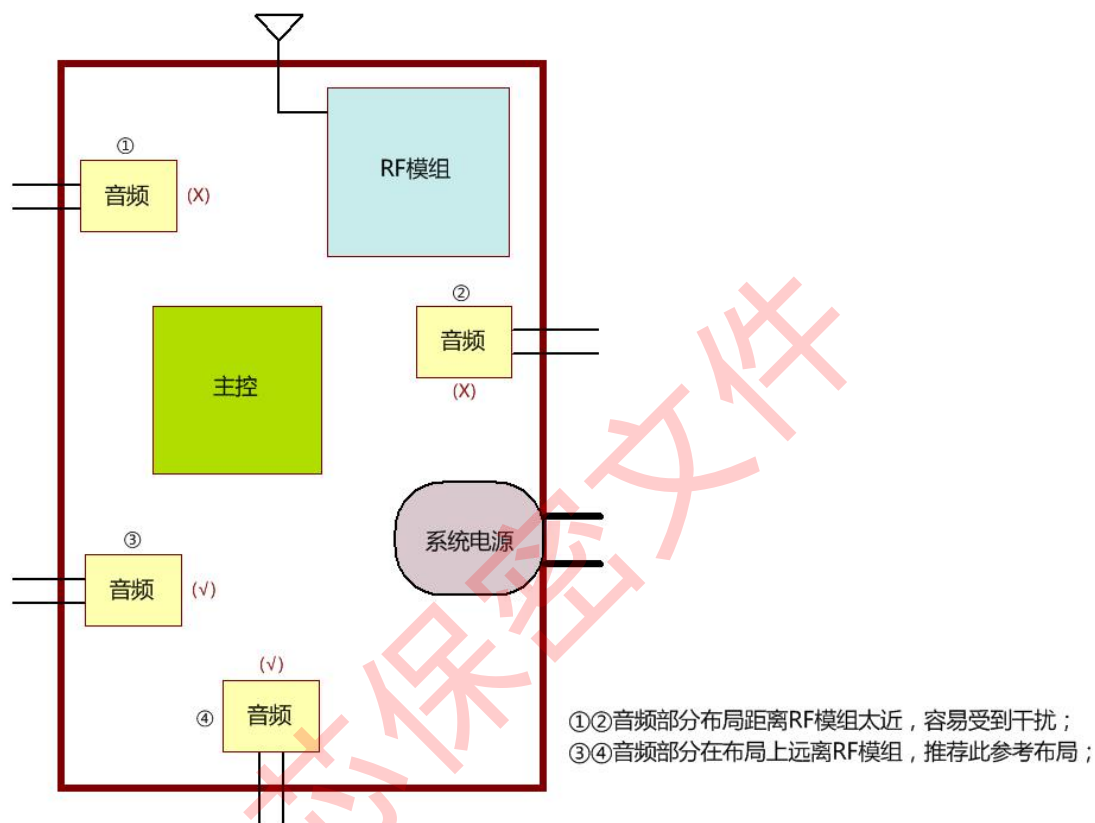


图 5-1 音频和射频的布局参考

5.2 电路优化参考

一个很常规很通用的 PA 电路，在一般情况下，是 OK 的。

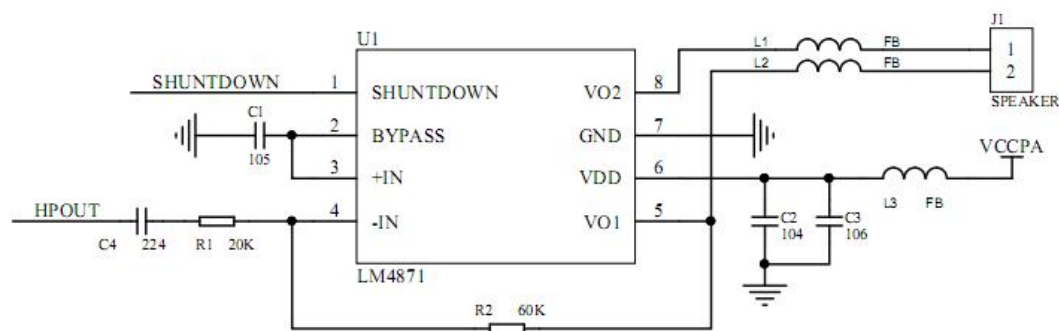


图 5-2 常规的 PA 电路

当遇上 AH 的 TX 时候，PA 会被 TX 干扰出现哒哒的底噪，频率是 TX 的开关频率，整改方向可以从以下几点入手：

- 1, 供电部分：AH TX 时候，有可能引起电源抖动，因此在原理图上，PAVDD 预留了两条供电通路 L3/L4，可选 VCC33 或者 VBAT，中间可串联磁珠或者 1--2R 的小电阻，做 RC 滤波。这里面的组合有 4 种方案，择优录用。当然供电还可以独立 LDO 供电，但基于成本考虑，方案上一般不采用。
- 2, PA 输出电路，预留到地滤波电容 C5/C6，为了减小因为喇叭引线吸收的空中辐射干扰，当然，引线糅合成双绞线形式，也利于抗干扰。
- 3, PA 输入电路，预留带通滤波电路，如下图，R3/C8 低通加 C7/R4 高通，组合成带通滤波器，在小信号模型下，C4/R1 也是一个高通滤波器，滤波器可以衰减一部分干扰噪声。
- 4, PA 电路的地回路处理：PA 电路的地，滤波电路的地，在 layout 上，模拟地单独用磁珠 L5 接入主电源，与 AH 的数字地分开。在电池方案中，从天线的辐射机理来分析，把天线看做理想偶极子天线，pcb 板的地平面，相当于是偶极子天线的参考平面，所以整个地平面都在抖动，这个时候，模拟地单独用磁珠接入电源地，能够降低因地平面抖动引入的干扰。

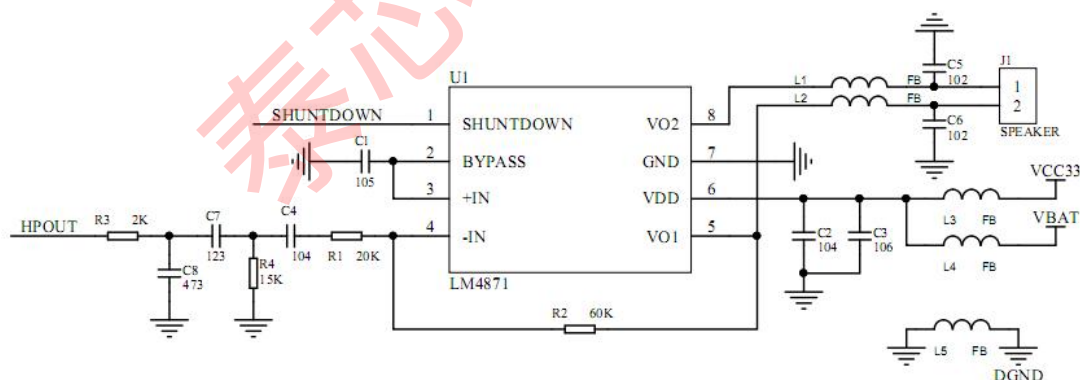


图 5-3 优化后的 PA 电路