

2 MIPS R10000 Uses Decoupled Architecture

Speculative Execution Beyond Branches

- 32KB 一级私有 Cache，非阻塞，两路组相连
- 二级片外 Cache 向一级私有 Cache 传输数据时采用预编码指令，每个指令 4 个额外位
- 取指阶段四条指令，译码阶段进行分支预测，采取 2-bit Smith 分支预测算法,512 项 BTB
- 使用映射表实现寄存器重命名，整型以及浮点物理寄存器为 64 个，是逻辑寄存器的 2 倍，用于寄存器重命名
- 映射表有 12 个读端口和 4 个写端口用于整数寄存器映射，16 个读端口和 4 个写端口用于浮点寄存器映射
- 每个周期发射四个指令，完全解码和重新映射的指令被写入三个队列之一：整数 ALU，浮点 ALU 或加载/存储单元
- 除法以及乘法运算大致调度单元停止
- 指令排队后，它们也会进入活动列表；活动列表最多可跟踪 32 条连续指令；如果活动列表中没有可用条目，则调度单元停止

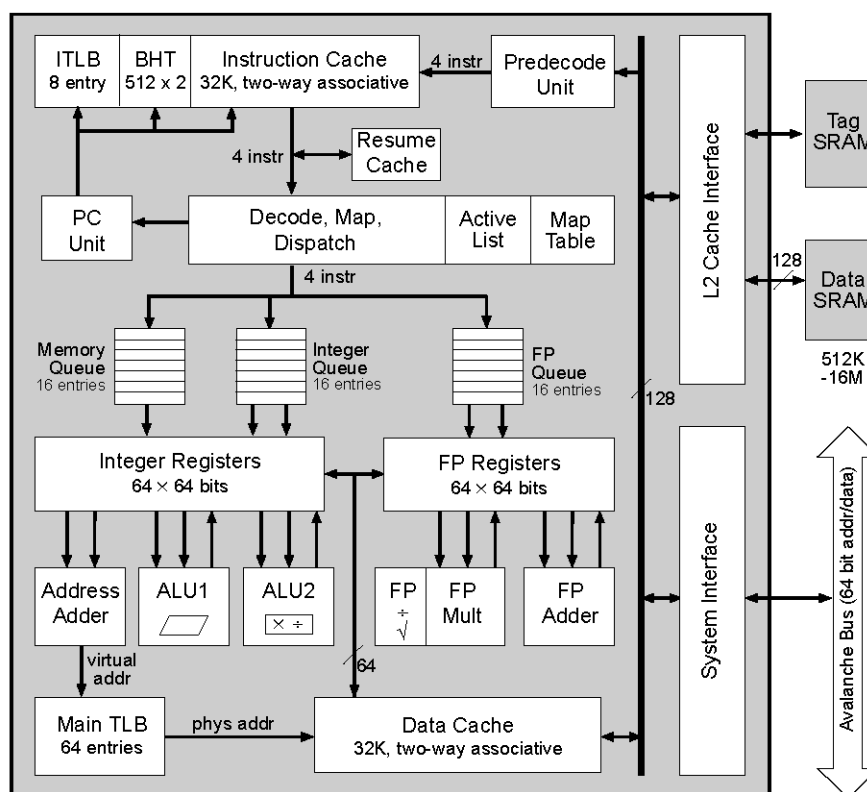


Figure 1. The R10000 uses deep instruction queues to decouple the instruction fetch logic from the five function units.

Dynamic Instruction Issue

- 每个周期，处理器更新队列，操作数可用时将指令标记为可执行；每个物理寄存器都有一个“忙”位，该位在分配给结果时初始设置；当结果存储到该寄存器中时，忙碌位清零，表示其他指令可以将该寄存器用作源
- 重命名过程确保物理寄存器不是由活动列表中的多个指令写入，忙位是一个明确的信号，表明寄存器数据有效；可执行指令从队列流向寄存器文件，获取其操作数，然后进入相应的功能单元
- ALU1，条件分支优先执行；load/store 队列中，严格按照先进先出的方式执行
- 图 2 所示，不同的执行部件用于不同的执行长度

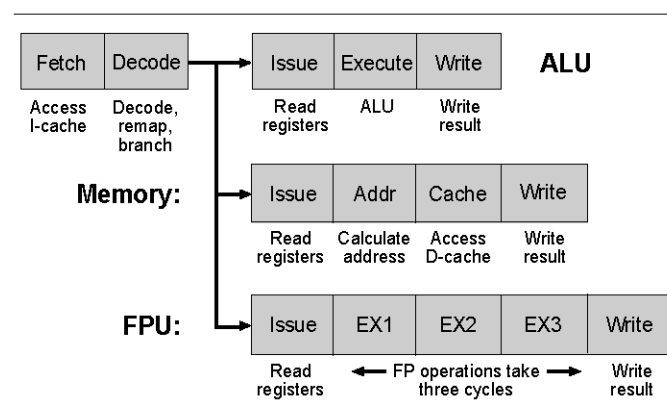


Figure 2. The decoupled design of the R10000 allows function units to have pipelines of different lengths.

Function Units Proceed at Own Pace

- R10000 每次可以发射 6 条指令
- 两个整数单元各包含一个 ALU，ALU1 包含一个移位器，ALU2 接受整数乘和除指令；所有条件分支指令都由 ALU1 处理；两个整数单元由相同的指令队列发射
- 有两个浮点单元：一个用于加法和类似运算，另一个用于乘法和长延迟操作，包括除法和平方根；后一单元可以并行执行乘法，除法和平方根运算
- 运算延迟如表 1 所示

Active List Maintains Order

- 活动列表跟踪已执行的指令；确保当指令乱序执行时，最终指令提交是顺序的；当发生异常或错误预测分支时，活动列表可以用于恢复现场

	Single-Precision		Double-Precision	
	Issue Rate	Latency	Issue Rate	Latency
Integer Multiply	6 cycles	6 cycles	10 cycles	10 cycles
Integer Divide	35 cycles	35 cycles	67 cycles	67 cycles
FP Add	1 cycle	2 cycles	1 cycle	2 cycles
FP Multiply	1 cycle	2 cycles	1 cycle	2 cycles
FP Mult-Add	1 cycle	4 cycles	1 cycle	4 cycles
FP Divide*	11 cycles	11 cycles	18 cycles	18 cycles
FP Sq Root*	17 cycles	17 cycles	32 cycles	32 cycles
FP Recip Sq Rt*	17 cycles	28 cycles	32 cycles	50 cycles
Integer Load	1 cycle	2 cycles	1 cycle	2 cycles
FP Load	1 cycle	3 cycles	1 cycle	3 cycles

Table 1. The R10000 executes the most common floating-point operations in two cycles. Note that, once started, divide and square root functions can execute in parallel with other FP operations.
*preliminary values; final results may be better

Associative Caches at All Levels

- 32KB 两路组相连指令和数据 Cache; 数据 Cache 一行 32 字节, 指令 Cache 一行 64 字节; Cache 非阻塞的, 未命中时, 可以继续访问
- 采用 6 管 MOS DSAM
- 统一 TLB, 具有 64 项
- 总线速度为 100MHz, 多处理器时为 80MHz

MIPS CPU Vendors Dwindle to Two

- 0.5um 工艺, 面积预估为 $298mm^2$

Associative Caches at All Levels

当前处理器设计的流行技术

- 预编码技术
- 基于两位历史信息动态分支预测
- 寄存器重命名作为一种支持推测和无序执行的方式被广泛采用