

## 论文阅读记录2

# Shared Memory Consistency Models: A Tutorial

谢本壹 2018.10.13

总的来说文章说了一件事，POWER7在POWER6的基础上有了众多提升。文章从这些方面说明了这些提升（文章的子标题）：core, instruction fetching, instruction sequencing unit, data fetching, fixed-point unit, vector and scalar instruction execution, cache hierarchy, memory subsystem, I/O subsystem, Reliability & availability & serviceability。因此全文少不了涉及到对POWER7芯片中的重要模块进行介绍。全文主要在列举各个模块的各种参数，以此来与上一代芯片进行对比；然而文章对于每一个模块，几乎没有谈及各个它们的概念和理论模型。所以对于初学者，很难明白这些参数的意义，读起来很吃力。文章的读者群体应该是经验丰富的为体系结构设计人员，且对IBM的POWER系列有了解。不过，我在阅读过程中还是有一些觉得有趣的地方。

## 一点感叹

这篇文章给我留下的最深的印象是，“啊，设计者为了给POWER7降低能耗提高性能，用到了好多辅助辅助的数据结构和辅助的硬件。”这一点从文章出现了很多缩写看的出来，各种Q、各种R、各种U...（分别是queue、register、unit）。莫非现代处理器都是这样的有很多辅助结构？

## 核和ISU

POWER7芯片包含8个核，每个核可有有ST、SMT2和SMT4模式，分别指同时能执行1、2和4个线程。每个线程都支持指令的乱序执行，在第9页的第2段（The ISU is ...）对指令完成过程有一个提纲挈领的描述。ISU把IFU取到的指令用一个全局的表GCT来跟踪所有正在执行中的指令，指令的完成或者flush都靠这个表和ISU完成。

## 地址结构

在POWER系列中，虚拟地址和物理地址分别被称作effective address和real address，采用段页式管理内存，所以除了TLB还有SLB（s是segment，虽然不知道SLB是干嘛的）。

## cache

L1(32KB)分为I-cache和D-cache，用到了EA hash来预先比对地址以此减少读取cache花的时间。

L2(256KB)和L3(4MB\*8)改用了eDRAM技术，虽然延迟比SRAM技术稍微长了一点，但很省面积和消耗更少能量（和POWER6相比，为了在塞进8个核，且维持能耗）。

L3被分成了8块对应8个核，不过8块之间可以互相交流数据（即某个核的数据可以被放在其他核的L3里，这样的话在需要腾空间时会被作为首先被替换的对象）。在一个核内采用partial victim策略，在8核之间采用adaptive victim策略管理这些数据。

上述3级cache都在核内。

## I/O子系统

改子系统为片内8核间交流、多个芯片组成的系统内的交流，以及超大的cluster内的交流提供支持。看到这些系统的拓扑图，就像拼积木一样好玩。