

# 两级放大器设计实验报告

## 一、基本要求及参数

### 1. 实验设计要求

VDD=3.3V    GB=1MHz    SR>5V/us    ICMR=1.25V to 2.5V  
60° phase margin    0.5V<Vout range<2.5V    Pdiss ≤2mW  
Av > 1000

### 2. MOS 工艺参数

通过对 n33 和 p33 管接入电路进行仿真，通过 Results-Print-Model Parameters 可以得到以下电路工艺参数

(1) NMOS 管:

$V_{th}(n) = 0.695V$      $t_{oxe} = 3nm$      $\mu_n = 35 \times 10^{-3} m^2/V \cdot s$   
求得:

$$K'_n = \mu_n \left( \frac{\epsilon_{ox}}{t_{oxe}} \right) \approx 402.86 \mu A/V^2$$

式中,  $\epsilon_{ox} = \epsilon_{SiO_2} = 3.9 \times 8.85 \times 10^{-14} F/cm$

t <sub>oxe</sub>	3n	u0	35m	vtho	695m
------------------	----	----	-----	------	------

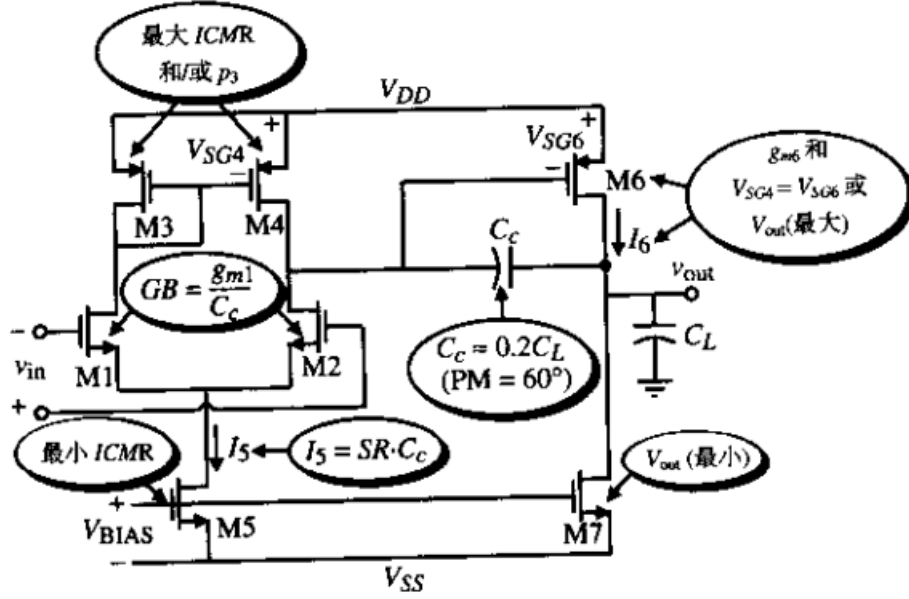
(2) PMOS 管:

$V_{th}(p) = -0.672V$      $t_{oxe} = 3nm$      $\mu_p = 9.25 \times 10^{-3} m^2/V \cdot s$   
求得:

$$K'_p = \mu_p \left( \frac{\epsilon_{ox}}{t_{oxe}} \right) \approx 106.47 \mu A/V^2$$

t <sub>oxe</sub>	3n	u0	9.25m	vtho	-672m
------------------	----	----	-------	------	-------

## 二、放大器理论计算



- (1) 确定米勒电容数值

由于  $C_L = 10pF$ ，且需要  $C_c > 0.22C_L$ ，  
取米勒补偿电容  $C_c = 10pF$

- (2) 确定  $I_5$  的值

$$I_5 = SR \cdot C_c$$

由于  $SR > 5V/\mu s$   
取尾电流  $I_5$  为  $50\mu A$

- (3) 确定  $S_3$  取值

其中，阈值电压的误差值在  $\pm 0.15V$  左右

$$S_3 = \frac{I_5}{K_p \cdot (V_{dd} - V_{in\_max} - |V_{T03}|_{max} + V_{T1\_min})^2}$$

$$S_3 = \frac{50}{106.47 \times (3.3 - 2.5 - (0.672 + 0.15) + (0.695 - 0.15))^2} \approx 1.72$$

由于经过初步尝试，取值 2、3、4 进行整体仿真，但发现以下取值比较合理，所以取  $S_3 = 4$   
则  $S_4 = S_3 = 4$ ，栅长取  $1\mu m$

- (4) 验证由  $C_{gs3}$  和  $C_{gs4}$  引起的极点不是主极点，即  $p_3 > 10GB$

$$\frac{g_{m3}}{2C_{gs3}} > 10GB$$

因为

$$g_{m3} = \sqrt{K_p S_3 I_5} = \sqrt{106.47 \times 4 \times 50} \approx 145.92 \mu S$$

$$C_{gs3} = 0.67W_3L_3C_{ox} = 0.67W_3L_3 \frac{\epsilon_{ox}}{t_{ox}} = 0.67 \times 4 \times 10^{-12} \times \frac{3.9 \times 8.854 \times 10^{-12}}{3 \times 10^{-9}} \approx 3.085F$$

所以

$$p_3 = \frac{g_{m3}}{2C_{gs3}} = \frac{145.92 \times 10^{-6}}{2 \times 3.085 \times 10^{-14}} \approx 2.365 \times 10^9 \text{ rad/s}$$

$$\approx 3.764 \times 10^8 \text{ Hz} \gg 10 \text{ MHz}$$

则 $p_3$ 并不是主极点

(5) 设计 $S_1, S_2$ 来达到期望的 GB 值

这里取GB约为 2MHz

$$g_{m1} = g_{m2} = GB \cdot C_c = 2 \times 2\pi \times 10 = 40\pi \text{ uS}$$

$$S_1 = S_2 = \frac{g_{m2}^2}{K_2 \cdot I_5} = \frac{(40\pi)^2}{402.86 \times 50} \approx 0.784$$

取 $S_1 = S_2 = 2$

(6) 由最小输入电压设计 $S_5$

$$V_{DS5(sat)} = V_{in\_min} - V_{ss} - \sqrt{\frac{I_5}{K_1 S_1}} - V_{T1\_max}$$

$$V_{DS5(sat)} = 1.25 - 0 - \sqrt{\frac{50}{402.86 \times 2}} - (0.695 + 0.15) \approx 0.15589 \text{ V}$$

$$S_5 = \frac{2I_5}{K_5 \cdot V_{DS5(sat)}^2} = \frac{2 \times 50}{402.86 \times 0.15589^2} \approx 10.2$$

取 $S_5 = 10$

(7) 让第二极点( $p_2$ )等于 2.2GB 以确定 $S_6$ 和 $I_6$

$$g_{m6} = 2.2g_{m2} \left( \frac{C_L}{C_c} \right)$$

但一般选取 $g_{m6}$ 为 $g_{m1}$ 的十倍来保证足够的相位裕量, 则

$$g_{m6} = 10g_{m1} = 400\pi \text{ uS}$$

让 $V_{SG4} = V_{SG6}$ 得到

$$S_6 = S_4 \frac{g_{m6}}{g_{m4}} = 4 \frac{400\pi}{145.92} \approx 34.45$$

取 $S_6 = 34$

知道 $g_{m6}$ 和 $S_6$ 就可以解出

$$I_6 = \frac{g_{m6}^2}{2K_6 S_6} = \frac{(400\pi)^2}{2 \times 106.47 \times 34} \approx 218.11 \text{ uA}$$

(8) 选择 $S_7$ 以达到 $I_5$ 和 $I_6$ 之间的电流比

$$S_7 = \frac{I_6}{I_5} S_5 = \frac{218.11}{50} \times 10 \approx 43.622$$

取 $S_7 = 44$

(9) 核对增益和功耗指标

$$A_v = \frac{2g_{m2}g_{m6}}{I_5(\lambda_2 + \lambda_3)I_6(\lambda_6 + \lambda_7)} = \frac{2 \times 40\pi \times 400\pi}{50 \times 218.11 \times (0.09)^2} \approx 3575 > 1000$$

$$P_{diss} = (I_5 + I_6)(V_{dd} + |V_{ss}|) = (50 + 218.11) \times 10^{-6} \times 3.3 \approx 0.885 \text{ mW} < 2 \text{ mW}$$

则得到初步理论设计参数为:

器件名称	W(um)	L(um)
W1	2	1
W2	2	1

W3	4	1
W4	4	1
W5	10	1
W6	34	1
W7	44	1
Cc	10pF	(最终修正值为 8pF)

### 三、 电流漏的设计及仿真

文件：Isource\_new\_model

电流漏的设计参考书上改进过的高摆幅共源共栅电流漏电路：

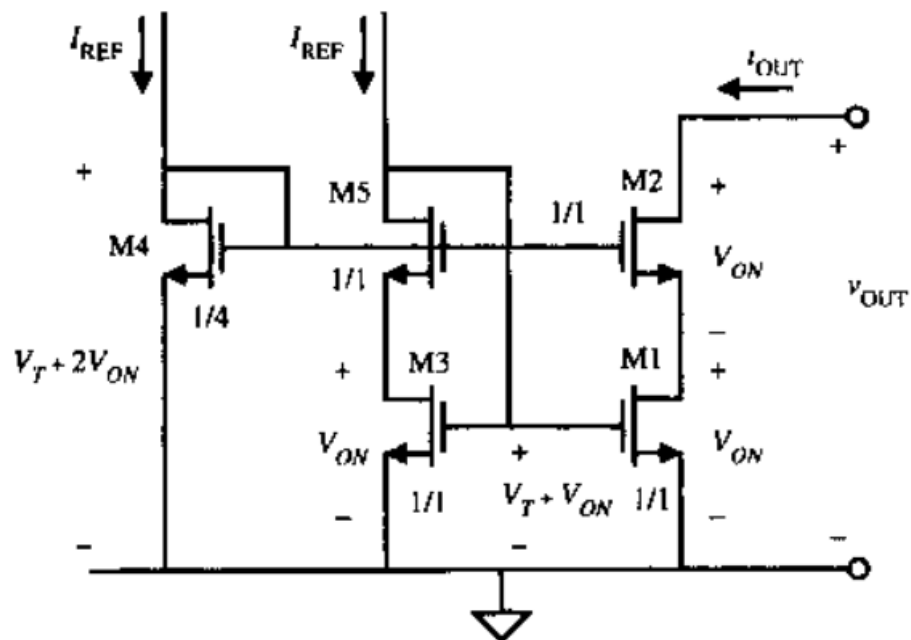


图 4.3-7 改进的高摆幅共源共栅电路

在此电路中， $V_{MIN}$ 可以被减小到最低值，通过将 $M_4$ 的取值变为其他管子的 $\frac{1}{4}$ ，而达到此目的，取 $M_2$ 漏端电流为输出电流。

由于 $M_1$ 和 $M_2$ 都工作在饱和区，可以得到

$$V_{ON} = \sqrt{\frac{2I_D}{K_n \cdot \frac{W}{L}}}$$

取 $S_{1,2,3,5} = \frac{2I_D}{K_n \cdot V_{ON}^2} = 10$ ，和放大器中的管子进行匹配，且 $S_4 = 2.5$

解得 $V_{ON} \approx 0.15755V$

可得

$$R_{ref2} = \frac{V_{dd} - (V_T + V_{ON})}{I_D} = \frac{3.3 - 0.695 - 0.15755}{50 \times 10^{-6}} = 48.949k$$



mylib Isource\_new\_model schematic : Dec 23 08:53:19 2019 19

File Edit Frame Graph Axis Trace Marker Zoom Tools Help

Dec 23, 2019 DC Response

$I$  /M2/D

50

40

30

20

10

0

0.0 0.5 1.0 1.5 2.0 2.5 3.0 3.5

$I$  (uA)

vin (V)

M0(47.15uA)

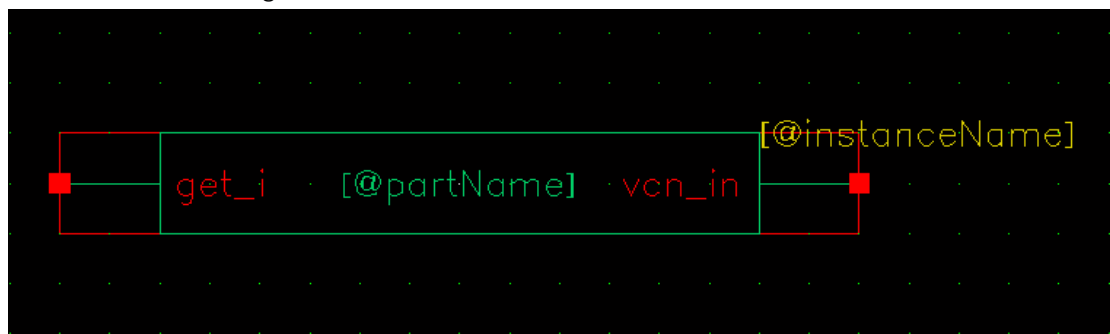
18278 37.31uA

graph1.marker0

可以得到  $V_{MIN}$  约为 0.5V，电流漏可以稳定提供约为 47.15 $\mu$ A 的偏置电流，基本符合设计

要求。

对电流漏进行封装，get\_i 端口接入 Vdd，vcn\_in 端口接入 M5 的栅端提供偏置电压



电流漏封装图

Results Display Window			Help	33
Window	Expressions	Info		
cgd	-3.97333f			
cgdovl	3.83403f			
cgg	40.3165f			
cgs	-32.8255f			
cgsovl	3.83403f			
cjd	7.39244f			
cjs	8.46512f			
csb	-12.6979f			
csd	-117.924a			
csg	-29.5435f			
css	42.3594f			
gbd	27.4744a			
gbs	412.19a			
gds	5.63311u			
gm	371.28u			
gmbs	175.458u			
gmoverid	7.66484			
il	48.4394u			
i3	-48.4394u			
i4	-16.1145a			
ibd	-16.0796a			
ibs	-34.8987z			
ibulk	-16.1145a			
id	48.4394u			
ids	48.4394u			
igb	0			
igcd	0			
igcs	0			
igd	0			
igidl	0			
igisl	0			
igs	0			
is	-48.4394u			
isub	4.9573a			
pwr	17.4852u			

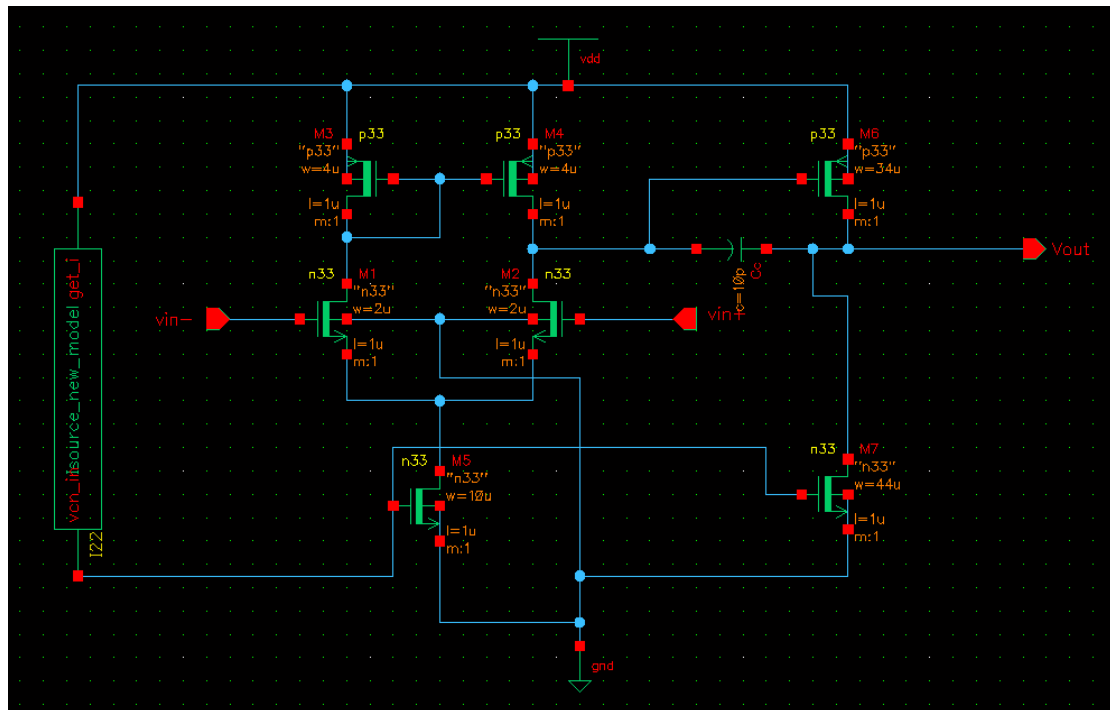
放大器仿真中 M5 管的 ids 值

在搭建完电路后，使用 DC operating points 查看 M5 管子的电流，ids=48.4394uA，和计算结果基本符合，可以达到工作要求。

## 四、整体电路实际仿真以及性能测试

### 1. 放大器电路搭建

文件：OP\_AMP\_new\_model



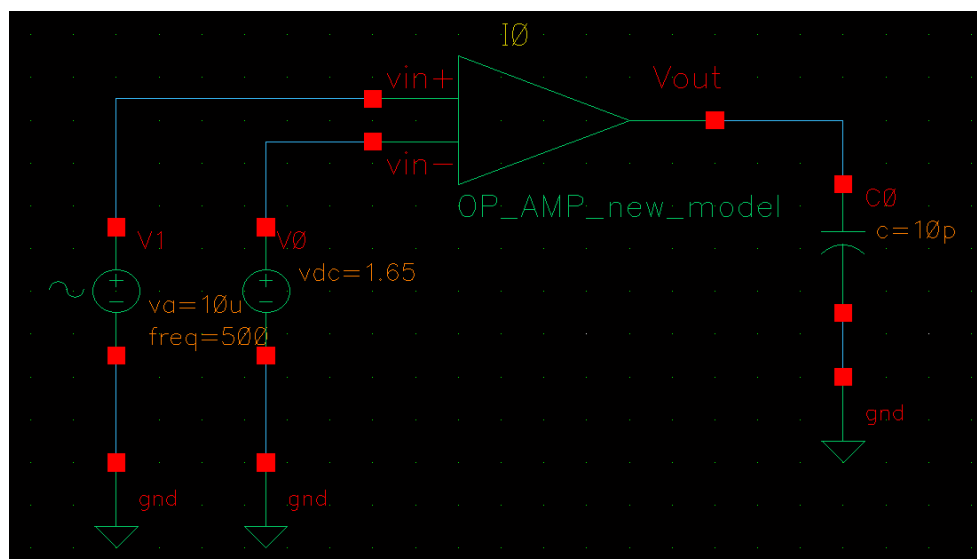
整体电路图

在原理图中进行初步仿真，发现所有 MOS 管均工作在饱和区，电路设计基本正确。  
接下来对放大器进行封装，进行各个性能的测试。

## 2. 开环电压增益测试

文件：Av\_new

对 vin- 和 vin+ 分别进行如下设置，



放大器开环增益测试图

OKCancelApplyDefaultsPreviousNextHelp

Apply To

only currentinstance

Show

☐ system
☒ user
☐ CDF

BrowseReset Instance Labels Display

Property	Value	Display
Library Name	analogLib	off
Cell Name	vsin	off
View Name	symbol	off
Instance Name	V1	off

AddDeleteModify

User Property	Master Value	Local Value	Display
lvignore	TRUE		off

CDF Parameter	Value	Display
AC magnitude	1	off
AC phase	0	off
DC voltage	1.65	off
Offset voltage		off
Amplitude	10u	off
Frequency	500 Hz	off

OKCancelApplyDefaultsPreviousNextHelp

Apply To

only currentinstance

Show

☐ system
☒ user
☐ CDF

BrowseReset Instance Labels Display

Property	Value	Display
Library Name	analogLib	off
Cell Name	vd	off
View Name	symbol	off
Instance Name	V0	off

AddDeleteModify

User Property	Master Value	Local Value	Display
lvignore	TRUE		off

CDF Parameter	Value	Display
AC magnitude		off
AC phase		off
DC voltage	1.65	off
Noise file name		off
Number of noise/freq pairs	0	off
XF magnitude		off

### 第一级差分电路输入参数

瞬态响应截止时间为 10ms，AC 响应从 1Hz 至 1GHz 频段进行扫频，va 差分输入变量取 10uV

Choosing Analyses - Virtuoso® Analog Design Environn

OKCancelDefaultsApplyHelp

Analysis

☒ tran
☐ dc
☐ ac
☐ noise
☐ xf
☐ sens
☐ dcmatch
☐ stb
☐ pz
☐ sp
☐ envlp
☐ pss
☐ pac
☐ pstb
☐ pnoise
☐ pxf
☐ psp
☐ qpss
☐ qpac
☐ qpnoise
☐ qpxf
☐ qpss
☐ hsp
☐ hspac
☐ hspnoise
☐ hspmeasure

Transient Analysis

Stop Time

10m

Accuracy Defaults (errpreset)

☐ conservative
☐ moderate
☐ liberal

☐ Transient Noise

Enabled

☒

Options...

Choosing Analyses - Virtuoso® Analog Design Environn

OKCancelDefaultsApplyHelp

Analysis

☐ tran
☐ dc
☒ ac
☐ noise
☐ xf
☐ sens
☐ dcmatch
☐ stb
☐ pz
☐ sp
☐ envlp
☐ pss
☐ pac
☐ pstb
☐ pnoise
☐ pxf
☐ psp
☐ qpss
☐ qpac
☐ qpnoise
☐ qpxf
☐ qpss
☐ hsp
☐ hspac
☐ hspnoise
☐ hspmeasure

AC Analysis

Sweep Variable

☒ Frequency
☐ Design Variable
☐ Temperature
☐ Component Parameter
☐ Model Parameter

Sweep Range

Start-Stop

Start

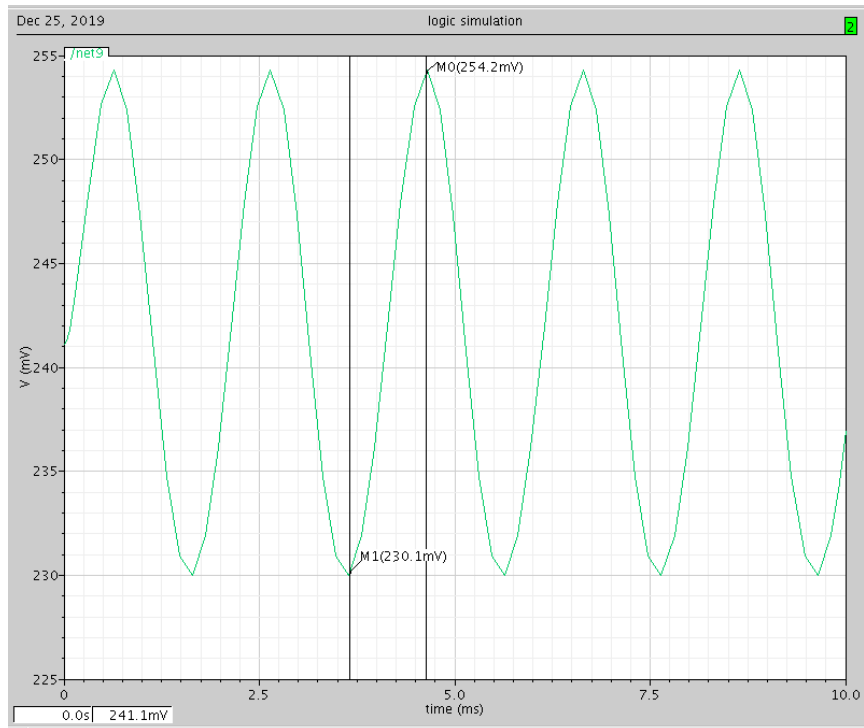
1

Stop

1G

### 瞬态响应和 AC 响应的设置





输出端口瞬态响应曲线

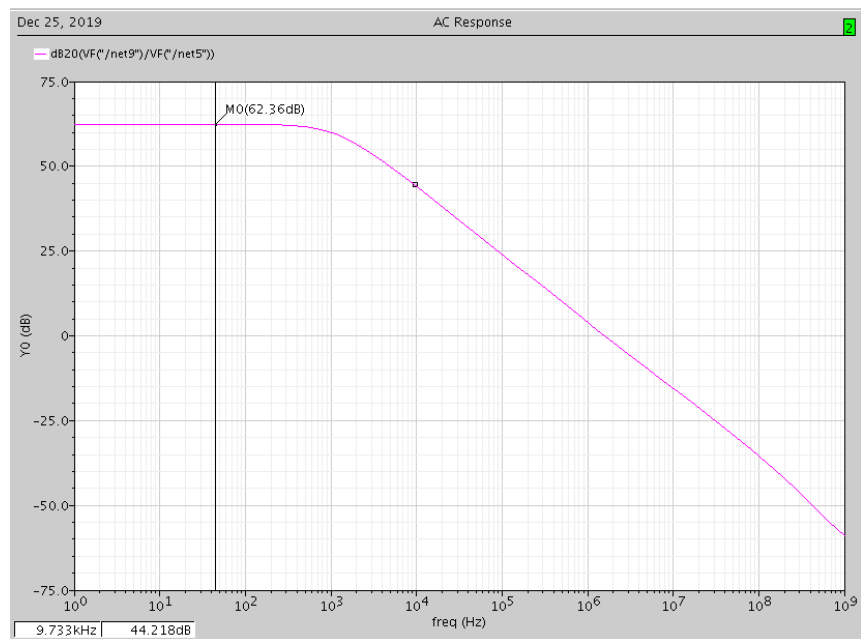
输出端口峰峰值约为  $254.2\text{mV} - 230.1\text{mV} = 24.1\text{mV}$

则可以得到放大倍数约为

$$A_{v0} = \frac{24.1 \times 10^{-3}}{20 \times 10^{-6}} \approx 1205$$

$$20 \lg(A_{v0}) \approx 61.62\text{dB}$$

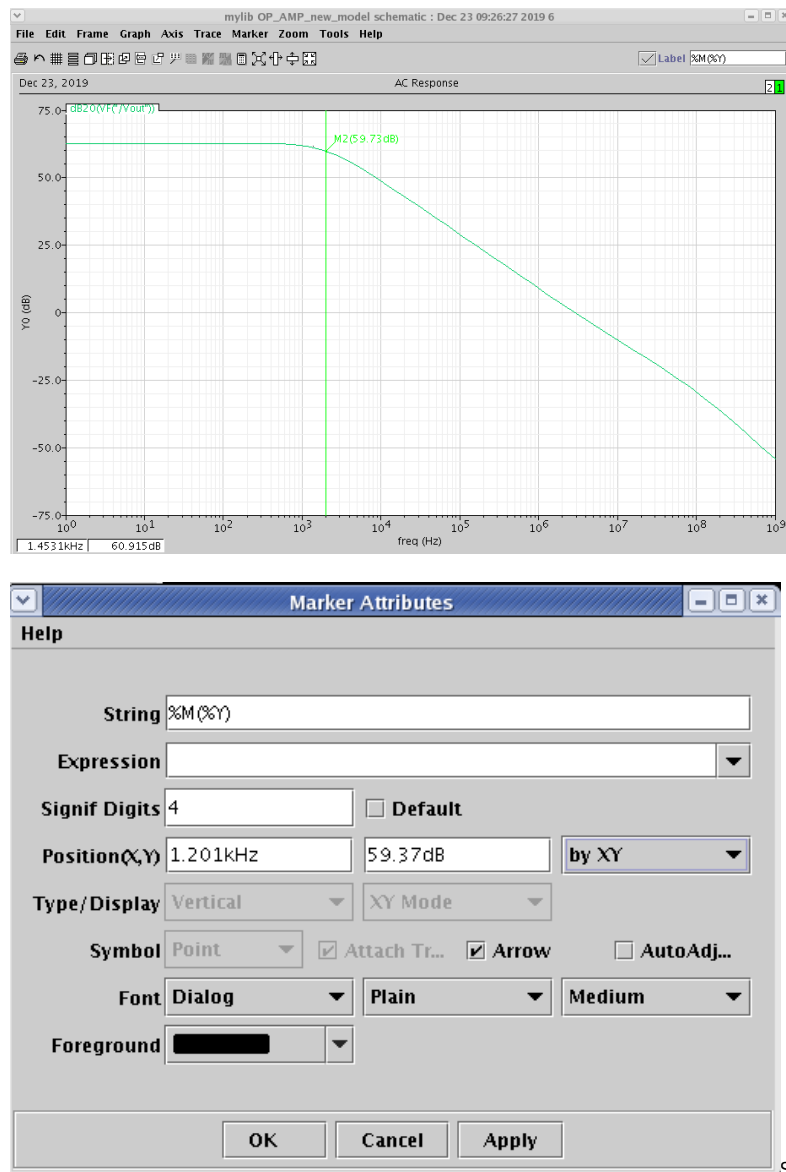
同时通过 AC Gain 图可知，增益约为 62.36dB，满足设计要求



放大器 AC Gain 曲线

### 3. 增益带宽积测试

文件: Av\_new



可以从图中得到-3dB 处频率约为 1.201kHz，则可以得到

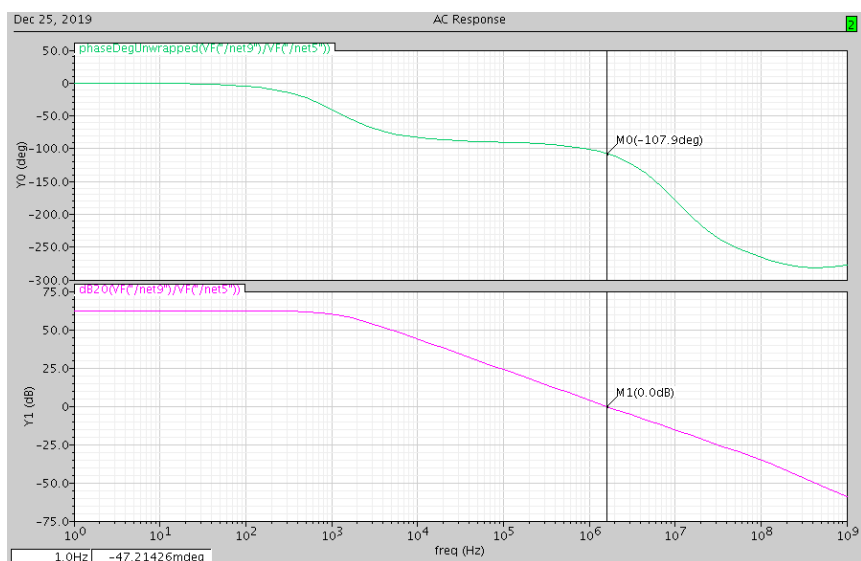
$$GB = A_{v0}p_I = 1325 \times 1.201 \times 10^3 \approx 1.591\text{MHz} > 1\text{MHz}$$

基本满足设计要求

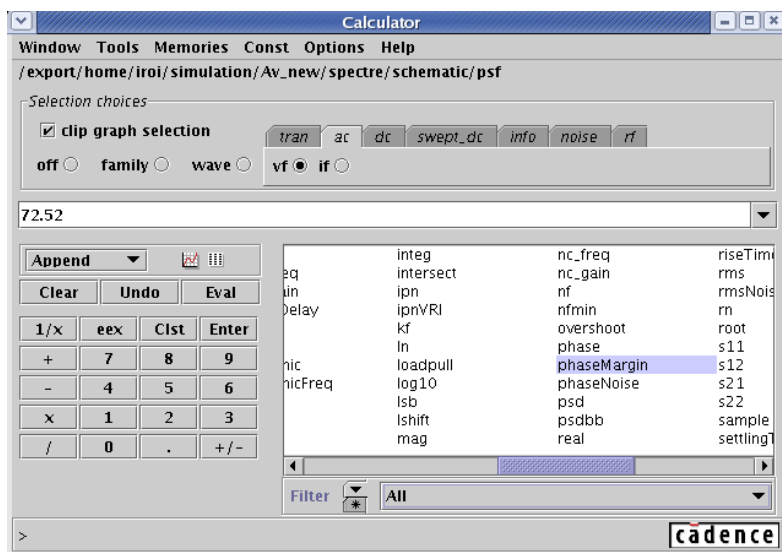
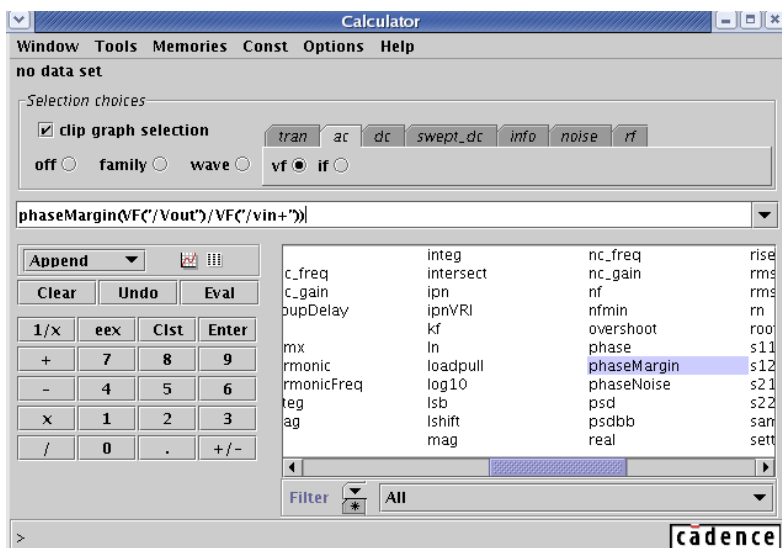
### 4. 相位裕量测试

文件: Av\_new

使用 AC Gain&Phase 画出输出与输入之比，可得下图：



同时使用计算器工具求解相位裕量:



=72.1°，使用计算器可以得到近似的结果，满足设计要求

## 5. 共模抑制比（CMRR）测试

文件：CMRR\_new

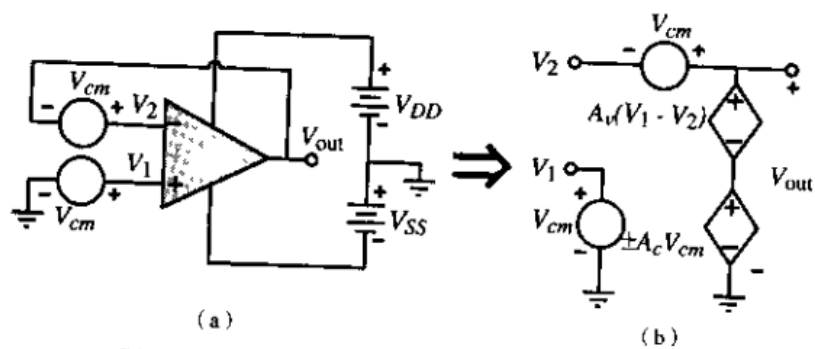
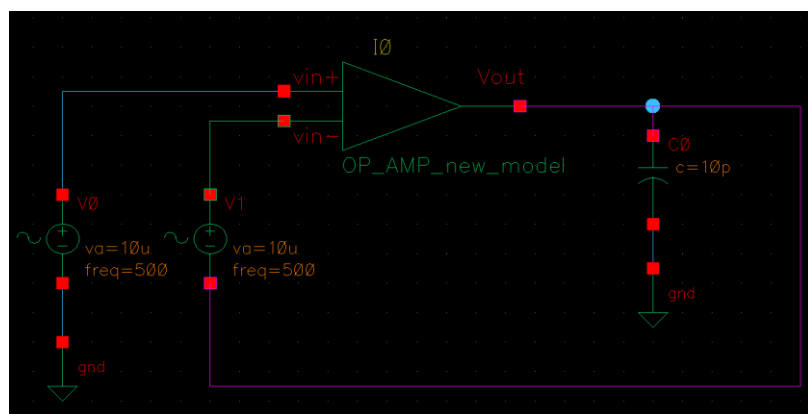


图 6.6-7 (a) CMRR 的直接仿真结构；(b) 模型

CMRR 仿真参考图

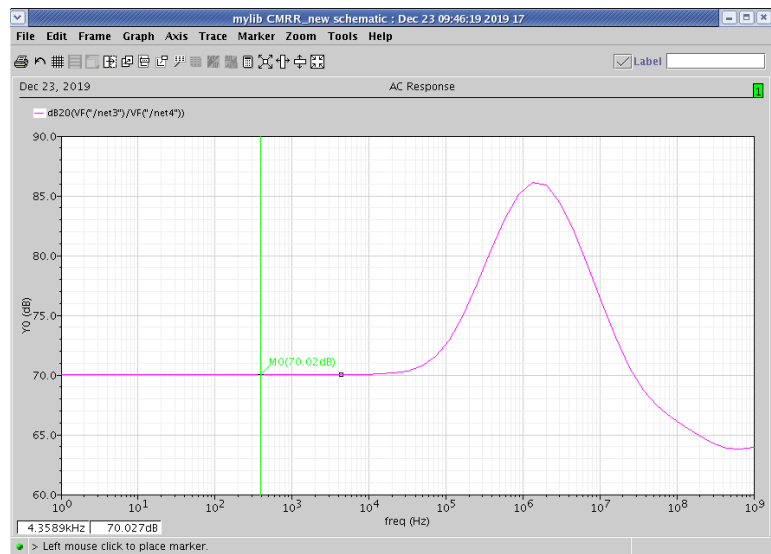


共模抑制比测试电路图

vin1 和 vin2 端口的 vam 都设置为 10uV，AC magnitude 设为 1V，利用公式：

$$\left| \frac{V_{cm}}{V_{out}} \right| = CMRR$$

所以直接对两个端口进行 AC Gain 曲线的绘制，可以得到 CMRR 的频率响应曲线：

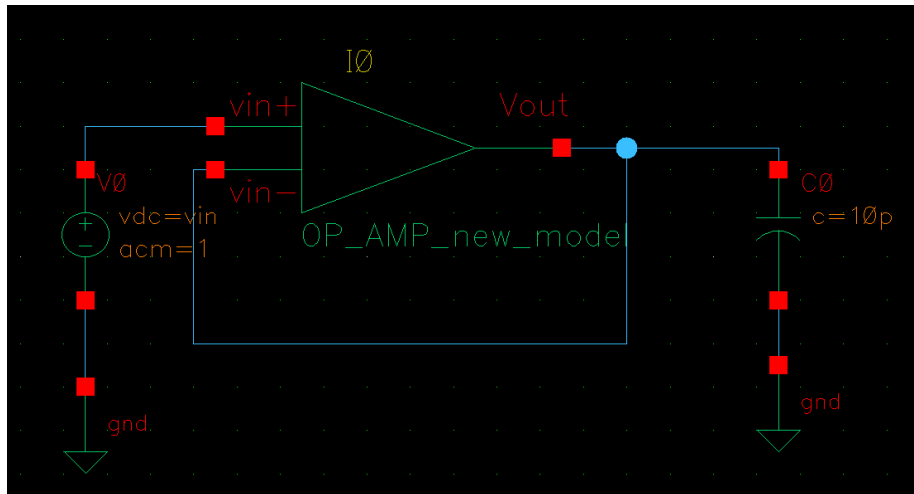


低频时的 CMRR 基本保持在 70dB 左右，符合一般电路需求。

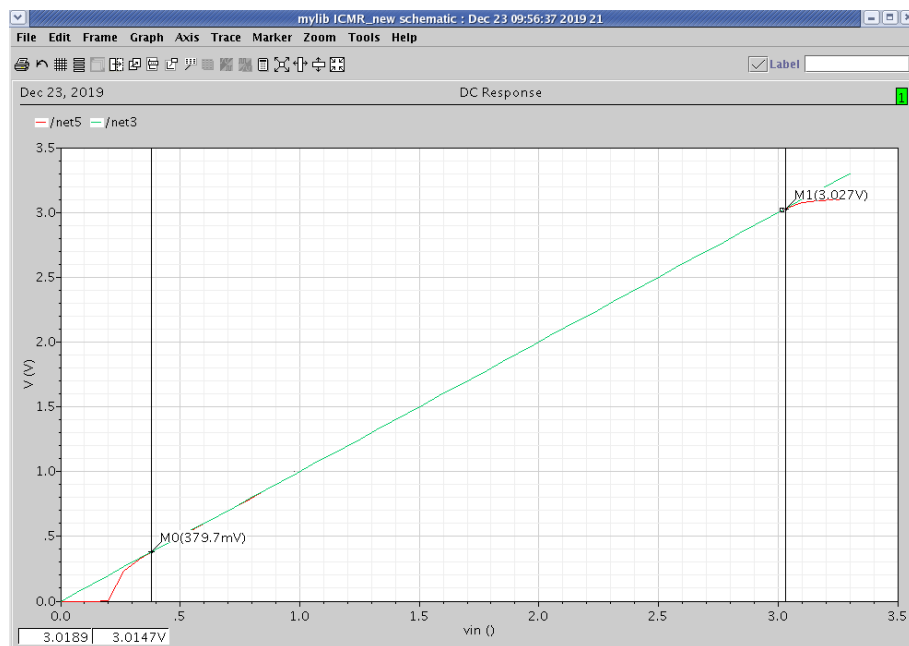
## 6. 共模输入范围（ICMR）测试

文件：ICMR\_new

对输入直流电压从 0 到 3.3V 进行扫描，分析输入输出端口曲线：



ICMR 测试电路图



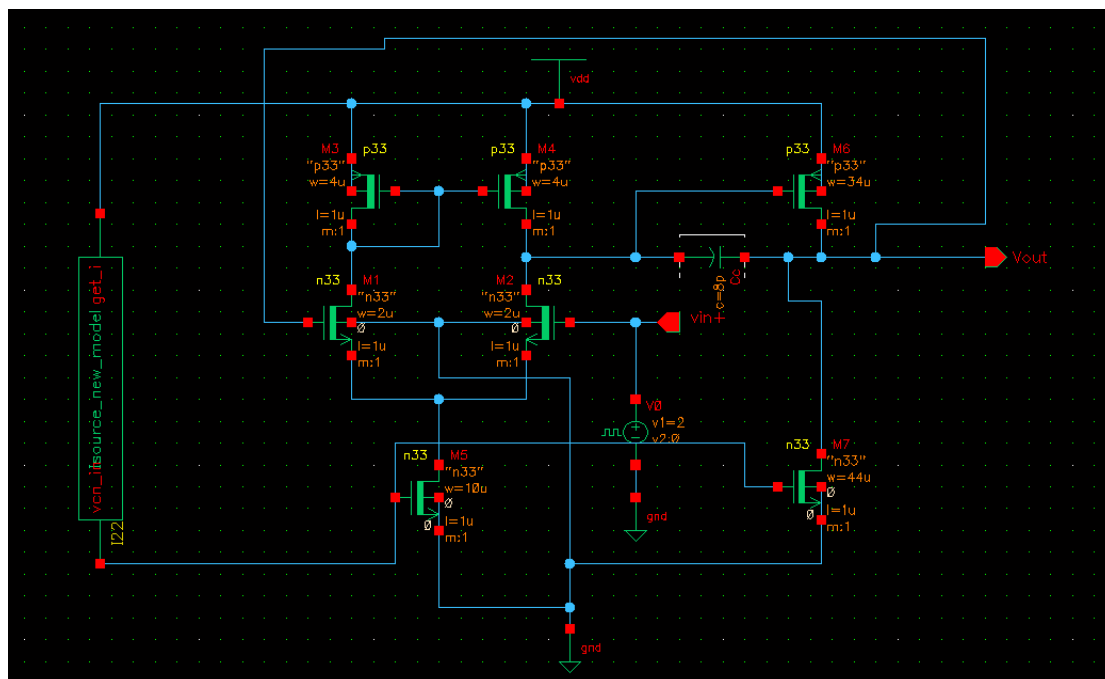
输入、输出端口曲线图

如图所示，绿色为输入电压曲线，红色为输出电压曲线。可以得到输入电压和输出电压曲线在 319.7mV-3.027V 之前基本保持重合，所以设计指标可以满足共模输入范围在 1.25-2.5V 之间。

## 7. 压摆率 (SR) 测试

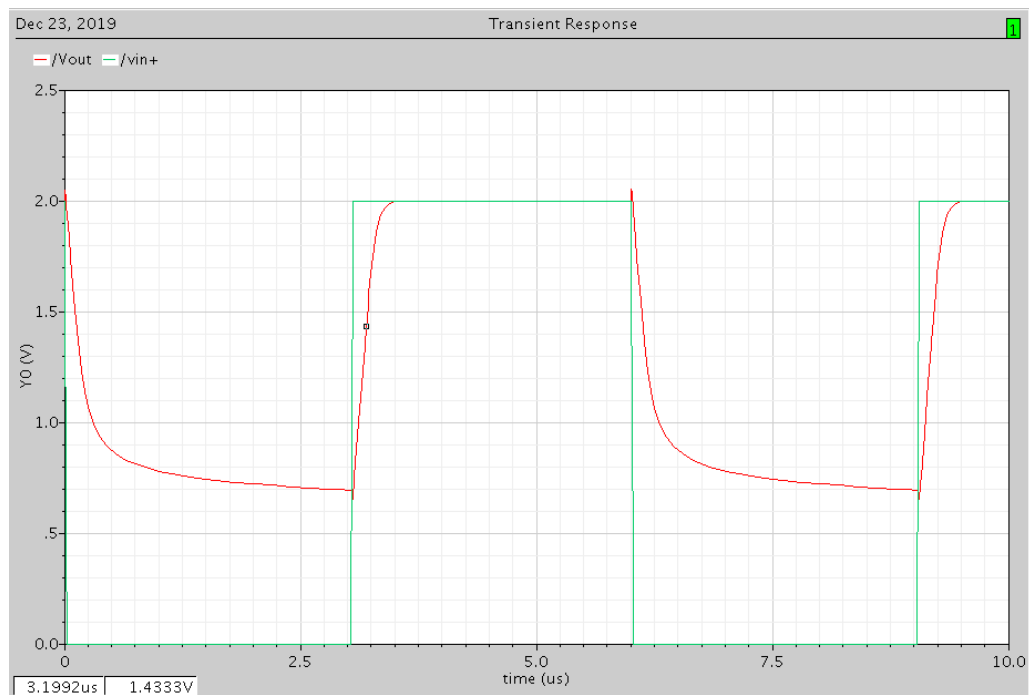
文件: SR\_new

如下图是电路压摆率的测试电路，在  $v_{in+}$  端口接入峰峰值为 2、周期为 6 $\mu$ s、占空比为 50%的脉冲方波， $v_{in-}$  端口直接连到  $v_{out}$  端口。



对 vin+ 端口和 vout 端口波形进行绘制比较。(这里由于之前设计的 Cc 过大，所以直接在最基本的原理图中进行了仿真，方便修改参数)

原来 Cc=10pF 时的压摆率无法满足设计要求，所以逐渐缩小，最终到 Cc 约为 8pF 时可以达到  $SR > 5V/\mu s$  的设计要求。



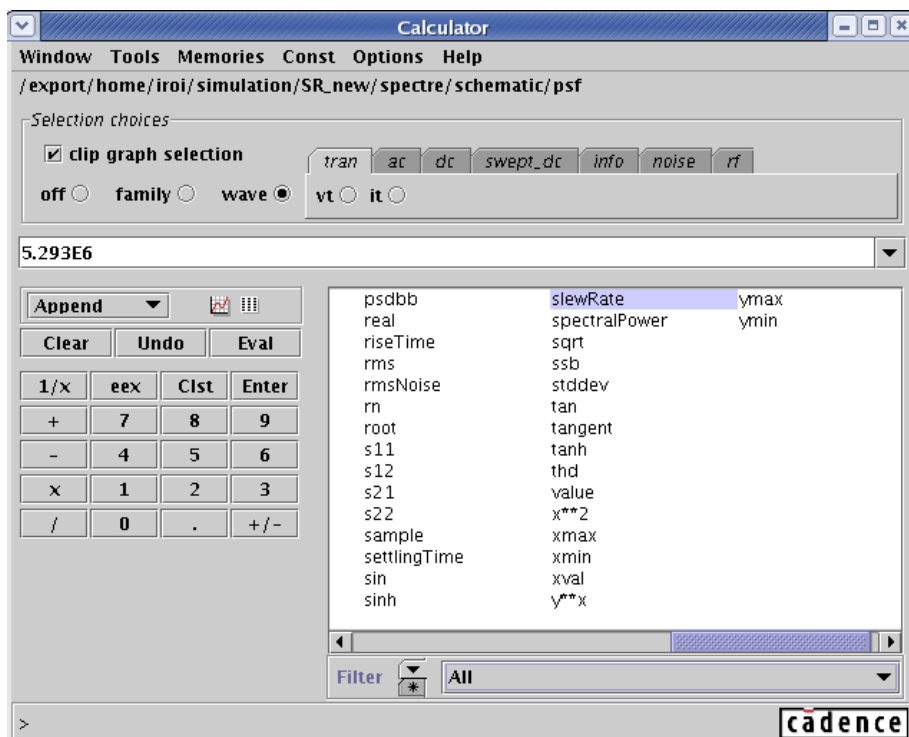
对上升沿和下降沿各取两点计算压摆率：

上升沿：

$$SR = \frac{1.6843 - 1.2639}{3.2405 - 3.1679} \approx 5.79 \text{ V}/\mu s$$

下降沿：

$$SR = \frac{1.6324 - 1.474}{6.0877 - 6.1192} \approx -5.03 \text{ V}/\mu s$$



使用计算器求得的压摆率

同时使用计算器对输出电压压摆率进行测试，和计算值相近，可见此设计可以满足  $SR > 5V/\mu s$  的要求

## 8. 电源抑制比（PSRR）测试

文件：PSRR\_new

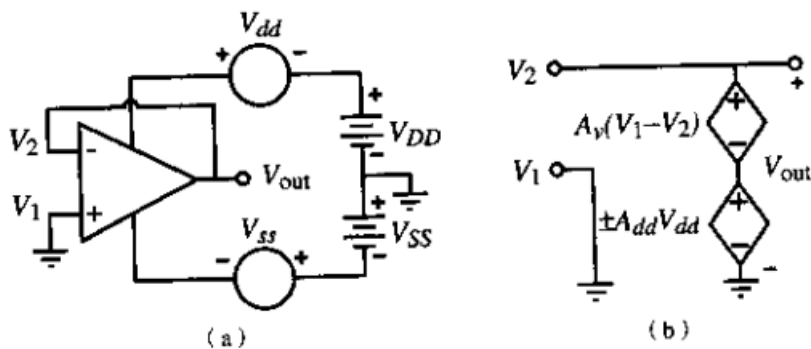


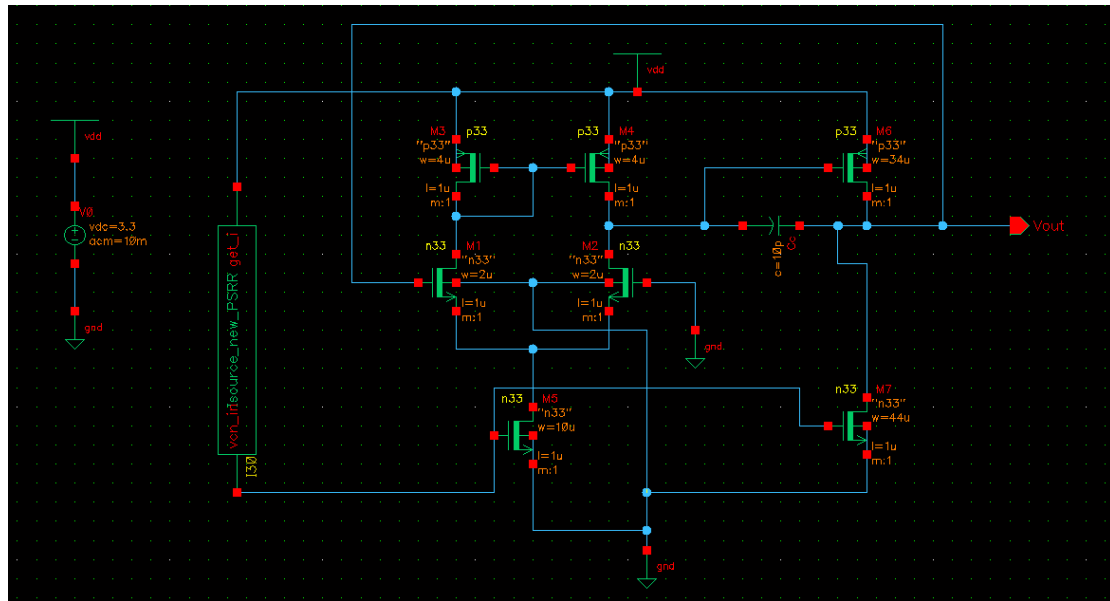
图 6.4-1 (a) 计算 PSRR 的方法；(b) 模型

PSRR 仿真参考图

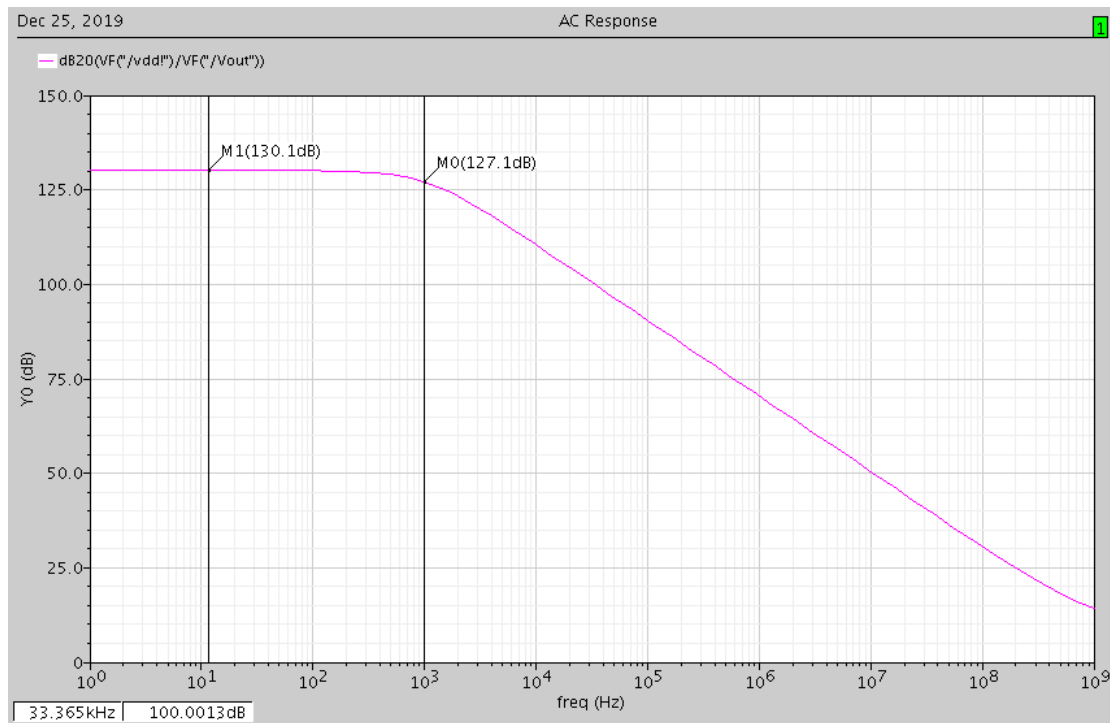
由于此电路是单电源供电，所以只需测量 PSRR+ 即可

$$PSRR \approx \frac{V_{dd}}{V_{out}}$$





上图为 PSRR+测量电路图，Vin+正输入入口接地，vin-负输入入口接到 Vout 端口，电源的 AC magnitude 设置为 10mV

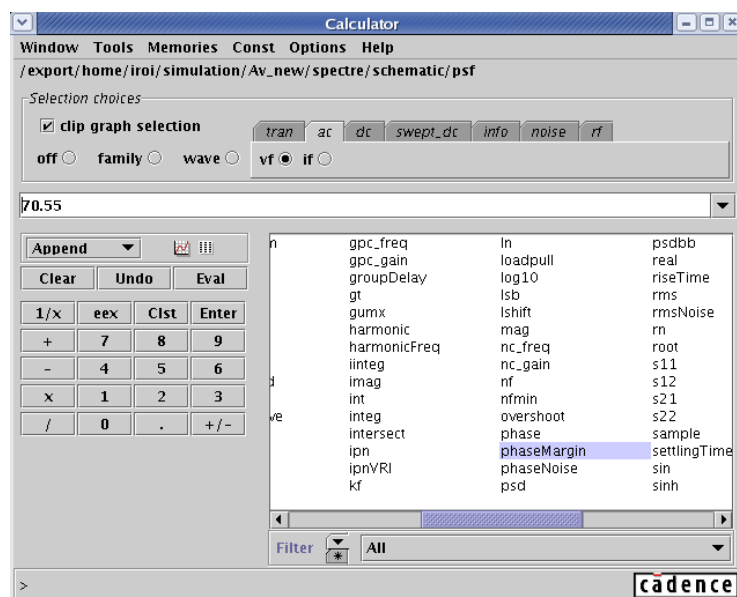


从图中可以看出，PSRR+在低频时约有 130.3dB，-3dB 点约在 1.02kHz 左右，可见此设计电路对电源抑制效果良好

## 五、实验总结及反思

### 1. $C_c$ 的修正

一开始选取 10pF 作为米勒电容的取值，但是对压摆率的仿真过程中发现  $C_c$  的取值过大，所以逐步缩小，最终选择了 8pF。但 SR 也只能勉强在设计要求边缘，所以以后的电路仿真设计的时候取值还是要更加宽松一些。但减小  $C_c$  之后，相位裕量会略微减小，从原来的 72.1° 下降到下图的 70.55°，其他仿真结果几乎没有变化。



米勒电容修正后的相位裕量

### 2. CMRR 共模抑制比的问题

设计的第一版电路中的共模抑制比非常小，低频时只有 50dB 左右，一直找不到原因。后来对电路中每个 MOS 管的 DC operating points 进行查看后发现，M5 管和 M6 管根本没有工作在饱和区，它们都工作在线性区，显然电路的整体设计就出现了问题。并且在这版电路仿真中，我发现按照理论对电路进行修改提升，得到的仿真结果却和理论不符。最后发现，是由于设计时使用了上一届学长仿真的 MOS 工艺参数 (p18、n18 管)，而没有自己对 p33、n33 管进行工艺参数的仿真。将 p33 和 n33 的工艺参数得到后再重新对电路进行设计，得到的结果即是报告中的最终结果，并且修改电路仿真基本和理论是相符的。