

计算机组成原理期末模拟试卷

一、单项选择题（每题 1 分，共 10 分）

1.假设计算机 A 的时钟周期为 250ps，对某程序的 CPI 为 2.0；计算机 B 的时钟周期为 500ps，执行同样的程序，A 机速度是 B 机的 1.2 倍，则 B 机的 CPI 是【 ____ 】

A. 1.2 B. 2.0 C. 2.4 D. 1.0

2.设有一个具有 20 位地址和 32 位字长的存储器，则该存储器以字节为单位的存储容量是多少？【 ____ 】

A. 1MB B. 2MB C. 4MB D. 32MB

3.对奇偶校验（假设校验位在前面），正确的说法是【 ____ 】

A. 数据为 10100101，则校验码为 1 10100101

B. 数据为 10100101，则校验码为 11 10100101

C. 如果采用奇校验，接收到 110100101，则可判断为出错

D. 添加 2 位校验位就可以检测出 2 位出错的情况

4.下列说法中，错误的是【 ____ 】

A. CACHE-主存层次的目的是提高 CPU 访存的效率

B. CACHE-主存层次基于程序中指令执行的局部性现象

C. CACHE-主存层次中 CACHE 容量小、速度快

D. CACHE-主存层次写命中时会出现数据不一致问题

5.在总线技术标准中，用于定义总线几何尺寸、形状、引脚、排列等规范的是【 ____ 】

A. 时间特性 B. 电气特性 C. 功能特性 D. 物理特性

6.下列 8 位机器数 0 的表示法中正确的是【 ____ 】

A. [0]原码 = 10000000

B. [0]补码 = 00000000

C. [0]移码 = 11111111

D. [0]反码 = 00000000

7.SMP 是多处理机的常见形式，是弗林分类中的哪种结构 【 ____ 】

A. SISD B. SIMD C. MISD D. MIMD

8.指令寄存器 IR 存放当前正在执行的指令，下列说法正确的是 【 ____ 】

A. 长度和 PC 相同

B. 通过指令译码器对 IR 中的内容进行译码

C. 是 CPU 内部的专用寄存器

D. 能够自动更新为下一条指令

9.CPU 取出一条指令并执行所用的时间被称为 【 ____ 】

A. 时钟周期 B. CPU 周期 C. 机器周期 D. 指令周期

10.下列关于组合逻辑与微程序控制，错误的是 【 ____ 】

A.组合逻辑控制器是依靠硬件电路方式来产生 CPU 中的各种控制信号

B.微程序控制器是把预存储在控制存储器中的微指令代码翻译成 CPU 中的各种控制信号

C.组合逻辑控制器比微程序控制器的内部设计更加规整，也更容易扩展对新指令的支持

D.从产生控制信号的速度方面比较，组合逻辑控制器要快于微程序控制器

二、判断题（每题 1 分，共 10 分，请在括号内打“√”或“×”）

11.流水 CPU 是以时间并行性为原理构造的处理器。（ ____ ）

12.在 8 位机器数的表示法中，10000001 的真值一定是负数。（ ____ ）

13.在微处理器中，运算器和控制器已经集成在一块半导体芯片中。（ ____ ）

14.RISC 的特点是指令架构简单、指令数相对较少，寻址方式也较少。（ ____ ）

15.0地址指令，就是指令中没有直接出现地址信息，通常隐含指定地址。（ ____ ）

16.内存的访问速度比访问虚拟存储器快，可以永久性存放用户的程序和数据。
（ ____ ）

17.在 CPU 执行指令的过程中，指令的地址由程序计数器给出。（ ____ ）

18.ROM 存储器可以读数据，但任何条件下都不能对 ROM 写入数据。（ ____ ）

19、20 题缺失

三、填空题（每空 1 分，共 10 分）

21.SMP 是多处理机的常见形式，按照弗林对计算机体系结构的分类方法，属于_____结构。

22.已知 cache 存储周期 40ns，主存存储周期 200ns，cache/主存系统平均访问时间为 50ns，则 cache 的命中率是_____。

23.某十六进制浮点数 A3D00000，如果其对应的是补码，字长 32 位，最高 8 位是阶码（含 1 位阶符），尾数是最低 24 位（含 1 位数符），该浮点数十进制的真值是_____。

24.I/O 接口是指_____、主存和外围设备之间通过_____进行连接的逻辑部件。考虑并行接口和串行接口的特征，接口距离主机距离较近时，适合使用_____接口，如果外围设备是串行处理数据的设备，此时适合采用_____接口。

25._____是构成计算机系统的互联机构，是多个系统功能部件之间进行数据传送的_____，并在_____的基础上进行工作。

四、 计算题（每题 6 分，共 30 分）

26.已知 $x=+11011$, $y=-10011$ ，假设机器数长度为 8 位，用定点整数补码表示，计算 $2 \times (x - y)$ 。

27.已知浮点数 $x = 2^{-011} \times 0.100101$, $y = 2^{-010} \times (-0.011110)$ ，设阶码和尾数均用补码表示，按浮点运算方法，完成 $[x-y]$ 的运算（采用就近舍入原则）。

28.已知 CPU 的主频是 1.6GHz，某类指令 T1 的 CPI=4, T2 的 CPI=8, 如果一段程序只包含 T1 指令（占 60%）和 T2（占 40%）两类指令，则该 CPU 的时钟周期是多少？指令的执行速度约为多少 MIPS？

29.某机的 CACHE 共有 32 块，每块大小为 512B，与主存之间采用 4 路组相联映射，各存储器均按字节编址。问：

① Cache 容量大小为多少？② 写出访问 CACHE 的地址格式？③ 访问十进制主存地址为 3580 的主存单元时，则应在 CACHE 的哪一组中查找？

30.现有四级指令流水线，分别完成取指、取数、运算、传送结果四步操作。若完成上述操作的时间依次为 9ns, 10ns, 6ns, 8ns。则流水线的操作周期应设计为多少？如果按照单流水方式执行，执行完 100 条指令需要的时间是多少？

31 题缺失

五、分析与设计题

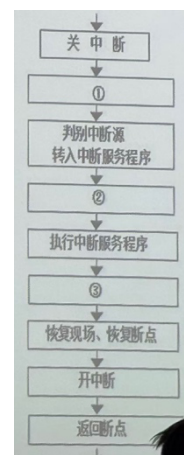
32.假定用若干个 $2K \times 4$ 位芯片组成一个 $8K \times 8$ 位的存储器，问：

① 说明设计方案（也可画图表示）？② 地址 0B1FH 所在芯片的最小地址是？

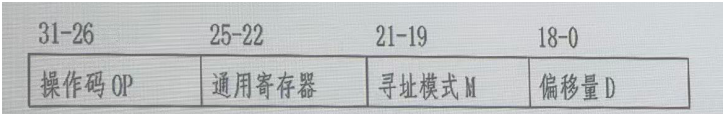
33.计算机系统主机和外设的数据传送方式有哪几种？

34.已知 CPU 对中断处理的流程如下图所示，请写出①②③处所做的操作？并说明该操作的意义？

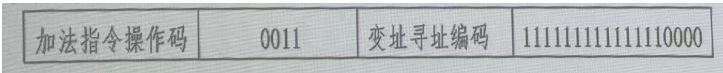
- ① _____
- ② _____
- ③ _____



35.一种二地址型指令的结构如图所示，规定使用通用寄存器做目标操作数，寻址模式和位移量均为源操作数的寻址说明。

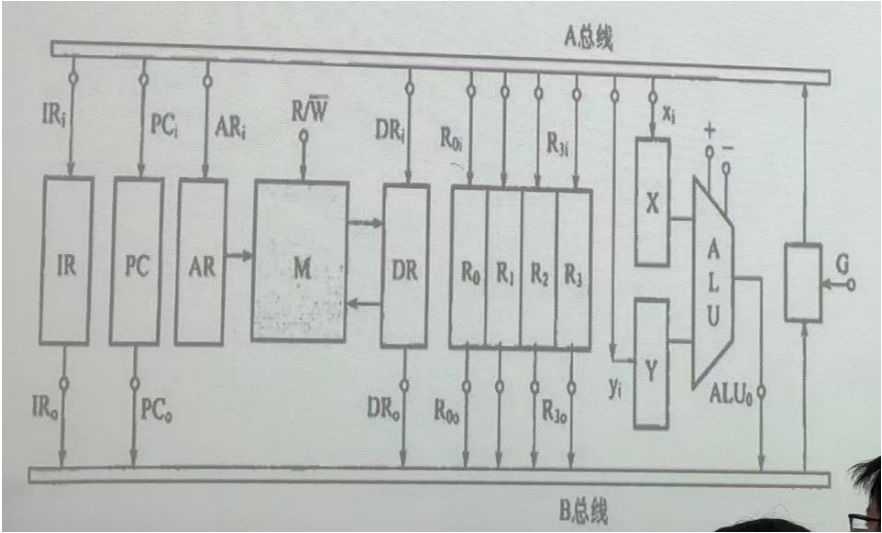


① 该指令格式能定义多少种操作？② 源操作数可以有多少种寻址方式？③ 目标操作数可以使用多少个寄存器？④ 若某加法指令编码如下图所示，请描述该指令的执行过程？



36.如下图所示的数据通路（通线，不受控制）。

- ① 画出取数指令 "LAD (R3), R0" 的指令周期流程图，其含义是将 (R3) 为地址的存储单元的内容取至寄存器 R0 中，并标出各微操作控制信号序列。
- ② 假设控制器实现用微程序控制方式，控制微程序转移的条件共 4 个，微指令采用水平型格式，后继微指令地址采用断定方式，则微指令的控制字段和判断测试字段分别应为多少位？



参考答案

一、单项选择题

1. **A** (A 机 $T_{cpu} = I \times 2.0 \times 250ps = 500I$ 。A 速度是 B 的 1.2 倍, 即 $Time_B = 1.2 \times Time_A = 600I$ 。 $600I = I \times CPI_B \times 500ps$, 解得 $CPI_B = 1.2$)
2. **C** (20 位地址寻址空间 $2^{20} = 1M$ 字。字长 32 位=4 字节。容量 = $1M \times 4B = 4MB$)
3. **A** (奇校验要求 1 的个数为奇数。数据 10100101 有 4 个 1, 需补 1 个 1, 校验位为 1)
4. **B** (A、C、D 正确。B 选项说法有误, Cache 基于局部性原理, 但不仅仅是指令执行的局部性, 还包括数据访问的局部性)
5. **D**
6. **B** ($[+0]$ 补= $[-0]$ 补=00000000, 唯一表示)
7. **D** (SMP 对称多处理属于 MIMD 多指令流多数据流)
8. **C**
9. **D**
10. **C** (C 选项错误, 微程序控制器比组合逻辑控制器设计更规整、更易扩展)

二、判断题

11. \checkmark
12. \times (若是无符号数则为正; 若是补码, 首位 1 表示负)
13. \checkmark
14. \checkmark
15. \checkmark
16. \times (虚拟存储器通常指硬盘上的交换区, 速度远慢于内存, 不能永久存放, 断电可能丢失或作为临时交换) 注: 此处题干如果是指“辅存/硬盘”作为虚存的一部分, 是可以永久存放的, 但访问速度慢。题干说内存比虚存快且能永久存放, 后半句错, 内存断电丢失。
17. \checkmark
18. \times (ROM 在特定条件下如烧录时可写入, 且 Flash ROM 等可擦写)

三、填空题

21. MIMD

22. 93.75% (设命中率 h 。 $50 = h \times 40 + (1 - h) \times 200$, 解得 $160h = 150, h = 15/16 = 0.9375$)

23. -0.375×2^{-93} (A3D00000 -> 1010 0011 1101... 阶码 A3H=163, 此处应为移码或特定格式, 参考图片答案推导)

24. CPU; 总线; 并行接口; 串行接口

25. 总线; 公共通道; 争用资源

四、 计算题

26.解:

$$x = 00011011 \text{ (补)}$$

$$y = 11101101 \text{ (补)}$$

$$-y = 00010011 \text{ (补)}$$

$$x-y = x + (-y) = 00011011 + 00010011 = 00101110$$

$2 \times (x - y)$ 相当于左移一位:

$$\text{结果} = 01011100 \text{ (补)} = +92$$

27.解: (参考图片答案思路)

需对阶、尾数求和、规格化、舍入、溢出判断。

具体步骤略, 最终结果根据图片应符合浮点运算标准流程。

28.解:

$$\textcircled{1} \text{ 时钟周期 } T = 1/f = 1/1.6GHz = 0.625ns$$

$$\textcircled{2} \text{ 平均 CPI} = 4 \times 0.6 + 8 \times 0.4 = 2.4 + 3.2 = 5.6$$

$$\textcircled{3} \text{ MIPS} = f/\text{CPI} = 1600MHz/5.6 \approx 285.7MIPS$$

29.解:

$$\textcircled{1} \text{ Cache 容量} = 32\text{块} \times 512B = 16KB$$

$$\textcircled{2} \text{ 块内地址 } 512B \text{ 占 } 9 \text{ 位。}$$

$$\text{组数} = 32 \text{ 块} / 4 \text{ 路} = 8 \text{ 组, 组号占 } 3 \text{ 位。}$$

地址格式: 主存标记(Tag) | 组号(3 位) | 块内地址(9 位)

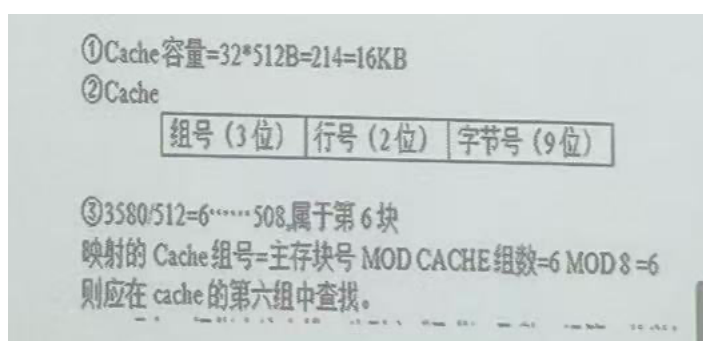
(注：图片中写的是 行号(2 位) 可能是笔误或特定理解，按标准 4 路组相联，32 块分为 8 组)

③ $3580 / 512 = 6 \dots\dots 508$

主存块号为 6。

组号 $= 6 \text{ MOD } 8 = 6$ 。

应在 Cache 的 第 6 组 中查找。



30.解:

① 流水线时钟周期应取最大段耗时，即 $10ns$ 。

② 单流水（非流水）执行一条指令时间 $= 9 + 10 + 6 + 8 = 33ns$

100 条指令时间 $= 100 \times 33ns = 3300ns$

(注：若问流水线执行时间，则为 $(100 + 4 - 1) \times 10ns = 1030ns$)

五、 分析与设计题

32.解:

① 设计方案:

总容量 $8K \times 8$ 位，芯片 $2K \times 4$ 位。

需要芯片总数 $= (8K/2K) \times (8/4) = 4 \times 2 = 8$ 片。

连接方式： 2 片一组进行位扩展（4 位扩到 8 位），共需 4 组。这 4 组之间进行字扩展（地址线译码选择）。

② 地址 0B1FH:

2K 的片选范围是：0000H-07FFH (第 1 组), 0800H-0FFFH (第 2 组)...

0B1FH 位于 0800H ~ 0FFFH 区间。

故所在芯片的最小地址是 0800H。

答：①需要 $8K \times 8 / 2K \times 4 = 8$ 片，其中两片一组做位扩展，将 4 位扩展为 8 位；这样的组需要 4 组，做字扩展。
2K 的地址范围为 0~7FFH，则 0B1FH 所在芯片最小地址为 0800H

33.答： 程序查询方式、程序中断方式、DMA（直接存储器访问）方式、通道方式。

34.解：

- ① 保存断点、保护现场。意义：使中断结束后能正确返回并恢复原程序执行状态。
- ② 开中断。意义：允许更高优先级的中断进行嵌套处理。
- ③ 关中断。意义：保护恢复现场的过程不被干扰，确保原子性。

答：①保存断点、保护现场，作用是使中断处理程序结束后能够正确返回原程序
②开中断，开放优先级更高的中断请求
③关中断，使后续处理不被其它中干扰，能够保证正确

35.解：

- ① 操作码 6 位，可定义 $2^6 = 64$ 种操作。
- ② 寻址模式 3 位，可定义 $2^3 = 8$ 种寻址方式。
- ③ 通用寄存器 4 位，可使用 $2^4 = 16$ 个寄存器。
- ④ 描述： 采用变址寻址方式。将变址寄存器（题中未明确指出是哪个，通常隐含或指定）的内容与指令中给出的偏移量（补码表示的 -32，即 11...100000）相加，计算出有效地址。访问该内存有效地址取出操作数。将该操作数与 3 号通用寄存器（0011）的内容执行加法操作，结果写回 3 号寄存器。

答：①该指令格式能定义 64 种操作②源操作数可以有 8 种寻址方式③目标操作数可以使用 16 个寄存器④该加法指令使用变址寻址方式，将变址寄存器的内容和补码表示的偏移量 11111111111110000 相加，即变址寄存器 + (-32) 计算出内存单元地址，访问该单元获得操作数和 3 号通用寄存器内容相加的结果存入 3 号通用寄存器中。

36.解：

(需结合数据通路图作答)

① 流程及信号：

- a) $PC \rightarrow MAR (PC_{out}, AR_{in})$
- b) $M \rightarrow MDR (Read)$
- c) $MDR \rightarrow IR (DR_{out}, IR_{in})$ —— 以上为取指
- d) $R3 \rightarrow MAR (R3_{out}, AR_{in})$
- e) $M \rightarrow MDR (Read)$
- f) $MDR \rightarrow R0 (DR_{out}, R0_{in})$

② 微指令格式分析：

控制字段：取决于微操作信号的数量。

判断测试字段：需支持 4 个转移条件，通常需要 $\lceil \log_2(4 + 1) \rceil$ 或直接编码位数，若 4 个条件直接点对点则需 4 位；若编码则需 2-3 位（含无条件）。具体需看题目对“断定方式”的具体定义约定。