

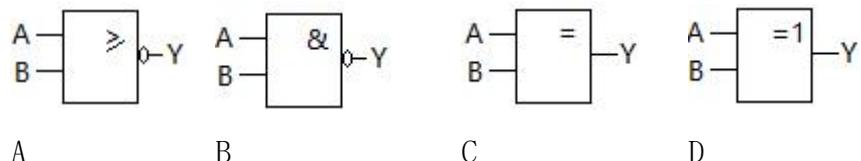
## 数字电路练习题(1)

### 一、单项选择题

1. 对于 JK 触发器, 若 J=K, 则可完成\_\_\_\_\_触发器的逻辑功能。【】

- A. T      B. D      C. RS      D.  $T'$

2. 能够实现  $Y = (AB)'$  逻辑运算的电路是【】



3. 某触发器有稳态和暂稳态两个不同的工作状态, 则它是【】

- A. 施密特触发器      B. 单稳态触发器  
C. JK 触发器      D. 多谐振荡器

4. 以下哪个部件的功能是产生周期为 T 的矩形脉冲信号【】

- A. D 触发器      B. 译码器  
C. 单稳态触发器      D. 多谐振荡器

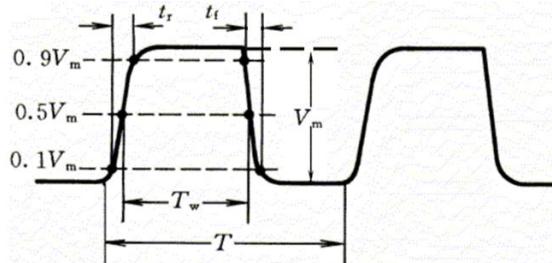
5. 下列各式中四变量 A、B、C、D 的最小项是【】

- A.  $A+B+C$       B.  $ABCD$       C.  $AB+C$       D.  $\bar{A} \bar{B} \bar{C}$

6. 设逻辑常量 1 表示真, 逻辑常量 0 表示假, 以下逻辑常量、逻辑变量的逻辑运算不正确的是【】

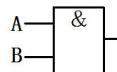
- A.  $1 \cdot A = A$       B.  $A + A = A$       C.  $A + A' = 0$       D.  $1 + A = 1$

7. 如下图所示, 从脉冲前沿到达  $0.5V_m$  起, 到脉冲后沿到达  $0.5V_m$  为止的一段时间  $T_w$  称为【】

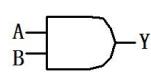


- A. 脉冲周期      B. 脉冲宽度      C. 占空比      D. 脉冲幅度

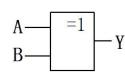
8. 当两个逻辑型输入变量 A、B、只有当 A=1 同时 B=1 的情况下输出信号 Y 为 1，可以用以下国家标准符号表示的门电路实现的是 【 】



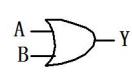
A



B



C



D

9.  $Y = A(B+C) + CD$  的对偶式为 【 】

A.  $Y' = (A+BC)(CD)$

B.  $Y' = \bar{A}\bar{C} + \bar{B}\bar{C} + \bar{A}\bar{D}$

C.  $Y' = (A+BC)(C+D)$

D.  $Y' = AC + BC + CD$

10. 以下哪种方法不能表示逻辑函数 【 】

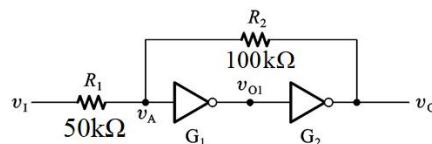
A. 波形图

B. 电路图

C. 真值表

D. 状态转换图

11. 如下图所示是由两个 CMOS 反相器和两个电阻构成的电路，设 MOS 管开启电压为 3V，电源电压为 6V，当输出  $V_o = 0$  时，输入电压达到多少伏时， $V_o$  输出为高电平。 【 】



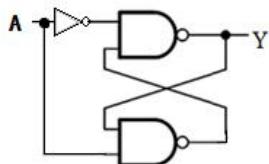
A. 6

B. 3

C. 4.5

D. 1.5

12. 如下图所示输入逻辑变量 A 与输出信号 Y 的关系是 【 】



A.  $Y = A'$

B.  $Y = A$

C.  $Y = 1$

D.  $Y = 0$

13. 下列各种门电路哪种不能将输出端并联使用 【 】

A. 漏极开路的 CMOS 门

B. TTL OC 门

C. TTL 三态门

D. 具有推拉式输出级的 TTL 门

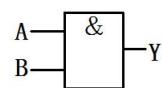
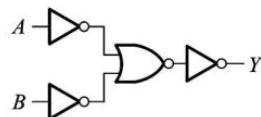
14. 逻辑函数  $F(A, B) = AB$ , 将其写成逻辑函数的最小项和的形式为 【 】

- A.  $AB$       B.  $AB + AB'$       C.  $ABC' + ABC$       D.  $A + B$

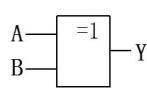
15. 逻辑函数  $Y = A + B$ , 将其写成逻辑函数的与非-与非式的形式为 【 】

- A.  $A + B$       B.  $A' B'$       C.  $(A' B')'$       D.  $A' + B'$

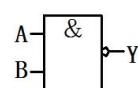
16. 分析如下电路, 从逻辑上可替代的门电路是以下哪一项? 【 】



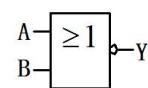
A



B



C



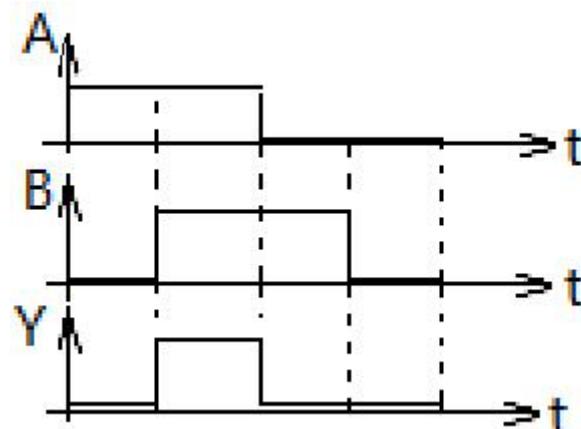
D

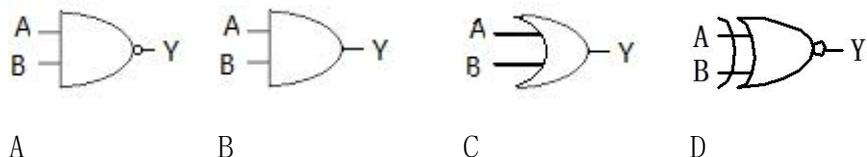
17. 以下真值表对应的逻辑函数的代数式为 【 】

输入变量		输出变量
A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

- A.  $Y = (A+B)'$       B.  $Y = AB$       C.  $Y = A+B$       D.  $Y = (AB)'$

18. 以下哪一个电路能产生下图中输入 A、B 与输出 Y 的波形对应关系 【 】



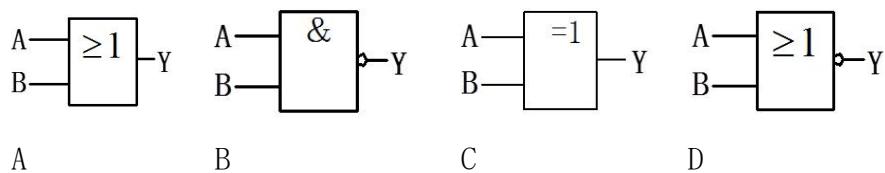


19. 以下哪一个门电路能产生与下表所示的真值表对应的逻辑关系

【 】

表 1 第 19 题真值表

输入		输出
A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0



20. 分析图 1 波形, 已知 A、B 为输入信号, Y 为输出信号, 它们的逻辑关系

- A.  $Y=AB$       B.  $Y=AB+A'B'$   
 C.  $Y=A \odot B$       D.  $Y=A \oplus B$

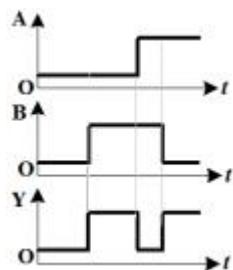


图 1 第 20 题图

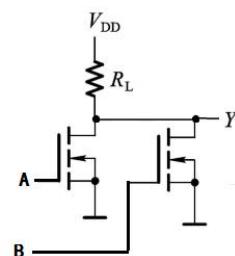


图 2 第 21 题图

21. 分析图 2 电路, 输入与输出的逻辑关系为

- A.  $Y=(A+B)'$       B.  $Y=AB$       C.  $Y=A+B$       D.  $Y=(AB)'$

22. 施密特触发器有

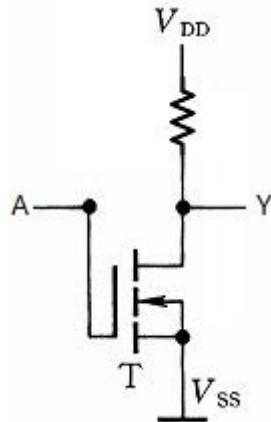
- A. 一个稳定状态, 一个暂稳态      B. 两个稳定状态

C. 两个暂稳态

D. 奇数个非门电路

23. 下列电路中，输出端 Y 的与其它信号的关系为

【 】



A.  $Y=A$

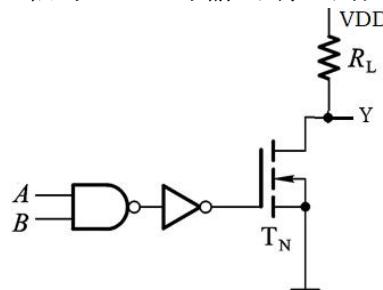
B.  $Y=1$

C.  $Y=A'$

D.  $Y=0$

24. 如下图所示电路中，输入信号 A、B 与输出端 Y 的关系为

【 】



A.  $Y=A+B$

B.  $Y=(A+B)'$

C.  $Y=AB$

D.  $Y=A'+B'$

25. 下列属于时序逻辑电路的是

【 】

A. 数据选择器

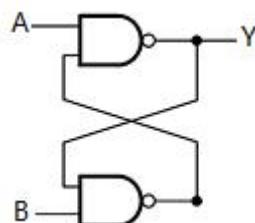
B. 3 线-8 线译码器

C. 二进制同步计数器

D. 全加器

26. 如下图所示电路中，当 A=0, B=1 时，输出端 Y 的值为

【 】



A.  $Y=(A+B)'$

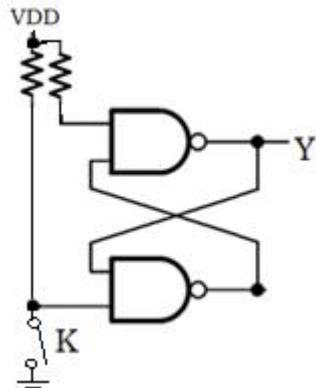
B.  $Y=0$

C.  $Y=AB$

D.  $Y=1$

27. 如下图所示电路中，当开关 K 闭合再断开以后，输出端 Y 的值为

【 】



- A.  $Y=0$       B.  $Y=1$       C.  $Y=Y'$       D.  $Y$  的值不变

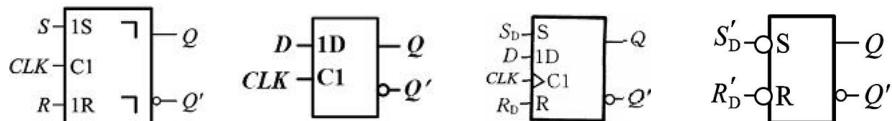
28. CMOS 反相器工作过程中会产生一定功耗，以下哪项 CMOS 反相器功耗大小与输入信号频率密切相关 【 】

- A. 只有瞬时导通功耗      B. 动态功耗  
C. 只有负载功耗      D. 静态功耗

29. 构成一个 11 进制计数器至少需要\_\_\_\_\_个触发器 【 】

- A. 1      B. 2      C. 3      D. 4

30. 以下哪一个触发器是脉冲触发的触发器 【 】



- A      B      C      D

31. 将以下哪一种 CMOS 门电路的输出端相连能够实现“线与”逻辑。 【 】

- A. 漏极开路输出门电路(OD 门)      B. 与非门  
C. 三态门      D. 集电极开路输出门电路(OC 门)

32. 已知 CLK 是时钟输入信号，为了实现对 CLK 的周期数进行统计，你应该使用的部件是 【 】

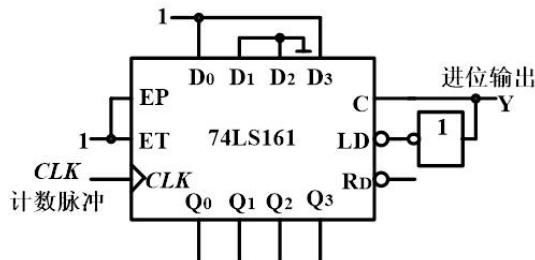
- A. A/D 转换器      B. 译码器      C. 计数器      D. 选择器

33. 在矩形脉冲中脉冲宽度与脉冲周期的比值  $q = t_w / T$ ，称为 【 】

- A. 下降时间      B. 占空比      C. 上升时间      D. 脉冲幅度

34. 以下是用 74161 组成的计数器，它是多少进制的计数器

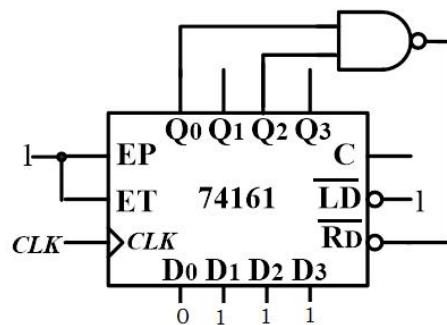
【 】



- A. 8      B. 7      C. 9      D. 10

35. 如下图是用 74161 组成的计数器，它是多少进制的计数器？

【 】



- A. 7      B. 5      C. 6      D. 8

36. 为了设计某一个时序逻辑电路，该电路有 6 个不同的状态，则最少需要的触发器个数为

【 】

- A. 4      B. 5      C. 6      D. 3

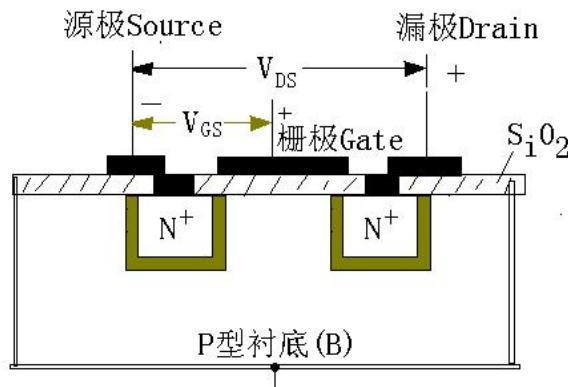
37. A/D 转换的四个标准步骤的顺序是

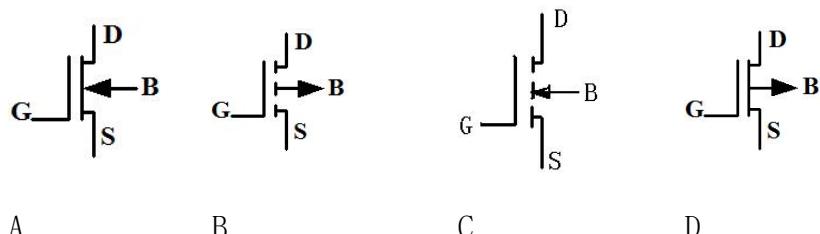
【 】

- A. 编码，保持，采样，量化      B. 采样，保持，量化，编码  
C. 取样，量化，保持，编码      D. 采样，量化，保持，编码

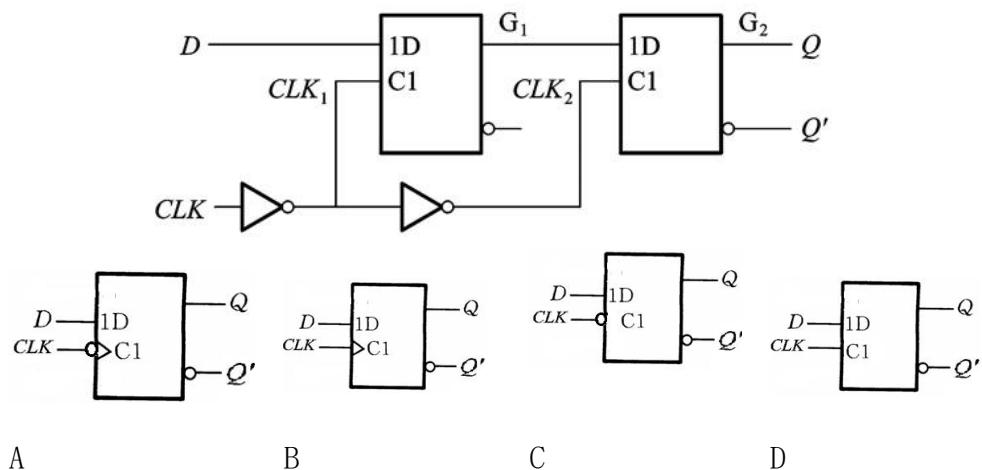
38. 满足下图的 MOS 器件的逻辑电路符号为

【 】

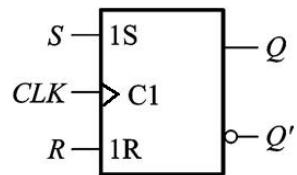




39. 满足下图中电路的逻辑电路符号为



40. 如图所示电路中，当 SR=0 时，其特性方程为



- A.  $Q*=S+R' Q$
- B.  $Q*=S' +RQ$
- C.  $Q*=S$
- D.  $Q*=1$

## 二、填空题

1. 以输出的高电平表示逻辑\_\_\_\_\_, 低电平表示逻辑\_\_\_\_\_, 则称这种表示方法为正逻辑。
2. 逻辑代数中的基本逻辑运算有: \_\_\_\_、\_\_\_\_和非三种。
3. 计数器和触发器都属于时序逻辑电路。
4. 通常情况下一个时序逻辑电路由\_\_\_\_电路和\_\_\_\_电路组成。
5. 完成数制转换 $(10100011)_2 = (\underline{\hspace{2cm}})_{16}$ 。 $(-35)_{10}$ 的8位表示的补码是\_\_\_\_。  
6. 完成数制转换 $(10101011)_2 = (\underline{\hspace{2cm}})_{16}$ ,  $(64)_{10} = (\underline{\hspace{2cm}})$
7. 完成数制转换 $(37)_{10} = (\underline{\hspace{2cm}})_{16}$ ,  $(-37)_{10}$ 的8位补码为\_\_\_\_。  
8. T' 触发器的特性方程为\_\_\_\_\_。
9. 输出信号不仅取决于当时输入信号, 还与当前的输出信号的关的电路叫做\_\_\_\_\_电路。
10. 时序逻辑电路中当所有触发器都使用同一个CP脉冲的电路称为\_\_\_\_\_时序电路。
11. 单稳态触发器在外界触发脉冲作用下, 能从\_\_\_\_\_状态转翻到\_\_\_\_\_状态, 但在该状态的维持时间与触发脉冲的\_\_\_\_\_和幅度无关。
12. 周期性重复的脉冲序列中, 从脉冲前沿到达 $0.5V_m$ 起, 到脉冲后沿到达 $0.5V_m$ 为止的一段时间称为\_\_\_\_\_(设X); 两个相邻脉冲之间的时间间隔称为\_\_\_\_\_(设为Y), 则 $X/Y$ 称为\_\_\_\_\_。
13. 如图1所示电路中的MOS管是\_\_\_\_\_型MOS管, 输出端Y与输入A的逻辑关系为\_\_\_\_\_。

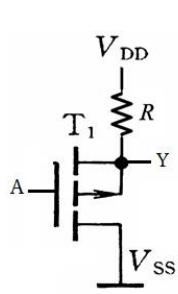


图 1 第 13 题图

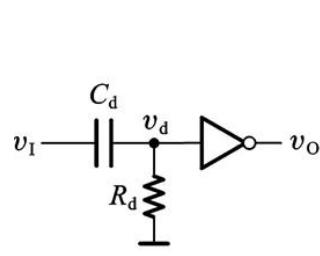


图 2 第 14 题图

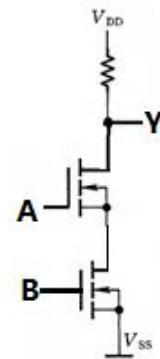


图 3 第 15 题图

14. 如图 2 所示是由 CMOS 反向器组成的电路，当  $V_o$  为高电平状态下， $V_i$  由 0 变为 1 时， $V_o$  就会转翻到\_\_\_\_\_电平状态，在该状态的维持时间与触发脉冲  $V_i$  的\_\_\_\_\_无关。

15. 如图 3 所示的电路中，输入  $Y$  与输入信号  $A$ 、 $B$  的逻辑关系为  $Y=$ \_\_\_\_\_。

16. 施密特触发器的主要应用有\_\_\_\_\_、\_\_\_\_\_和脉冲鉴幅。

17. 如图 4 所示的电路中，当  $B=$ \_\_\_\_\_时  $Q$  的值不变，否则，输出端  $Q$  的新态  $Q^*=$ \_\_\_\_\_。

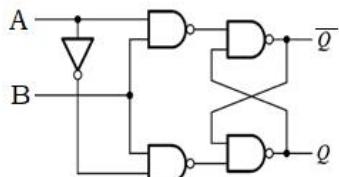


图 4 第 17 题图

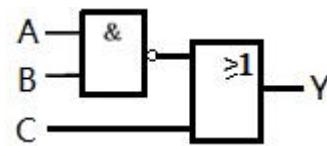


图 5 第 18 题图

18. 如图 5 所示的电路中输出与输入的关系是\_\_\_\_\_。

19. 基本 RS 触发器的特性方程为\_\_\_\_\_，约束条件为\_\_\_\_\_。

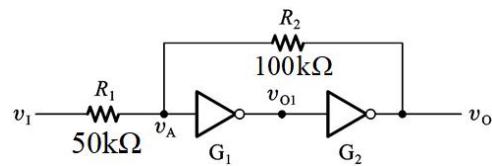
20. 时序逻辑电路主要由\_\_\_\_\_和\_\_\_\_\_电路组成。

21. MOS 管有三个工作区分别为\_\_\_\_\_区、可变电阻区和\_\_\_\_\_区。

22. 如果要让一个由四个触发器构成的寄存器存储 10 进制数据 13，四个触发器的输出端  $Q_3Q_2Q_1Q_0$  对应的值是 (\_\_\_\_\_)<sub>2</sub>。

23. 以下电路中  $V_{DD}=2V_{th}=6V$ ，当  $V_i=0V$ ， $V_o=0V$  的情况下  $V_i$  上升到\_\_\_\_\_V 时， $V_o$

输出高电平。



24. 如图 6 是由 74161 设计的计数器，它\_\_\_\_\_进制的计数器。

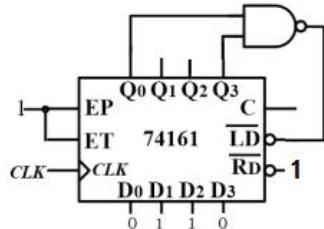


图 6 第 24 题图

图 7 第 25 题图

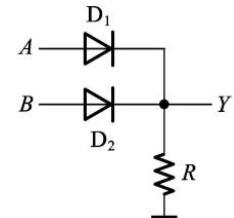


图 8 第 26 题图

25. 在如图 7 电路中，输入和输出的关系为： $Y = \underline{\hspace{2cm}}$ 。

26. 如图 8 输入信号大于等于 3V 为高电平，低电平为 0V，输出信号大于等于 2.3V 就认为是 1，输出端电平小于 0.2V 被认为是 0，二极管 D1、D2 导通压降为 0.7V，则输出 Y 和输入 A、B 的关系是  $Y = \underline{\hspace{2cm}}$ 。

27. 如图 9，当 CLK 经过一个由高到低的周期时， $Q^* = \underline{\hspace{2cm}}$ 。

28. 如图 9 是一个\_\_\_\_\_进制计数器。

表 1 第 28、29 题表

输入		输出
A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

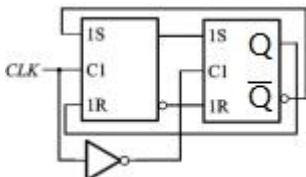
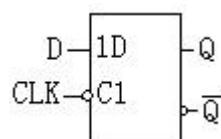


图 9 第 26、27 图

29. 在数字电路中表 1 所示表格称为\_\_\_\_\_。

30. 表 1 所示的表格中输入 A、B 与输出 Y 的关系为  $Y = \underline{\hspace{2cm}}$ 。

31. 在图 10 的电路中，当 CLK 为\_\_\_\_\_时， $Q^* = D$ 。



三、判断题 图 10 第 31 题图

1. 漏极开路的门电路(OD门)常常用于输出缓冲/驱动器当中,或者用于输出电平的变换,还可用于实现“线与”逻辑。 ( )
2. 全体最小项的和为0,任意两个最小项的乘积为1。 ( )
3. CMOS集成逻辑门使用时多余输入端均应接地。 ( )
4. 同步时序逻辑电路中由于采用了相同的CLK时钟脉冲信号进行控制,所以完全消除了竞争-冒险现象。 ( )
5. 数据选择器是一种组合逻辑器件 ( )
6. 编码是将输入的每个高/低电平信号变成一个对应的二进制代码。 ( )
7. 基本RS触发器属于时序逻辑电路。 ( )
8. 脉冲鉴幅属于施密特触发器的主要应用之一。 ( )
9. 触发器是组成组合逻辑电路的基本逻辑单元。 ( )
10. 单稳态触发器在外界信号影响下,能够转变到暂稳态。 ( )
11. 在任何一个包含逻辑变量A的逻辑等式中,若以另外一个逻辑式代替等式中所有A的位置,等式仍然成立 ( )
12. 如果两个逻辑函数表达式相等,那么它们的对偶式也一定相等 ( )
13. 任何逻辑函数的函数式都是唯一的。 ( )
14. 不能将函数的真值表转换成函数的波形图。 ( )
15. 组合逻辑电路中通常采用接入滤波电容、引入选通脉冲和修改逻辑设计的方法来消除竞争-冒险现象。 ( )
16. 在时序逻辑电路中,所有触发器的CLK都使用相同的时钟脉冲信号,称为同步时序逻辑电路 ( )
17. 非门以外的其它门电路才能使用CMOS电路实现。 ( )
18. 组合逻辑电路设计中进行逻辑抽象,可以得到状态转换图。 ( )
19. 可以用8选1选择器实现4个输入变量的组合逻辑函数。 ( )
20. 多谐振荡器有2个暂稳态,无需外部触发脉冲即可正常工作,输出矩形脉冲信号。 ( )
21. 使用CMOS电路时,不用的输入端应该悬空。 ( )
22. 二极管与非门输出的高、低电平数值和输入的高、低电平数值不相等,相差一个二极管的导通压降。 ( )
23. 增强型NMOS的栅极G和衬底B相连时,漏极D和源极S导通。 ( )

24. CMOS 电路允许输入信号有一个波动范围，这个范围称为输入噪声容限。 ( )
25. D/A 转换器可以将模拟信号转换成数字信号。 ( )
26. 利用 555 定时器可以设计施密特触发器。 ( )
27. 非门以外的其它门电路才能使用 CMOS 电路实现。 ( )
28. 寄存器属于时序逻辑电路。 ( )
29. 时序逻辑电路设计中进行逻辑抽象，结果是得到真值表。 ( )
30. 触发器是由门电路组成的能够存储 1 位二进制数的存储装置。 ( )
31. 不能将逻辑函数的真值表和卡诺图进行相互转换。 ( )
32. 只要是 D/A 转换器一定是利用倒 T 型电阻网络将数字信号转换成模拟信号。 ( )
33. 为了防止由静电电压造成 CMOS 管的损坏，不用的输入端必须接地。 ( )
34. CMOS 门电路都可能将输出端直接相连实现逻辑与功能。 ( )
35. 在 MOS 管的栅极引脚输入高电平，其漏极和源极导通。 ( )
36. 如果要将传感器采集的模拟信号转换成数字信号应该使用模数转换器。 ( )
37. CMOS 传输门可以传输模拟信号。 ( )
38. 主从式触发器的触发方式是脉冲触发。 ( )
39. 如果要存储两个不同的状态可以用一个触发器实现。 ( )
40. 74HC138 是 CMOS 器件的译码器。 ( )