

一、单项选择题（本大题共 15 小题，每题只有一个正确答案，答对一题得 1 分，共 15 分）

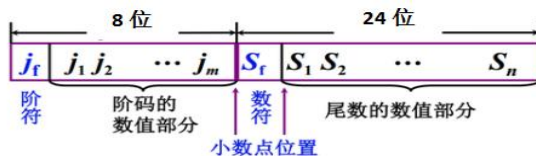
1、目前的计算机，从原理上【 】

- A.指令以二进制形式存放，数据以十进制形式存放
- B.指令和数据都以二进制形式存放
- C.指令和数据都以十进制形式存放
- D.指令以十进制形式存放，数据以二进制形式存放

2、下面关于定点数乘除运算的说法中，错误的是【 】

- A. 乘积和商的符号位由两个参与运算的数的符号位按异或运算得到
- B. 两个 n 位数相乘，乘积可能是 $2n$ 位
- C. 带求补器的阵列乘法器既适用于原码乘法也适用于补码乘法
- D. 阵列除法器只能得到商，不能得到余数

3、浮点数表示格式如下，阶码和尾数都用原码表示，则机器数 83E00000H 的真值是【 】



- A. $+0.0011$
- B. $+0.00011$
- C. -0.00011
- D. -0.00011

4、下列说法正确的是【 】

- A. 半导体 RAM 信息可读可写，且断电后仍能保持记忆
- B. 半导体 RAM 属断电后信息消失，而静态的 RAM 断电后仍能保持记忆
- C. 静态的 RAM 和动态 RAM 断电后信息都消失
- D. ROM 不用刷新，且集成度比动态 RAM 高，断电后存储的信息将消失

5、下面选项中主要解决 CPU 和主存速度不匹配的问题的是【 】

- A.高速缓存 CACHE-主存
- B.CPU 内部寄存器-主存
- C.双端口存储器
- D.主存-辅存

6、较好的体现程序局部性原理的替换算法是【 】

- A.最不经常使用 LFU
- B.随机 RAND
- C.近期最少使用 LRU
- D.先进先出 FIFO

7、假设某计算机的存储系统由 Cache 和主存组成，某程序执行过程中访存 1000 次，其中 Cache 未命中 20 次，则 Cache 的命中率是【 】

- A. 98%
- B. 9.8%
- C. 95%
- D. 2%

8、寄存器间接寻址方式中,操作数在【 】

- A.CPU 内部的通用寄存器中
- B.CPU 内部的专用寄存器中
- C.内存单元中
- D. 外设接口的数据寄存器中

9、总线是连接多个模块的信息传输线，是各部件共享的传输介质，因此在某一时刻允许向总线发送信息的部件数量为 【 】

- A.三个 B.一个 C.多个 D.两个

10、若每一条指令都可以分解为取指、分析和执行三步。已知取指时间 $t=4\Delta t$ ，分析时间 $t=3\Delta t$ ，执行时间 $t=5\Delta t$ 。如果按照流水方式执行，执行完 1000 条指令需要 【 】

- A. $5010\Delta t$ B. $5007\Delta t$ C. $5008\Delta t$ D. $5009\Delta t$

11、中断服务程序的流程可表示为 【 】

- A.保护现场→中断服务→恢复现场→中断返回
B.中断服务→保护现场→中断返回→恢复现场
C.保护现场→中断服务→中断返回→恢复现场
D.中断服务→保护现场→恢复现场→中断返回

12. CPU 对外围设备的管理方式中，主机与设备是串行工作，效率较低的是 【 】

- A. 程序查询方式 B. 程序中断方式
C. DMA 方式 D. 通道方式

13.I/O 编址方式可分为统一编址和独立编址，下列叙述正确的是 【 】

- A.统一编址就是将 I/O 地址看作是存储器地址的一部分，可用专门的 I/O 指令对设备进行访问
B.独立编址是指将 I/O 地址看作是存储器地址的一部分，可用专门的 I/O 指令对设备进行访问
C.统一编址是指 I/O 地址和存储器地址是分开的，所以可用访存指令实现 CPU 对设备的访问
D.独立编址是指 I/O 地址和存储器地址是分开的，所以对 I/O 访问必须有专门的 I/O 指令

14.DMA 传输方式用于下面哪两个模块之间交换信息 【 】

- A. I/O 设备之间 B.主存与 I/O 设备
C. CPU 与主存 D.CPU 与 I/O 设备

15.下面对弗林分类法说法错误的是 【 】

- A. 是从计算机体系结构的并行性出发进行分类
B. 按照指令流和数据流的不同组织方式是对计算机体系进行分类
C. MISD 从没有实现过
D. SMP 属于弗林分类法中的 MISD

二、分析计算题(本大题共 4 小题，共 60 分。)

16、CPU 的主时钟频率称为主频 f ；执行一条指令所需的平均时钟周期数称为 CPI；平均每秒执行多少百万条定点指令数称为 MIPS；CPU 执行程序时所花费的总时间称为 t_{CPU} 。问：

- 1) 写出执行程序的总指令数 N_i 表达式？
- 2) 若有 A 和 B 主频相同但 CPU 架构不同的计算机系统，某程序功能在 A 中实现时的总指令数比 B 中多，能否认为 A 机比 B 机的性能差？为什么？
- 3) 已知机器 M 的主频为 1.5GHz。若某程序 P 在 M 上的执行时间为 25ms，对 P 进行编译优化

时，将所有 CPI 为 4 的“乘 2”指令都用 CPI 为 1 的“左移 1 位”的指令代替，从而使程序 P 的执行时间缩短了 5ms，计算程序 P 中有多少条乘 2 指令被替换了？

17、假定在一个 16 位字长的计算机中有两个整型变量 $x = -604EH$, $y = +0435H$ ；浮点型变量 $m = 2^{-011} \times (+0.1001011001)$, $n = 2^{-010} \times (-0.1111000101)$ ；已知整型变量用补码表示，单字长规格化浮点数，阶码用 5 位原码、尾数用 11 位补码表示（都含 1 位符号位），问：

- 1) 该计算机能够表示的最大 int 型整数是多少？
- 2) 该计算机能够表示的最小的 float 型浮点数是多少？
- 3) 写出 x、y、m、n 的机器数表示形式？（二进制或十六进制）
- 4) 若变量 $z = x - 2 \cdot y$ ，z 的值是多少？（写出计算机中机器数的运算过程，没有计算过程不得分）
- 5) 若 $k = m + n$ ，k 的值是多少？（写出计算机中机器数的运算过程，没有计算过程不得分，使用朝 0 舍入）

18、计算机系统采用多层次存储器结构主要是为了在存储容量和访问速度之间取得平衡，以提高系统的整体性能和效率。问：

1) 填写下表

比较内容	易失性	存储器件	速度由快到慢排序 (填 1、2、3)	容量由大到小排序 (填 1、2、3)
Cache	_____	SRAM	_____	_____
主存	易失	_____	_____	_____
辅存	_____	半导体或磁存储	_____	_____

- 2) 若某计算机系统主存由 RAM 和 ROM 构成，按字节连续编址，ROM 的地址范围为：0-7FFFFH，RAM 容量为 8MB，则 ROM 区的容量为多少？RAM 区的地址范围是多少？若使用 2MB 的 RAM 芯片构成，写出扩展方案？（也可画图表示）
- 3) 若 Cache 大小 64KB，采用 4 路组相连映射方式，主存和 Cache 之间传送数据块的大小为 16B，写出内存 RAM 区的地址格式？
- 4) 若定义长度为 12 的字符串，在字符串中查找某字符，做依次比较操作，假设字符串首字符在内存中的地址为 008010H，访问时 Cache 命中，则比较字符串剩余字符是否也能命中？为什么？

19、某机字长为 16 位，运算类指令均采用寄存器寻址方式，格式如下：

15.....13	12	11.....8	7.....4	3.....0
OP	S	REG1	REGS1	REGS2

其中，OP 为操作码，S 位为 0 表示运算不影响状态标志，为 1 表示运算影响状态标志；REG1 为目的寄存器，REGS1 为第一个源寄存器，REGS2 为第二个源寄存器。问：

- 1) 分析该类指令格式的特点?
- 2) 已知该格式的增加指令操作码编码为 010, 分析并填写下表横线处的内容

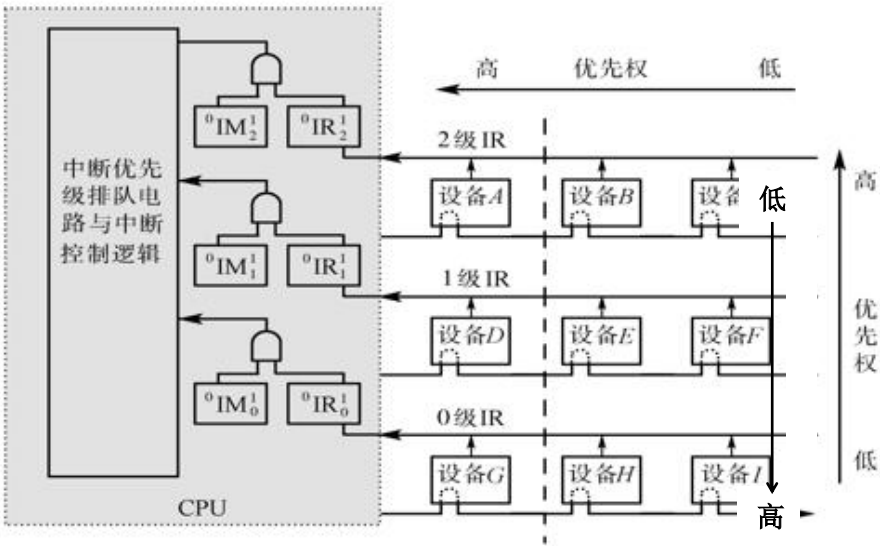
指令编码	功能说明
4012H	R1_____R2→R0, 运算不影响状态标志
_____	R2+R6→R0, 运算影响状态标志
8123H	R2-R3→R1, 运算_____状态标志
_____	R0 寄存器清零, 运算影响状态标志

- 3) 写出至少两个国产 CPU 产品的名称?

三、综合分析题(本大题共 2 小题，25 分)

20、下图所示的二维中断系统。问：

- 1)按降序排列各设备的中断优先级？
- 2) 能否允许中断嵌套？试举例说明
- 3) 若 CPU 现执行设备 D 的中断服务程序，IM2，IM1，IM0 的状态是什么？



- 20、模型机结构如下图 1 所示，问：
- 1) 已知取指令周期的流程如下图 2 所示，写出每一步所需的微操作控制信号？
 - 2) 指令 $ADD\ R1, R2$ 的功能是 $R1 + R2 \rightarrow R1$ ，继续画出该指令执行周期的流程图并标出相应的微操作控制信号序列？
 - 3) 试写出一组互斥关系的微命令？

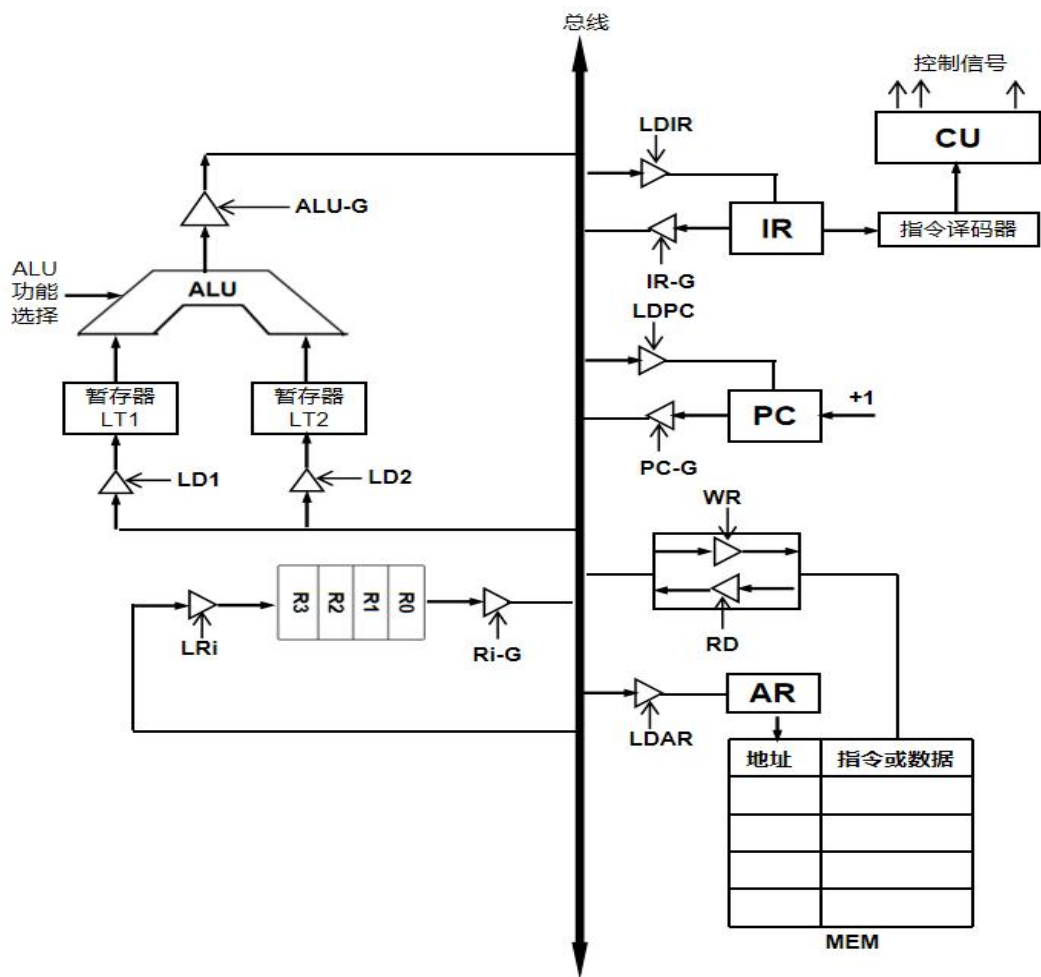


图 1