

一、单选题

1. 有两款单核处理器 CPUA 时钟频率 2.0GHz, CPUB 时钟频率 1.5GHz, A 的 CPI 是 B 的 2 倍, 已知 A 执行某程序需要 0.15 秒, 则 B 执行相同的程序所花的时间是 (B)
A. 0.075 秒 B. 0.1 秒 C. 0.3 秒 D. 10 秒
2. 设某 CPU 的数据引脚 32 根、地址引脚 32 根, 下列说法正确的是 (B)
A. 只能传输 32 位数据 B. 寻址范围为 4G
C. 地址引脚和数据引脚的数量必须保证一样 D. 以上都不对
3. 对数据 1011011 添加奇校验 (假设校验位在前面), 正确的说法是 (B)
A. 校验码为 11011011 B. 校验码为 01011011 C. 校验码为 0 D. 校验码为 1
4. 关于存储器, 下列说法错误的是 (D)
A. 在现代计算机系统中处于中心地位 B. 读操作均不改变数据本身
C. 可以由不同的存储器件构成 D. 可以永久保存信息
5. 定点小数 -0.1 的 8 位机器数表示法中错误的是 (C)
A. $[-0.1]_{\text{原码}} = 11000000$ B. $[-0.1]_{\text{补码}} = 11000000$
C. $[-0.1]_{\text{移码}} = 00111111$ D. $[-0.1]_{\text{反码}} = 1011111$
6. 下列关于定点机器数乘法, 错误的是 (B)
A. 乘积的位数是乘数的两倍 B. 阵列乘法器只能实现原码乘法
C. 可以用软件编程实现乘法的功能 D. 阵列乘法器速度较快
7. 下面关于指令操作码字段的说法不正确的是 (D)
A. 操作码部分表示指令的操作特性与功能
B. 指令系统中的每一条指令都有唯一的操作码
C. 指令系统的规模就越大需要的操作码字段位数越多
D. 某些特殊指令可以没有操作码字段
8. 下面关于指令地址码字段的说法正确的是 (C)
A. 零地址指令不需要操作数 B. 地址码指出操作数的地址
C. RR 型指令一般比 RS 型指令执行速度快 D. 指令所需的操作数都要有地址码
9. CPU 中保证程序自动连续执行的寄存器是 (B)
A. DR B. PC C. IR D. AR

10. CPU 取出一条指令并执行所用的时间被称为 (D)
- A. 时钟周期 B. CPU 周期 C. 机器周期 D. 指令周期
11. 某系统内存容量为 4GB, 使用 256MB 的存储芯片构成, 则 (D)
- A. 需要该存储芯片 4 片, 每两片一组进行字位扩展构成
- B. 需要该存储芯片 8 片, 每四片一组进行字位扩展构成
- C. 需要该存储芯片 4 片进行位扩展构成
- D. 需要该存储芯片 4 片进行字扩展构成
12. 下面关于程序访问的局部性原理, 错误的说法是 (A)
- A. 程序中的指令呈现局部性, 数据没有 B. CACHE-主存层次基于局部性原理
- C. 呈现有时间局部性和空间局部性 D. 循环结构和数组都是局部性的体现
13. 下列替换策略中, 体现局部性原理最好的是 (B)
- A. LFU B. LRU C. FIFO D. RAND
14. 下列总线标准中, 不是系统总线的是 (A)
- A. USB B. PCI C. EISA D. PCI-E
15. 弗林分类法中的哪种结构从来没有实现过 (C)
- A. SISD B. SIMD C. MISD D. MIMD

二、多选题

1. 下面描述 RISC 计算机的说法中, 正确的是 (A B C D)
- A. 有限的简单指令系统 B. CPU 配备大量的通用寄存器
- C. 指令等长, 寻址方式少 D. 一定是流水 CPU
2. 关于存储层次, 下列说法正确的有 (A B C)
- A. CACHE-主存层次的目的是为了提高 CPU 访存速度
- B. 主存-辅存层次的目的是为了增大存储容量
- C. CACHE 和主存都由半导体存储器件构成
- D. 每个存储层次 CPU 均可以直接访问
3. 关于总线, 下列说法正确的是 (A B D)
- A. 是构成计算机系统的互联机构
- B. 是计算机系统多个功能部件之间进行数据传输的公共通道
- C. 和 CPU 的速度保持一致 D. 在争用资源的基础上进行工作

4. 主机和外设使用中断传送方式需要满足的条件有 (ABC)
- A. 外设接口发出中断请求且未被屏蔽 B. CPU 处于允许中断状态
- C. 该外设中断的优先级当前最高 D. CPU 当前没有正在执行中断处理程序
5. 下面是计算机系统外部设备的是 (A B D)
- A. 扫描仪 B. 打印机 C. 复印机 D. 触摸屏

三、判断题

1. CPI 表示执行一条指令所需的平均时钟周期数 (×)
2. 8 位定点机器整数能够表示的数据范围为-128~+127 (✓)
3. 使用双符号位变形补码时, 如果符号位相异则表示结果溢出 (✓)
4. 寄存器间接寻址方式速度较快, 因为所需数据在寄存器中 (×)
5. 哈弗结构使取指令和存取数据可以并行操作 (✓)
6. 程序计数器 PC 是 CPU 内部的通用寄存器之一 (×)
7. 指令流水线技术的可以加快指令的执行时间 (×)
8. 外存储器件由非易失性存储器件构成 (✓)
9. 响应中断过程中, 保存断点和现场能够使中断处理结束后正确返回原程序 (✓)
10. DMA 传送的全过程都和 CPU 无关 (×)

四、填空题

1. 计算机性能指标中, MIPS 是指 (平均每秒执行的百万条定点指令数)。
2. 半导体存储器件按数据读写方式分为 (RAM) 和 (ROM) 两大类, SRAM 是静态随机读写存储器, DRAM 是 (动态随机读写存储器), EEPROM 是 (电可擦除可改写只读存储器)。
3. 假设寄存器 R 中存储的数值为 200, 主存地址为 200 的存储单元中存放的数据为 300, 若寻址操作后的操作数为 200, 可以使用 (寄存器)、(立即) 寻址方式; 若寻址操作后的操作数为 300, 可以使用 (寄存器间接)、(直接) 寻址方式。
4. 某模型机字长 16 位, 主存容量为 1M 字, 该机指令系统的单字长指令具备 60 种操作, 操作码长度固定, 且具有立即、寄存器、直接、间接四种寻址方式, 格式如图所示:

OP	M	A
----	---	---

, OP 为操作码字段, M 为寻址方式字段, A 为偏

移地址字段, 则 OP 字段最少 (6) 位, M 字段最少 (2) 位, A 字段最多 (8) 位; 该指令直接寻址的最大范围由小到大是 (0) 到 (255); 一次间址的寻址范围由小到大是 (0) 到 (64K-1);

5. 存储器容量为 $8K \times 16$ 位, 用 $2K \times 4$ 位的 SRAM 芯片构成, 则:

该存储器的数据寄存器有 (16) 位, 地址寄存器有 (13) 位;

需要 (8) 片 SRAM 芯片进行扩展, 其中位扩展需要 (2) 片, 字扩展需要 (4) 组; 若某单元地址为 1234H, 则属于第 (2) 组, 注: 组编号从 0 开始。

6. 某 CPU 控制器用微程序方式实现, 则该机执行程序中的指令就是执行一段存放在 (控制存储器) 中的由 (微指令) 构成的 (微程序), (微指令) 是由一组 (微命令) 组成, 每个 (微命令) 引发一个 (微操作)。请将: 控制存储器、微程序、微指令、微命令、微操作填入空格中。

7. 外设端口的编址方式中, 需要通过地址范围来区分是访存指令还是访问外设指令的是 (统一) 编址方式; 需要设计专用输入输出指令的是 (独立) 编址方式。

8. 字长为 8 位定点整数, x 和 y 的真值为 $x=+1101100$, $y=-101010$, 则 $x_{补}=$ (01101100), $y_{补}=$ (11010110), $x+y_{补}=$ (01000010), $x-y_{补}=$ (溢出错误) $x-y/2_{补}=$ (01001011)

9. 浮点数加减运算时, 若尾数相加减后结果溢出, 需要 (右规); IEEE 32 位浮点格式如图所示:

IEEE 32位浮点格式为:

31	30	-----	23	22	-----	0
S	E				M	

$E=e+127$, M隐藏小数点前的高位1

采用该格式的十六进制数为 C1E00000, 则浮点数的符号位为 (1), 是 (负) 数 $e=$ (4), 对应的十进制数是 (-28)。

10. CPU 执行一段程序时, cache 完成存取的次数为 480 次, 主存完成存取的次数为 20 次, 已知 cache 存储周期为 20ns, 主存存储周期为 200ns, 则 cache/主存系统的命中率为 (96%), 平均访问时间为 (27.2) ns。

11. 写出你知道的两款国产 CPU 芯片的名称 (鲲鹏\海思\麒麟\龙芯\申威\飞腾)、(鲲鹏\海思\麒麟\龙芯\申威\飞腾)。

五、主观题

1. 简述主机和外设的数据传送方式及其特点？

答：程序控制传送方式，效率低，适用于简单外设或者数据量小、简单系统的场合；程序中断传送方式，实时性较好，适用于少量数据速度差异较大的传送；直接存储器存取 DMA 方式，传送时不需要占用 CPU，适用于内存和外设之间直接进行的批量数据传送；I/O 通道方式，通道可以执行简单的输入输出指令，适用于外设较多的系统；I/O 处理器传送方式，I/O 处理器具有处理输入输出任务的功能，适用于大型系统。

2. 某机的主存容量为 64KB，CACHE 共有 32 块，每块大小为 16B，与主存之间采用直接映射，存储器均按字节编址。

问：①Cache 容量大小为多少？

②写出主存的地址格式和 CACHE 的地址格式？

③访问十进制主存地址为 3580 的主存单元时，则应在 CACHE 的哪一块中查找？

答：①Cache 容量大小为 $32 \times 16 = 912B$

②写出主存的地址格式为：共 16 位，其中从高到低依次组号 7 位，块号 5 位，字节号 4 位

CACHE 的地址格式为：共 9 位，其中从高到低依次块号 5 位，字节号 4 位

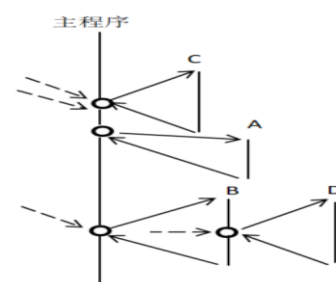
③访问十进制主存地址为 3580 的主存单元时，由于 $3580 \div 16 = 223$ ，则为第 223 块， $223 \bmod 32 = 31$ ，应在 CACHE 的第 31 块中查找。

3. 中断源按什么分类？分为哪几类？已知某中断系统设置了中断优先权中，在中断条件满足的情况下，设备 A、B、C、D 的中断响应过程如图所示，问：①设备 A、B、C、D 的中断优先级由高到低排序是怎样的？做简要说明。

答：中断源按发生请求的位置分为内部中断和外部中断，其中内部中断又分为异常中断和软件中断，外部中断又分为可屏蔽中断和非屏蔽中断。

C 优先 A。C、A 同时发出请求，先处理 C；

D 优先 B。系统处理 B 的过程中设置了中断屏蔽，

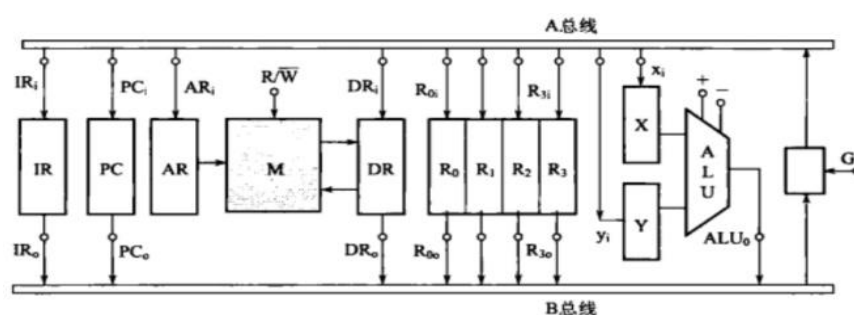


但 D 的优先级搞，所以中断处理 B 转向处理 D

4. 数据通路如下图所示，控制信号 G 控制的门电路相当于两根总线之间的桥；小圆圈表示控制信号，下标 i 表示输入控制信号，下标 o 表示输出控制信号；没有标注的线为直通线，不受控制；

①加法指令“ADD R0, (R2)”中的 R0 为寄存器寻址，(R2)为寄存器间接寻址，和存入 R0，写出其指令周期分为几步？写明每一步完成的操作、需要的微操作控制信号序列。

②分析图中互斥的微命令有几组？



(1) 取址周期：
(PC)→AR, PCo、G、Ari，程序计数器中的指令地址传入到地址

寄存器中；(M)→DR, R/W=1 存储器读操作，信息读取到数据缓冲寄存器中；
(DR)→IR, DRo、G、IRi，数据缓冲寄存器中的内容送入到指令寄存器中，进行译码；

(2) 执行周期：

(R2)→AR, R2o、G、Ari，寄存器中的地址存入到 AR 中；

(M)→DR, R/W=1 存储器读出数据存入到 DR 中；

(DR)→(Y), DRo、G、Yi，DR 中的数据存入到寄存器 Y 中；

(R0)→(X), R0o、G、Xi，R0 中的数据存入到寄存器 X 中；

(X)+(Y)→DR, +、G、DRi，ALU 做 + 运算，结果送入到 DR 中；

(DR)→(M), R/W=0，存储器写，将运算结果存入到 R2 所指地址对应的内存中；

(2) IRO、PCO、DRO、R0O~RNO、ALUO 互斥

IRI、PCI、ARI、DRI、R0I~RNI 互斥

+、- 互斥