

PROJEKT „NISKOLATENCYJNY, SYNCHRONICZNY I SKALOWALNY SYSTEM SDR” (NESTER)

Raport z pracy o dzieło z prawami autorskimi pt.:

„ Opracowanie wzoru obwodu PCB oraz weryfikacja połączeń HDL modułu
EEM z układem FPGA”

zrealizowanej w okresie od 02.03.2020 r. do 28.04.2020 r.

Pracę wykonał Piotr Zdunek

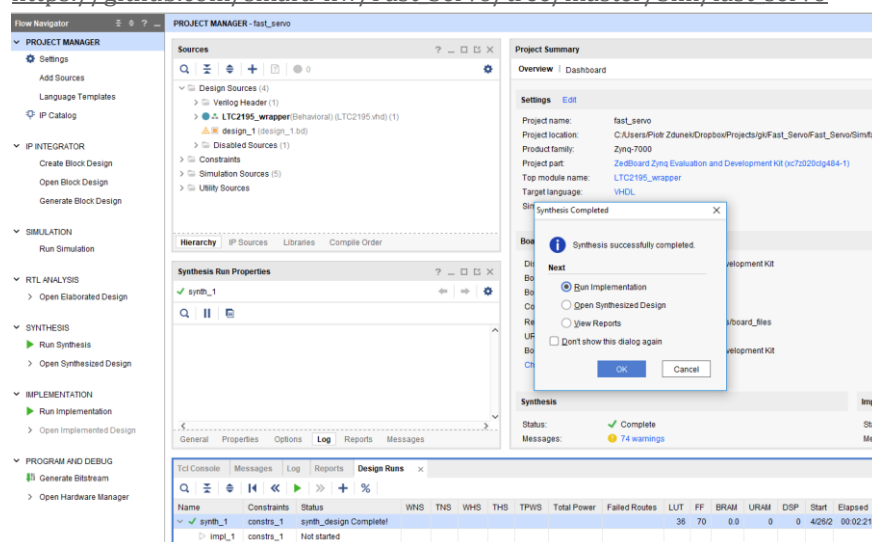
Celem pracy było opracowanie schematów i PCB modułu EEM z układem FPGA oraz symulacje systemu cyfrowego.

Drugi etap prac zawierał następujące zadania:

- realizację schematów elektrycznych
- symulację front-endu analogowego do przetwornika ADC
- symulacja systemu cyfrowego
- analiza opóźnień odbioru danych

Wynikiem pracy są:

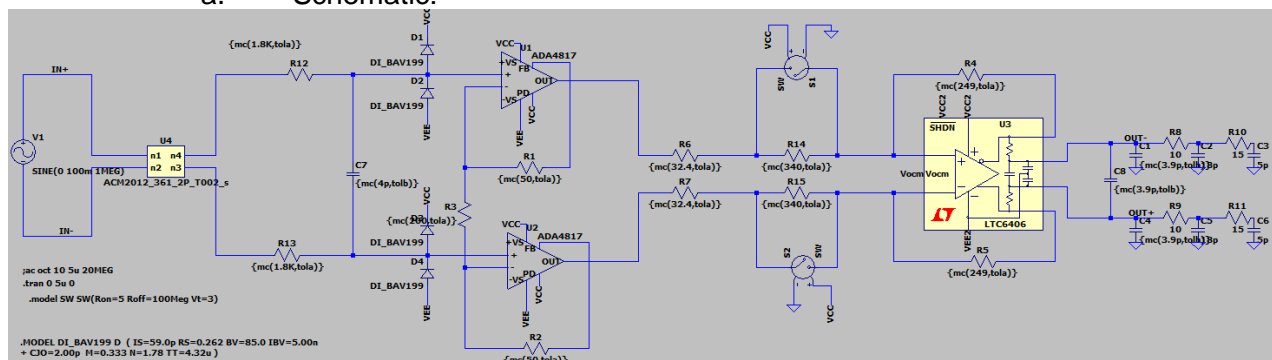
- Schematy elektryczne – ukończone w 70%
 - https://github.com/sinara-hw/Fast_Servo/tree/master/PCB
- Wstępny system cyfrowy do odbioru danych z LTC2195 oparty o design z projektu NIST Servo, ale z wykorzystaniem wrappera na VHDL
 - https://github.com/sinara-hw/Fast_Servo/tree/master/Sim/fast_servo



- Raport z symulacji front-endu przetwornika ADC (po angielsku)
 - <https://docs.google.com/document/d/1smgiGiFC6XPziigHHxrSAG0CFXy-PrKfYR3dXpd6QYK/edit?usp=sharing>

1. Variant 2 - RFI filter with common mode choke and differential low pass filter

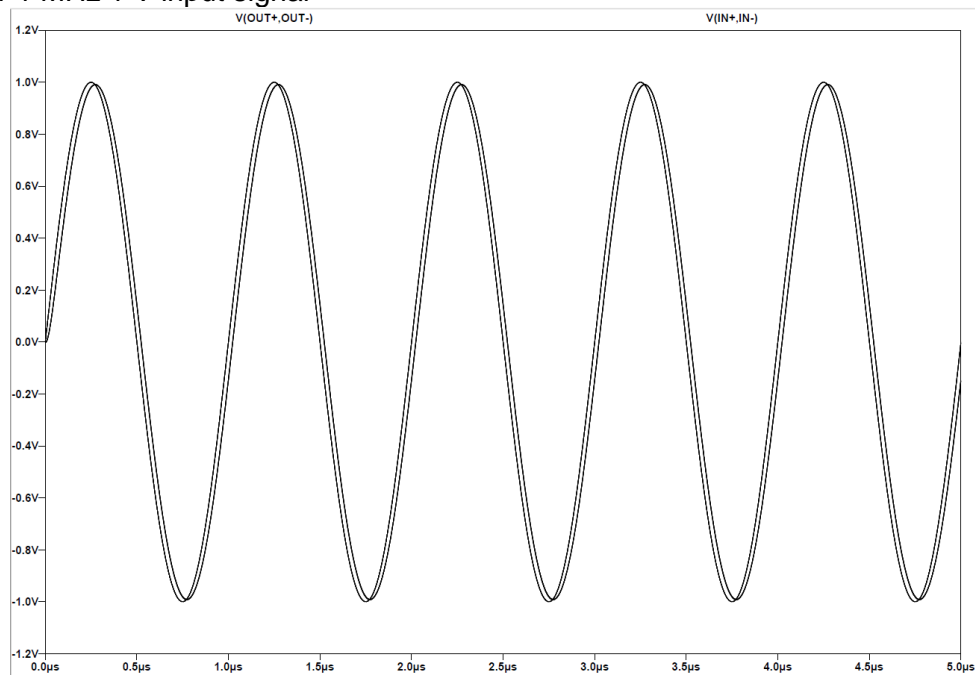
a. Schematic:



- b. Sim file for transient:
https://www.dropbox.com/s/ghq6t9eu0ng3u3w/fast_servo_tran_mc_v3.asc?dl=0
- c. Sim file for AC
https://www.dropbox.com/s/qx53d03kradoqxc/fast_servo_ac_v3.asc?dl=0
- d. Sim file for CMRR
https://www.dropbox.com/s/pwxwzrt2xnfjam/fast_servo_cmrr_mc_v10.asc?dl=0
- e. Sim file for noise
https://www.dropbox.com/s/fyhz8l2sw5p7yvu/fast_servo_noise_mc_v3.asc?dl=0

Transient simulation:

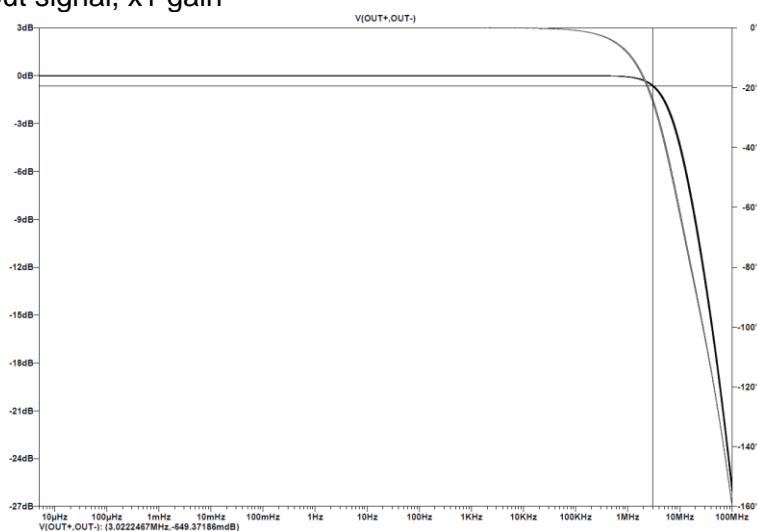
Common parameters: input signal is sinus
Plot for 1 MHz 1 V input signal



Simulation results:

| Input signal | | AFE | Output signal |
|--------------|----------------|------|-----------------------|
| Freq [MHz] | Amplitude [mV] | Gain | Output amplitude [mV] |
| 3 | 100 | x10 | 918 |
| 1 | 100 | x10 | 983 |
| 3 | 1000 | x1 | 925 |
| 1 | 1000 | x1 | 991 |

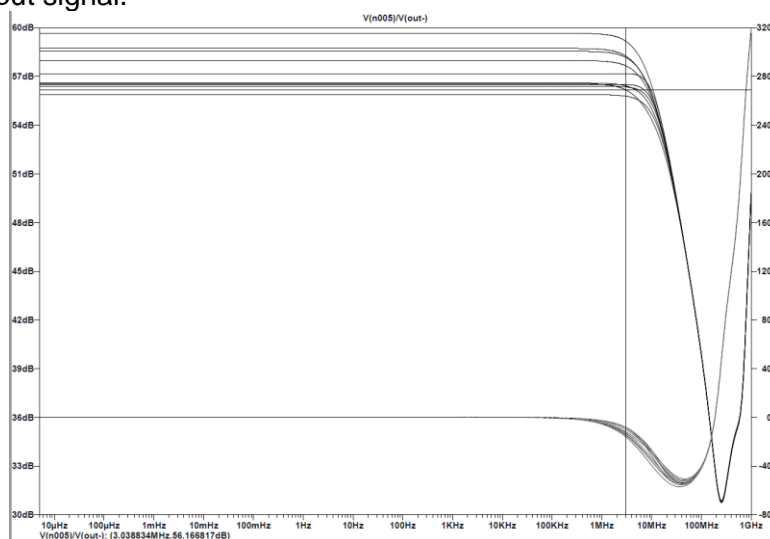
AC simulation:
Plot for 1V input signal, x1 gain



Simulation results:

| Input signal amplitude [V] | AFE Gain | Attenuation at 1 MHz [dB] | Attenuation at 3 MHz [dB] |
|----------------------------|----------|---------------------------|---------------------------|
| 1 | x1 | -0.072 | -0.6 |
| 0.1 | x10 | -0.144 | -0.719 |

CMRR measurement:
Plot for 1 V input signal.

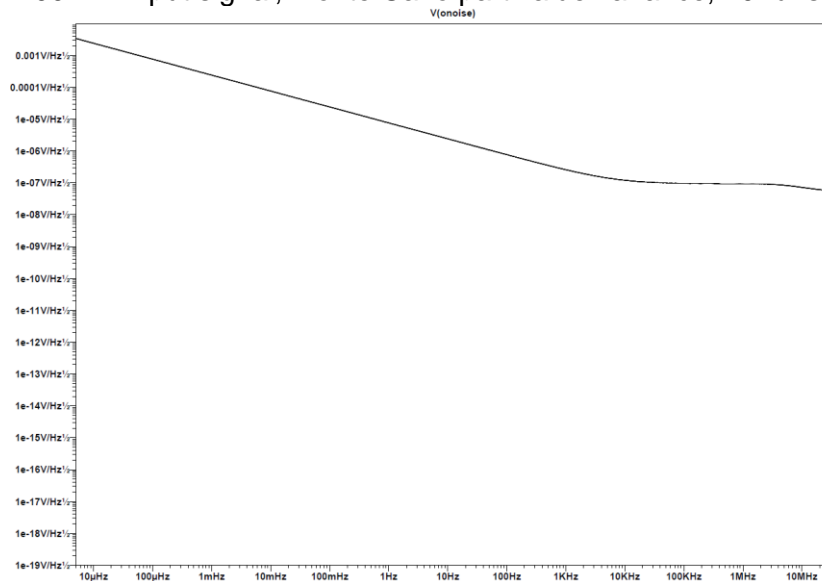


Simulation results:

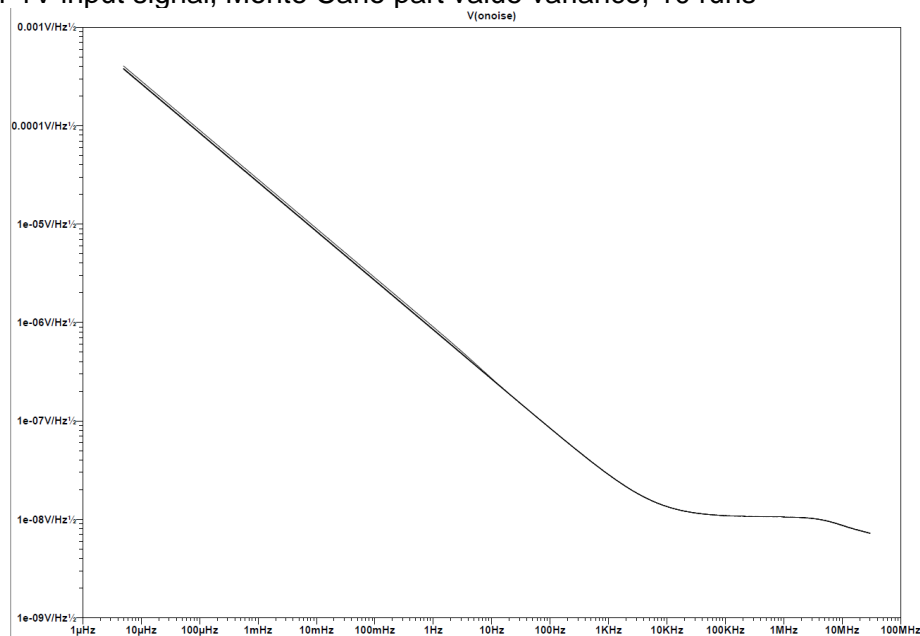
| Input signal amplitude [V] | AFE Gain | CMRR (0-3 MHz) |
|----------------------------|----------|----------------|
| 1 | x1 | 56 dB |
| 0.1 | x10 | 49 dB |

Noise

Plot for 100 mV input signal, Monte Carlo part value variance, 10 runs.



Plot for 1V input signal, Monte Carlo part value variance, 10 runs

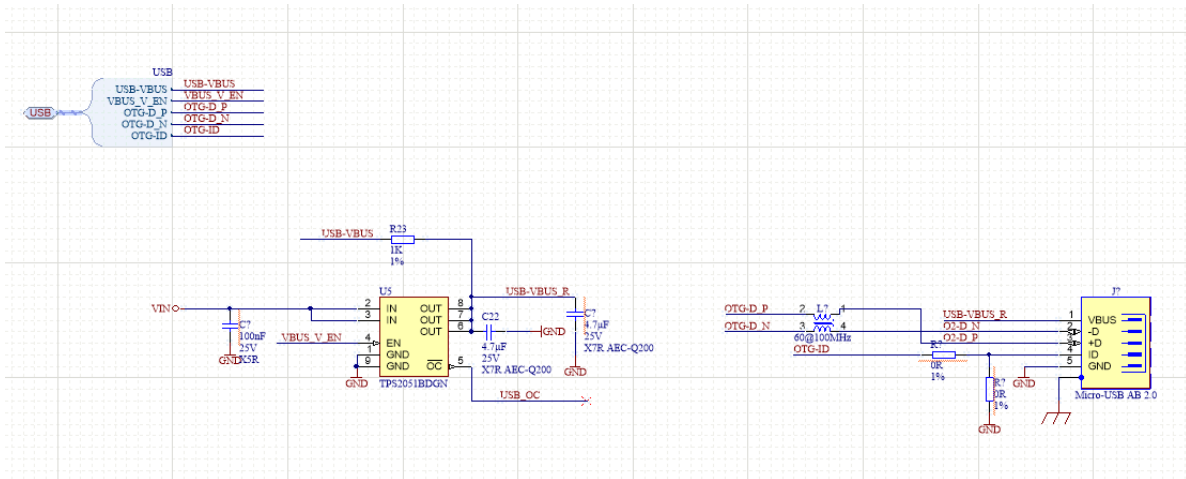


- Analiza opóznienia toru danych ADC-FPGA-DAC:
https://docs.google.com/document/d/1A6bej79ME2-iZyJ6t_FZ-XkVyK64ExRZh2uJX7Lg3b4/edit?usp=sharing

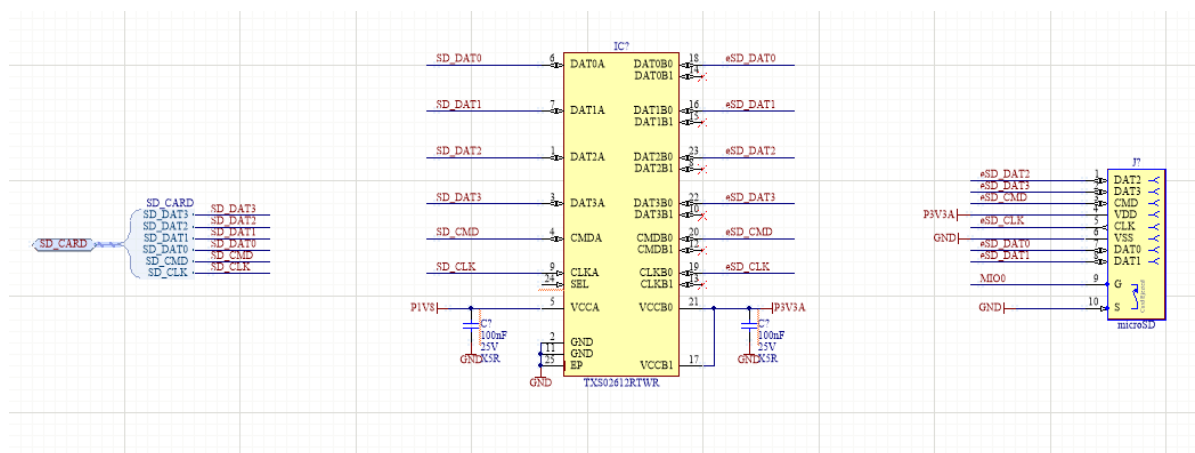
-

- [illegible]

- USB



- SD Card



- AFE

