Projekt „Niskolatencyjny, synchroniczny i skalowalny system SDR” (NESTER)

Piotr Zdunek

**Raport z pracy o dzieło z prawami autorskimi pt.:  
„** Opracowanie  firmware FPGA dla modułu EEM z układem FPGA**”  
zrealizowanej w okresie od 04.05.2020 r. do 26.05.2020 r.  
Pracę wykonał Piotr Zdunek**

Celem pracy było opracowanie schematów i PCB modułu EEM z układem FPGA oraz symulacje systemu cyfrowego.

Trzeci etap prac zawierał następujące zadania:

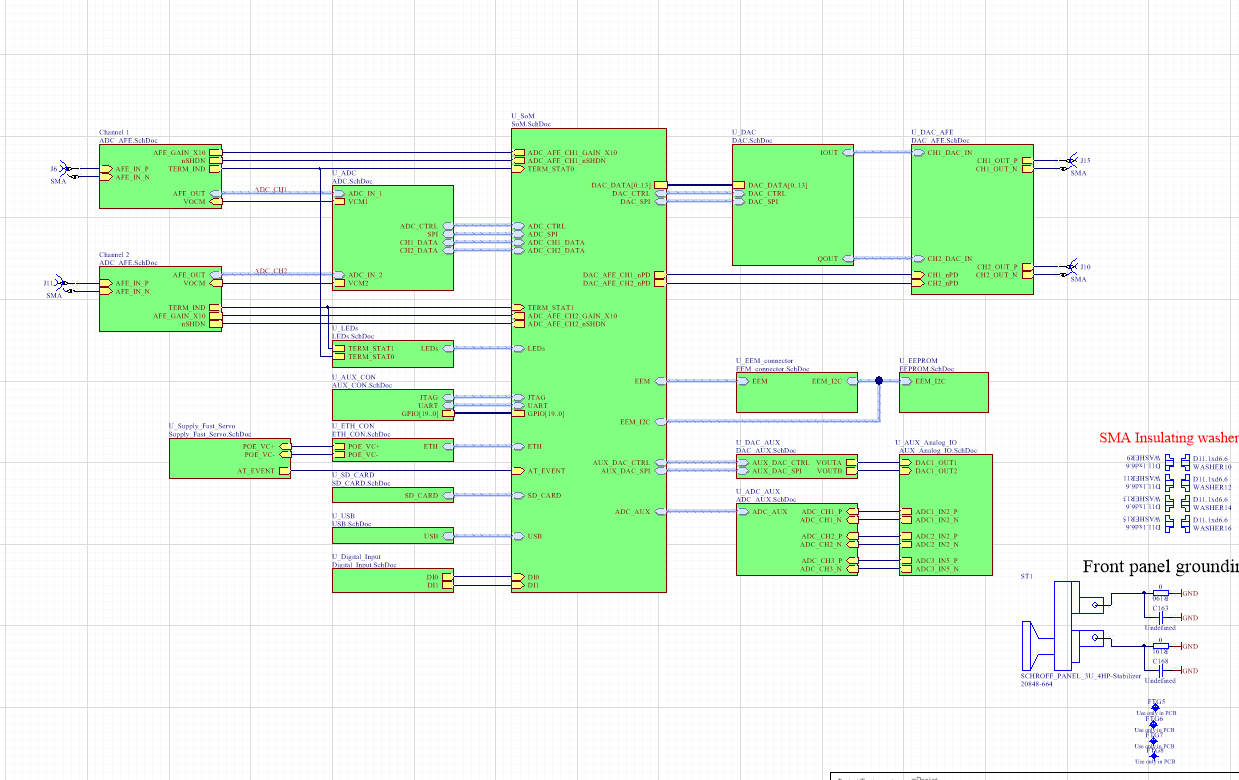
* realizację schematów elektrycznych
* symulacje front-endu analogowego do przetwornika DAC
* projekt PCB

Wynikiem pracy są:

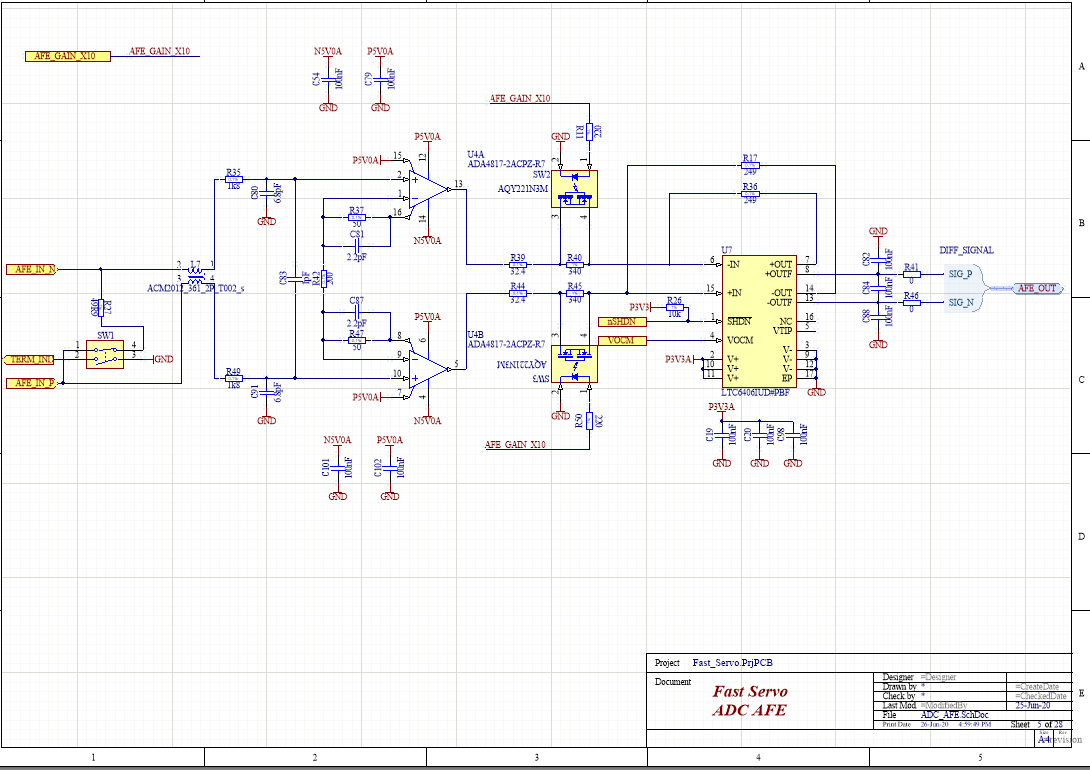
* Schematy elektryczne – ukończone w 100% - wymagają recenzji
  + <https://github.com/sinara-hw/Fast_Servo/tree/master/PCB>
* Projekt PCB – wstępne prace, ułożenie podstawowych komponentów, ustalenie ilości warstw
* Oprogramowanie testowe będzie przygotowane przy dalszym rozwinięciu projektu PCB
  + <https://github.com/sinara-hw/Fast_Servo/tree/master/Sim/fast_servo>
* Raport z symulacji front-endu przetwornika DAC (po angielsku)
  + <https://docs.google.com/document/d/1JZjIepW1oN7cgWxagVTp9rN9icUm_Yqzp_lJ3G2Z5V4/edit?usp=sharing>

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 1. Schematic:      * 1. Sim file for transient (with Monte Carlo simulation):   <https://www.dropbox.com/s/zismo5z99h6hax0/ada4930_afe_tran_mc.asc?dl=0>   * 1. Sim file for AC(with Monte Carlo simulation):   <https://www.dropbox.com/s/ytwsxa8ljqnvvi3/ada4930_afe_ac_mc.asc?dl=0>   * 1. Sim file for step (with Monte Carlo simulation) <https://www.dropbox.com/s/y0xfj7qcieoy4dm/ada4930_afe_step_mc.asc?dl=0>  1. Transient simulation:    * 1. Common parameters: input signal is sinus for current sources      2. Plot for 3 MHz 20 mA input signal     Simulation results:   |  |  |  | | --- | --- | --- | | Input signal | | Output signal | | Freq [MHz] | Amplitude [mA] | Output amplitude [mV] | | 3 | 20 | 981 | | 1 | 20 | 1059 |      1. AC simulation:     Simulation results:   |  |  |  | | --- | --- | --- | | Input signal amplitude [mA] | Attenuation at  1 MHz [dB] | Attenuation at 3 MHz [dB] | | 20 | 0.486 | -0.140 |     Plot for 1V input signal, Monte Carlo part value variance, 10 runs |

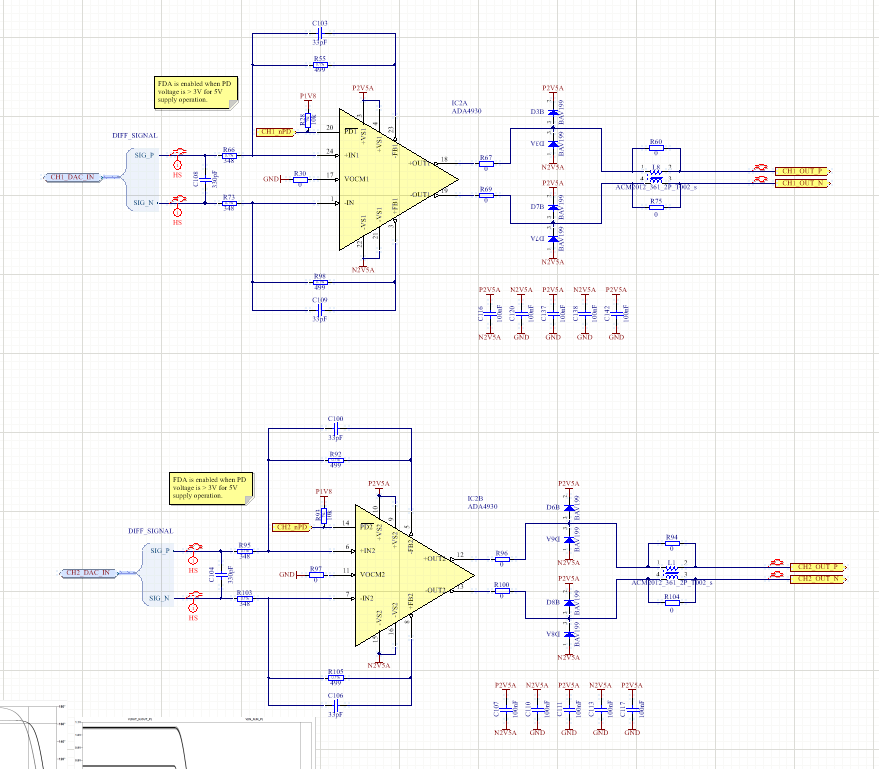
* Schemat elektryczny urządzenia zawierający dobrane komponenty:
  + Top schematic



* ADC AFE



* DAC AFE



* PCB