

一、逻辑式的表达与化简 (18分)

1、(7分) $Y = A'B + BCD + ABD + AC' + B'C'D' + A'CD' + B'CD'$

(1) (4分) 请将上式化简成最简与或逻辑式

(2) (3分) 将化简后的结果表达成合适或非门(不限制输入个数)实现的表达式

2、(6分)
$$\begin{cases} Y = A'B'D' + ABC' + AB'CD' \\ \text{约束条件: } B'D + AB'C' = 0 \end{cases}$$
 将该逻辑函数表达成最小项之和, 最大项之积

3、(5分) 请用卡诺图化简

$$Y(ABCDE) = \sum m(0, 2, 4, 6, 8, 10, 12, 14, 16, 17, 18, 20, 21, 24, 15, 26, 28, 29)$$

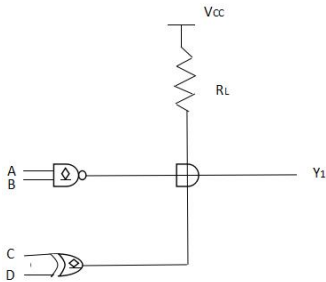
二、判断(10 分)

- 1、半导体器件是数字逻辑运算的唯一实现方式。()
- 2、逻辑代数是数字电子技术的数学基础,但不能完备的描述数字电子电路的各种特性。()
- 3、CMOS 门电路与 TTL 门电路相比较,前者总功耗主要是动态功耗,与电路工作频率相关,后者的总功耗中不能忽略静态均耗,但其总功耗也会受电路工作频率的影响。()
- 4、CMOS 门电路的动态功耗大小与电路的工作频率和工作电压密切相关,也与工艺尺寸有关。()
- 5、第 6 版 85 页图 3.3.28(第 5 版 92 页图 3.3.27)中的 CMOS 与非门在输出低电平时,下拉的两个 NMOS 管 T_2 和 T_4 都处在导通状态且在可变电阻区。()
- 6、外加电场方向与 PN 结的空间电荷区电场方向相同时,PN 结截止。()
- 7、CMOS 门电路中的“C”指 NMOS 和 PMOS 管的互补关系,其中 PMOS 管构成门电路中的下拉结构。()
- 8、用 4 位二进制代码表示十进制数“0”,编码不能是“0011”。()
- 9、当 MOS 管工作在线性区时对外可以等效成一个小电阻。()
- 10、TTL 反相器输出高电平时, T_4 管一定处于饱和导通状态。()

二、填空(46 分)

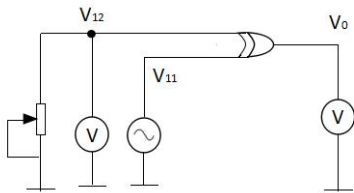
1. (4 分)请将 10 进制数 88 转换为 7 进制(),转换为 5 进制()。
2. (6 分)根据天津机动车牌号编码方式如津 XXXY(其中 X 可以同拉伯数字或大写英文字母(不包括 0, I), Y 一定是阿拉伯数字)则天津机动车保有量的理论上限是()辆;若将车牌号直接转换成 2 进制代码进行存储和查询,一个机动车的车牌号 XXXY 至少需要()位 2 进制代码;若希望在现有编码机制上,通过增加编码来直接区分动力是汽油,柴油,天然气,电动,混合动力,至少需要增加()位 2 进制代码。
3. (5 分)6 输入变量的逻辑函数能实现的逻辑功能共有()种;其中任何一个 6 输入变量逻辑函数 F 表示成最简与或项,该表达式最多能含有()个相或的与项,每个与项最多含有()个变量。
4. (2 分)请将二进制补码 1110110101.111 表示为等值的 10 制数:()。
5. (4 分)将 -265.25 用二进制补码表示,整数位至少需要()位,小数位至少需要()位,表示为()。
6. (1 分)在第 3 章中,具有()结构的门可以在总线连接中使用。

7. （4 分）根据作图写出逻辑函数表达式，并化简成最简与或表达式



$Y_1 =$
 R_L 的选取不能太大，若太大会造成
 R_L 的选取不能太小，若太小会造成

8. （8 分）如左图所示，对 TTL 门电路，电源电压为 5V（空载时输出高水平为 3.4V；低电平为 0.2V）进行测量。在输入端加载理想激励，并通过电压表（内阻是 100K Ω ）观测输入/处的静态电压。请将测试数据表填写完整（电压表精确到毫伏级）。

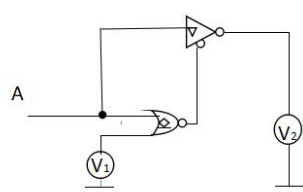


R_p (Ω)	V_{11} (V)	V_{12} (V)	V_o (V)
40 Ω	4 V		
40 Ω	0.3 V		
10K Ω	4 V		
10K Ω	0 V		

9. （4 分）若题 8 中为 CMOS 门电路，电源电压为 10V（空载时输出高电平为 10V；低电平为 0 V，输出内阻是 100 Ω ）进行测量。在输入端加载理想激励，并通过电压表（内阻是 100K Ω ）来观测输入/出的静态电压。请将测试数据表填写完整。

R_p (Ω)	V_{11} (V)	V_{12} (V)	V_o (V)
40 Ω	4 V		
40 Ω	0.3 V		
10K Ω	4 V		
10K Ω	0 V		

10. (4 分)下图中为 TTL 门电路,电源电压为 5V(空载时输出高电平为 3.4V;低电平为 0.2V)。在输入端 A 加载不同的方式见表,通过电压表(内阻是 100K Ω)来观察输入和输出的静态电压。请将测试在数据表中填写完整。



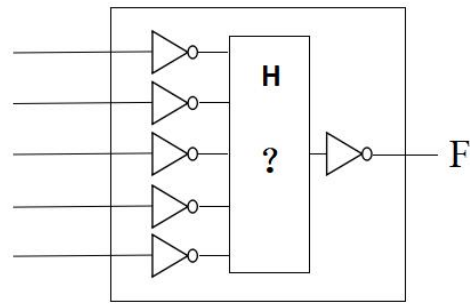
A 端	通过 20 Ω 电阻接地	通过 10K Ω 电阻接地	3.5 V 理想电压源	0.2 V 理想电压源
V ₁				
V ₂				

11. (4 分)若题 10 中为 CMOS 门电路,电源电压为 5V(空载时输出高电平为 5 V;低电平为 0 V)。在输入端 A 加载不同的方式见表,通过电压表(内阻是 100K Ω)来观测输出的静态电压。请将测试在数据表中填写完整。

A 端	通过 20 Ω 电阻接地	通过 10K Ω 电阻接地	3.5 V 理想电压源	0.2 V 理想电压源
V ₁				
V ₂				

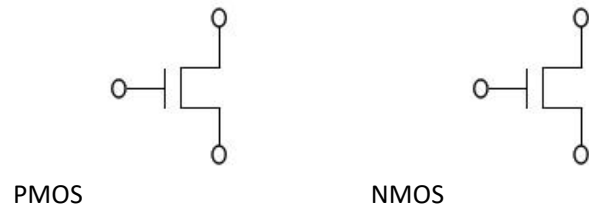
四、设计 (26 分)

1、(8 分)若以 CMOS 工艺实现逻辑运算 F 如果所示, 其中输入输出都以反相器为缓冲级如图所示, 已知 $F=A'B'+B'C'+A'C'D'$ 。



(1) 请写出左图中 H 模块实现的表达式。

(2) 请设计出 H 的下拉部分的内部实现图，力求最简，使用的 MOS 管数量最少。

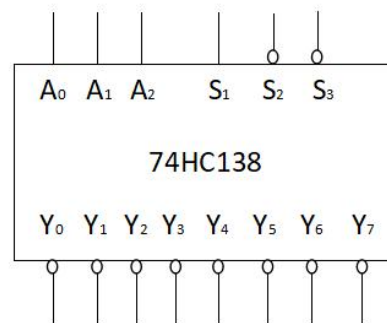


2、(18 分) d_1d_0 和 x_1x_0 都是 2 位无符号二进制数，进行运算 $Y = (x_1x_0)^{(d_1d_0)}$ ；
请设计和实现电路对 $Y = (x_1x_0)^{(d_1d_0)}$ 进行判别，能否被 4 整除，能否被 3 整除。

(备注：0 能被 3 整除，也能被 4 整除)

(1) (6 分) 确定输入/出变量，列出真值表，说明编码含义。

(2) (6 分) 基于 3-8 线译码器 74HC138 (仅用一片)，实现上述设计。可以附加必要的门电路，力求简洁。



(3) (6 分) 若下图所示的 4 选 1/MUX 为核心器件 (可以用多个) 实现上述设计。可以附加必要的门电路，力求简洁。

