# R-Car S4 Series User's Manual: Hardware

|  |
| --- |
| Tất cả thông tin có trong các tài liệu này, bao gồm sản phẩm và thông số kỹ thuật của sản phẩm, đại diện cho thông tin về sản phẩm tại thời điểm xuất bản và có thể thay đổi bởi Renesas Electronics Corp. mà không cần thông báo trước. Vui lòng xem lại thông tin mới nhất được công bố bởi Renesas Electronics Corp. thông qua nhiều phương tiện khác nhau, bao gồm cả trang web Renesas Electronics Corp (http://www.renesas.com). |

[R-Car S4 Series User's Manual: Hardware 1](#_Toc129638963)

[1 Overview 6](#_Toc129638964)

[1.1 Giới thiệu 6](#_Toc129638965)

[1.1.1 Target Architecture 7](#_Toc129638966)

[1.2 Danh sách Thông số kỹ thuật 8](#_Toc129638967)

[1.2.1 Lõi G4MH 8](#_Toc129638968)

[1.2.2 Arm-based Application System Core 8](#_Toc129638969)

[1.2.3 Lõi thời gian thực dựa trên ARM 9](#_Toc129638970)

[1.2.4 Debug and Trace 9](#_Toc129638971)

[1.2.5 CPU Core Peripherals 9](#_Toc129638972)

[1.2.6 External Bus Module 9](#_Toc129638973)

[1.2.7 Internal Bus Module 10](#_Toc129638974)

[1.2.8 Internal Memory 10](#_Toc129638975)

[1.2.9 Storage 10](#_Toc129638976)

[1.2.10 Network 10](#_Toc129638977)

[1.2.11 Timer 10](#_Toc129638978)

[1.2.12 Peripheral Modules 10](#_Toc129638979)

[1.2.13 Special Edition Modules (Restricted) 10](#_Toc129638980)

[1.3 Domain Structure 10](#_Toc129638981)

[2 Area Map 11](#_Toc129638982)

[3 Pin Assignment 11](#_Toc129638983)

[3.1 Pin Assignment 11](#_Toc129638984)

[3.2 Mode Pin Settings 11](#_Toc129638985)

[4 Pin Multiplexing 12](#_Toc129638986)

[4.1 Pin Multiplexing 14](#_Toc129638987)

[5 14](#_Toc129638988)

[6 14](#_Toc129638989)

[7 Chức năng chân (PFC/GPIO) 14](#_Toc129638990)

[7.1 Tổng quan 14](#_Toc129638991)

[7.1.1 Đặc trưng 16](#_Toc129638992)

[7.1.2 Block Diagram 22](#_Toc129638993)

[7.1.3 External Pins 27](#_Toc129638994)

[7.1.4 Register Configuration 30](#_Toc129638995)

[7.1.5 Connected Module 38](#_Toc129638996)

[7.2 Register Description 39](#_Toc129638997)

[7.2.1 LSI Multiplexed Pin Setting Mask Register (PMMRn) 40](#_Toc129638998)

[7.2.2 LSI Multiplexed Pin Setting Mask Enable Register (PMMERn) 41](#_Toc129638999)

[7.2.3 Bus Domain Protection Register 0-3 (DM0PRn , DM1PRn , DM2PRn , DM3PRn / DM0PRSYS ,DM1PRSYS , DM2PRSYS , DM3PRSYS) (n = 0 to 3) 42](#_Toc129639000)

[7.2.4 GPIO/Peripheral Function Select Register (GPSRn) 43](#_Toc129639001)

[GPIO/Peripheral Function Select Register (GPSRn) 44](#_Toc129639002)

[7.2.5 Peripheral Function Select Register 0-1 (IP0SRn , IP1SRn , IP2SRn , IP3SRn) 51](#_Toc129639003)

[7.2.6 DRV Control Register 0-3 (DRV0CTRLn , DRV1CTRLn , DRV2CTRLn , DRV3CTRLn / DRV0CTRLSYS , DRV1CTRLSYS) 59](#_Toc129639004)

[7.2.7 POC Control Register (POCn) 86](#_Toc129639005)

[7.2.8 LSI Pin Pull-enable Register (PUENn) 95](#_Toc129639006)

[7.2.9 LSI Pin Pull-up / Down Control Register (PUDn / PUDSYS) 103](#_Toc129639007)

[7.2.10 Module Select Register (MODSELn) 111](#_Toc129639008)

[7.2.11 TDSEL Control Register 0-1 (TD0SELn , TD1SELn) 114](#_Toc129639009)

[7.2.12 General IO / Interrupt Switching Register (IOINTSELn) (n = 0 to 3) 124](#_Toc129639010)

[7.2.13 General Input/Output Switching Register (INOUTSELn) 126](#_Toc129639011)

[7.2.14 General Output Register (OUTDTn) 127](#_Toc129639012)

[7.2.15 General Input Register (INDTn) 128](#_Toc129639013)

[7.2.16 Interrupt Display Register (INTDTn) (n = 0 to 3) 129](#_Toc129639014)

[7.2.17 Interrupt Clear Register (INTCLRn) (n = 0 to 3) 131](#_Toc129639015)

[7.2.18 Interrupt Mask Register (INTMSKn) (n = 0 to 3) 132](#_Toc129639016)

[7.2.19 Interrupt Mask Clear Register (MSKCLRn) (n = 0 to 3) 132](#_Toc129639017)

[7.2.20 Positive / Negative Logic Select Register (POSNEGn) 133](#_Toc129639018)

[7.2.21 Edge / Level Select Register (EDGLEVELn) (n = 0 to 3) 134](#_Toc129639019)

[7.2.22 Chattering Prevention On / Off Register (FILONOFFn) 135](#_Toc129639020)

[7.2.23 Chattering Prevention Clock Select Register (FILCLKSELn) 136](#_Toc129639021)

[7.2.24 Output Data Select Register (OUTDTSELn) 136](#_Toc129639022)

[7.2.25 Output Data High Register (OUTDTHn) 137](#_Toc129639023)

[7.2.26 Output Data Low Register (OUTDTLn) 138](#_Toc129639024)

[7.2.27 One Edge / Both Edge Select Register (BOTHEDGEn) (n = 0 to 3) 139](#_Toc129639025)

[7.2.28 General Input Enable Register (INENn) 140](#_Toc129639026)

[7.2.29 Port Safe State Select Register0-1 (PS0SRn , PS1SRn) 141](#_Toc129639027)

[7.2.30 Port Safe State Enable Register (PSERn) 143](#_Toc129639028)

[7.2.31 Port NOT Register(PNOTn) 146](#_Toc129639029)

[7.2.32 Port Output Value Inversion Register (PINVn) 147](#_Toc129639030)

[7.2.33 Port Input Buffer Selection Register (PISn) 150](#_Toc129639031)

[7.3 Hoạt động 153](#_Toc129639032)

[7.3.1 Tổng quan 153](#_Toc129639033)

[7.3.2 Function Setting for Multiplexed Pins 153](#_Toc129639034)

[7.3.2.1 Procedure for Changing Pin Function from GPIO to Peripheral Function 153](#_Toc129639035)

[7.3.2.2 Procedure for Changing Pin Function from Peripheral Function to GPIO 153](#_Toc129639036)

[7.3.2.3 Procedure 1 for Changing Pin Function from One Peripheral Function to Another Peripheral Function 153](#_Toc129639037)

[7.3.3 Setting Pull-Up / Down Resistors 153](#_Toc129639038)

[7.3.4 Port Pin Specifications 153](#_Toc129639039)

[7.3.5 Operations in Each Mode 153](#_Toc129639040)

[7.3.5.1 Mode Switching 153](#_Toc129639041)

[7.3.5.2 General Input / Output Mode 154](#_Toc129639042)

[7.3.5.3 Interrupt Input Mode 154](#_Toc129639043)

[7.3.6 Handling of Input Signals on Port Pins 155](#_Toc129639044)

[7.3.6.1 Chattering 155](#_Toc129639045)

[7.3.6.2 Input Signal Synchronization 155](#_Toc129639046)

[7.3.7 Interrupt Display Timing Charts 155](#_Toc129639047)

[7.3.8 Using GPIO 155](#_Toc129639048)

[7.3.8.1 Setting Edge-Sensitive Interrupt Input Mode 155](#_Toc129639049)

[7.3.8.2 Setting Level-Sensitive Interrupt Input Mode 156](#_Toc129639050)

[7.3.8.3 Setting General Output Mode 156](#_Toc129639051)

[7.3.8.4 Setting Output Data High / Output Data Low Mode 156](#_Toc129639052)

[7.3.8.5 Setting General Input Mode 156](#_Toc129639053)

[7.3.8.6 Setting Port Safe State 156](#_Toc129639054)

[7.3.8.7 Switching GPIO to I2C 156](#_Toc129639055)

[7.3.9 Port Safe State Function 157](#_Toc129639056)

[7.3.10 RESETOUT1# Function 157](#_Toc129639057)

### Overview

#### Giới thiệu

R-Car S4 là SoC có các chức năng cơ bản cho hệ thống Gateway trên ô tô thế hệ tiếp theo.

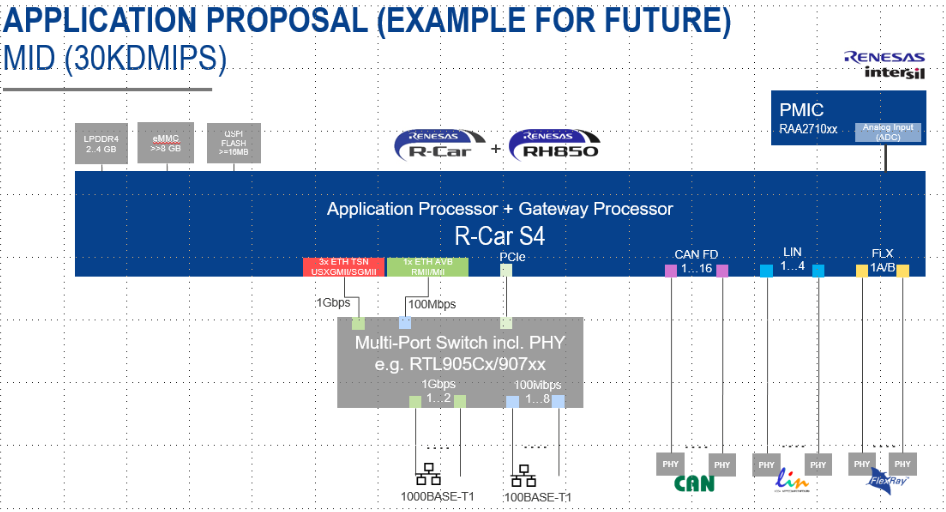
* Tám lõi Arm® Cortex®-A55 1,2 GHz, 2 lõi x 4 cụm. Các cấu hình có thể được chọn cho bước khóa phần cứng (Tùy chọn)
* Lõi Arm® Cortex®-R52 1.0 GHz. Bước Khóa phần cứng được hỗ trợ.
* Hai lõi G4MH 400MHz. Các bước khóa phần cứng được hỗ trợ.
* Bộ điều khiển bộ nhớ cho LPDDR4X-3200 với 32bit x1channel (16bit x1ch + 16bit x1ch (w/ECC))
* Giao diện máy chủ thẻ SD / eMMC
* UFS 3.0 x 1 kênh
* Giao tiếp PCI Express Gen4.0, (Dual lane x 2chnnels)
* ICUMX
* ICUMH
* SHIP-S x 3 kênh
* AES Accurator x 8 kênh
* Giao diện CAN FD x 16 kênh
* R-Switch2 (Ether)
* 100base EtherAVB x 1 kênh.
* Gbit-EtherTSN x 3 kênh.
* 1 giao diện FlexRay (A,B 2 kênh)

**Lưu ý**: Arm và Cortex là thương hiệu đã đăng ký của Arm Limited. Tất cả các thương hiệu hoặc tên sản phẩm khác là tài sản của chủ sở hữu tương ứng của họ.

**Lưu ý**: Đối với các hạng mục được ghi chú là "tùy chọn", vui lòng liên hệ với đại diện bán hàng của Renesas Electronics.

|  |
| --- |
| 1. Hệ thống Gateway trên ô tô là một bộ điều khiển trung tâm có nhiệm vụ kết nối và truyền thông giữa các hệ thống điện tử khác nhau trên ô tô, chẳng hạn như hệ thống động cơ, hệ thống lái, hệ thống an toàn, hệ thống giải trí, và các thiết bị khác.  Gateway là cầu nối giữa các hệ thống điện tử khác nhau trong xe và nó giúp các hệ thống này trao đổi thông tin và tương tác với nhau. Nó cũng có thể giúp cải thiện độ an toàn và hiệu suất của ô tô bằng cách phân tích và giám sát các thông số điều khiển và các tín hiệu điện tử.  Một số chức năng của hệ thống Gateway trên ô tô bao gồm:   * Kết nối các hệ thống điện tử khác nhau trên ô tô và truyền thông giữa chúng. * Phân tích và giám sát các tín hiệu điện tử để đảm bảo hệ thống hoạt động hiệu quả và an toàn. * Kiểm soát truy cập vào các hệ thống điện tử của ô tô để đảm bảo tính bảo mật và ngăn chặn các cuộc tấn công từ bên ngoài. * Cung cấp dữ liệu cho các hệ thống khác nhau trên ô tô để giúp tối ưu hoá hiệu suất và tiết kiệm năng lượng.   2. UFS 3.0 x 1 channel |

##### Target Architecture



**Hình:**

#### Danh sách Thông số kỹ thuật

##### Lõi G4MH

|  |  |
| --- | --- |
| **Mục** | **Mô tả** |
| System CPU | Hai lõi G4MH 400Hz  Bộ nhớ đệm chỉ thị 16 KB mỗi lõi  Chế độ hoạt động của CPU – Chế độ người dùng, chế độ giám sát  Không gian địa chỉ: Không gian tuyến tính 4 GB cho cả dữ liệu và hướng dẫn |

##### Arm-based Application System Core

|  |  |
| --- | --- |
| **Mục** | **Mô tả** |
| System CPU | 8 lõi Core Arm Cortex-A55 (dual core per cluster) 1.2GHz được chia thành 4 nhóm (cluster), mỗi nhóm có 2 nhân.   * Bộ nhớ đệm L1 (L1 cache) với dung lượng 32KB cho mỗi lõi. Bao gồm cả kiểm soát dữ liệu Parity và bao gồm kiểm soát lỗi ECC. * Không có bộ nhớ đệm L2 (L2 cache). * Bộ nhớ đệm L3 (L3 cache) với dung lượng 256KB cho mỗi nhóm (cluster), và bao gồm kiểm soát lỗi ECC. |

##### Lõi thời gian thực dựa trên ARM

|  |  |
| --- | --- |
| **Mục** | **Mô tả** |
| Lõi thời gian thực | Arm Cortex-R52 1.0GH  Vi xử lý này có bộ nhớ đệm L1 I/D (L1 instruction/data cache) với dung lượng 32KB cho mỗi loại, bao gồm kiểm soát lỗi ECC.  Bộ nhớ đệm ATCM/BTCM/CTCM (32K/32K/32Kbytes) với kiểm soát lỗi ECC để cải thiện hiệu suất.  Vi xử lý này cũng có khả năng hỗ trợ chế độ Single CPU with Dual Lock-Step, tức là một CPU đơn được hỗ trợ bởi hai đường truyền song song để tăng tính an toàn và tin cậy của hệ thống.  sử dụng kiến trúc Armv8-R. |

##### Debug and Trace

|  |  |
| --- | --- |
| **Mục** | **Mô tả** |
|  |  |

##### CPU Core Peripherals

|  |  |
| --- | --- |
| **Mục** | **Mô tả** |
|  |  |

##### External Bus Module

|  |  |
| --- | --- |
| **Mục** | **Mô tả** |
|  |  |

##### Internal Bus Module

|  |  |
| --- | --- |
| **Mục** | **Mô tả** |
|  |  |

##### Internal Memory

|  |  |
| --- | --- |
| **Mục** | **Mô tả** |
|  |  |

##### Storage

|  |  |
| --- | --- |
| **Mục** | **Mô tả** |
|  |  |

##### Network

|  |  |
| --- | --- |
| **Mục** | **Mô tả** |
|  |  |

##### Timer

|  |  |
| --- | --- |
| **Mục** | **Mô tả** |
|  |  |

##### Peripheral Modules

|  |  |
| --- | --- |
| **Mục** | **Mô tả** |
|  |  |

##### Special Edition Modules (Restricted)

|  |  |
| --- | --- |
| **Mục** | **Mô tả** |
|  |  |

#### Domain Structure

### Area Map

### Pin Assignment

#### Pin Assignment

|  |
| --- |
| Pin Assignment là một thuật ngữ được sử dụng trong lĩnh vực thiết kế mạch điện tử để chỉ vị trí và chức năng của các chân (pin) trên một linh kiện điện tử, chẳng hạn như vi xử lý, bộ nhớ, hoặc các linh kiện khác. Pin Assignment cho phép người thiết kế xác định cách kết nối các linh kiện và sắp xếp chúng trên bảng mạch, để đảm bảo rằng linh kiện sẽ hoạt động đúng cách trong mạch điện tử.  Pin Assignment thường được mô tả trong tài liệu kỹ thuật của linh kiện điện tử, cùng với các thông số kỹ thuật khác như điện áp hoạt động, dòng điện tối đa, và tần số hoạt động. Khi thiết kế mạch điện tử, người thiết kế sẽ phải sử dụng thông tin về Pin Assignment để lập kế hoạch cho các kết nối và bố trí các linh kiện trên bảng mạch, đảm bảo rằng các pin được kết nối đúng với các thành phần khác trong mạch. |

Xem “Hướng dẫn sử dụng sê-ri R-Car S4 [Chỉ định chân cắm, Bảng ghép chân]” đính kèm

Vui lòng xem “Chỉ định S4-x\_Ball\_Pin@0.8mm” dưới dạng Pin Assignment.

#### Mode Pin Settings

Bảng 3.2.1 Trình bày đặc tả Mode Pin trong chip.

Table

Description automatically generated

### Pin Multiplexing

[Legend for the Pin Multiplexing]

I: Input

IU: Input & Pull-up

ID: Input & Pull-down

O: Output

H: High Output

L: Low Output

Z: Hi-Z

ZU: Hi-Z & Pull-up

ZD: Hi-Z & Pull-down

Pullup / pulldown

Định nghĩa điều khiển pullup/pulldown của chốt như bên dưới.

pulldown \*: có thể điều khiển bật/tắt kéo xuống trong thanh ghi PFC. Trạng thái ban đầu được kéo xuống

pullup\*: kéo lên/xuống, bật/tắt có thể điều khiển được trong thanh ghi PFC. Trạng thái ban đầu là pullup on

\*: kéo lên/xuống, bật/tắt có thể điều khiển trong thanh ghi PFC. Trạng thái ban đầu được kéo ra

—: không có pullup/pulldown

Ghi chú sau đây có liên quan với phần này.

|  |
| --- |
| Pull-up và pull-down là hai loại kết nối điện trong các mạch điện tử kỹ thuật số. Chúng được sử dụng để định nghĩa giá trị mặc định của một tín hiệu trong khi không có tín hiệu vào từ bên ngoài.  Pull-up là một kết nối điện được sử dụng để đặt giá trị mặc định của tín hiệu là logic cao (high) khi không có tín hiệu vào. Kết nối này được thực hiện bằng cách nối một điện trở từ tín hiệu đến nguồn điện dương (Vcc). Khi không có tín hiệu vào, điện trở sẽ giữ tín hiệu ở mức logic cao.  Pull-down là một kết nối điện được sử dụng để đặt giá trị mặc định của tín hiệu là logic thấp (low) khi không có tín hiệu vào. Kết nối này được thực hiện bằng cách nối một điện trở từ tín hiệu đến nguồn điện âm (GND). Khi không có tín hiệu vào, điện trở sẽ giữ tín hiệu ở mức logic thấp.  Cả pull-up và pull-down đều được sử dụng để đảm bảo rằng tín hiệu đầu vào sẽ ở một trạng thái xác định khi không có tín hiệu vào từ bên ngoài. Chúng cũng được sử dụng để tránh hiện tượng gián đoạn (floating) của tín hiệu, khi mà tín hiệu không được kết nối với nguồn nào và có thể dẫn đến lỗi trong mạch điện tử. |

|  |
| --- |
| Trong các mạch điện tử kỹ thuật số, có một số loại kết nối điện thường được sử dụng, bao gồm:   1. Kết nối nối tiếp (Serial connection): Là loại kết nối mà các bit dữ liệu được truyền đi liên tiếp từng bit một. Loại kết nối này được sử dụng trong các giao thức truyền thông như RS232, SPI, I2C. 2. Kết nối song song (Parallel connection): Là loại kết nối mà nhiều bit dữ liệu được truyền đi cùng lúc. Loại kết nối này được sử dụng trong các giao thức truyền thông như PCI, USB, các bus dữ liệu trong máy tính. 3. Kết nối định hướng (Unidirectional connection): Là loại kết nối mà dữ liệu chỉ được truyền đi một chiều. Loại kết nối này được sử dụng trong các tín hiệu như đồng hồ (clock) trong các mạch điện tử số. 4. Kết nối hai chiều (Bidirectional connection): Là loại kết nối mà dữ liệu có thể được truyền đi hai chiều. Loại kết nối này được sử dụng trong các giao thức truyền thông như I2C, SPI. 5. Kết nối điện trở kéo lên (Pull-up connection): Là loại kết nối điện được sử dụng để giữ giá trị mặc định của tín hiệu ở mức cao (high) khi không có tín hiệu vào từ bên ngoài. 6. Kết nối điện trở kéo xuống (Pull-down connection): Là loại kết nối điện được sử dụng để giữ giá trị mặc định của tín hiệu ở mức thấp (low) khi không có tín hiệu vào từ bên ngoài. 7. Kết nối đầu vào (Input connection): Là loại kết nối được sử dụng để nhận tín hiệu từ các thiết bị ngoại vi hoặc từ các thành phần trong mạch điện tử. 8. Kết nối đầu ra (Output connection): Là loại kết nối được sử dụng để đưa ra tín hiệu từ mạch điện tử để điều khiển các thành phần ngoại vi hoặc các thành phần khác trong mạch điện tử. |

#### Pin Multiplexing

Xem “Hướng dẫn sử dụng sê-ri R-Car S4 [Chỉ định chân cắm, Bảng ghép chân]” đính kèm

Vui lòng xem “Bảng ghép kênh chân” là Ghép kênh chân.

### 

### 

### Chức năng chân (PFC/GPIO)

#### Tổng quan

Bộ điều khiển chức năng chân (PFC) là một mô-đun bao gồm các thanh ghi để chọn chức năng của các chân ghép kênh

và điều khiển điện trở kéo lên trên mỗi chân LSI.

(Có 10 nhóm cổng. Nhóm GPIO 0-7, Nhóm hệ thống 0-1.)

|  |
| --- |
| **The Pin Function Controller (PFC)**  Là một khối chức năng được sử dụng trong vi xử lý nhúng để điều khiển chức năng đầu vào/đầu ra (I/O) của các chân chức năng trên chip. Nó cho phép các chức năng đầu vào/đầu ra được định nghĩa và cấu hình một cách linh hoạt, từ đó giúp việc thiết kế phần cứng và phát triển phần mềm trên vi xử lý trở nên dễ dàng hơn.  Trong một hệ thống nhúng, các chân đầu vào/đầu ra trên vi xử lý được cấu hình và sử dụng cho nhiều mục đích khác nhau, bao gồm cả đọc dữ liệu từ các cảm biến và điều khiển các thiết bị ngoại vi khác. The Pin Function Controller (PFC) cho phép người dùng tùy chỉnh các chức năng của các chân đầu vào/đầu ra này thông qua phần mềm, giúp tối ưu hóa hoạt động của hệ thống và đơn giản hóa quá trình phát triển phần mềm.  **Để cấu hình 1 chân trong PFC của R-Car S4 Series ta làm như thế nào ?**  Để cấu hình một chân trong PFC (Pin Function Controller) của R-Car S4 Series, bạn có thể thực hiện các bước sau:   1. Tìm kiếm thông tin về chân cần cấu hình trong datasheet hoặc user manual của R-Car S4 Series. Điều này sẽ cung cấp cho bạn các thông số cần thiết như chức năng, tên của chân, các chế độ chức năng khác nhau, v.v. 2. Sử dụng các công cụ phát triển phần mềm và firmware hỗ trợ bởi nhà sản xuất của R-Car S4 Series để cấu hình PFC. Các công cụ này bao gồm IDE (Integrated Development Environment), bộ biên dịch (compiler), bộ khởi động (bootloader), v.v. Các công cụ này cung cấp các thư viện và hàm API cho phép bạn cấu hình PFC một cách dễ dàng thông qua phần mềm. 3. Sử dụng các hàm API được cung cấp bởi công cụ phát triển để cấu hình chức năng và chế độ của chân cần thiết. Hàm API này có thể được gọi trong mã nguồn của chương trình ứng dụng của bạn. 4. Kiểm tra kết quả cấu hình của chân bằng cách sử dụng các công cụ debugging để xác định xem chức năng của chân đã được cấu hình đúng cách hay chưa.   Chú ý rằng việc cấu hình PFC là một công việc quan trọng và yêu cầu kỹ năng và kiến thức về phần cứng, firmware và phần mềm nhúng. Do đó, nếu bạn không quen thuộc với việc cấu hình PFC hoặc chưa có kinh nghiệm trong lĩnh vực này, bạn nên tìm kiếm sự giúp đỡ từ các chuyên gia hoặc hỗ trợ từ nhà sản xuất của vi xử lý R-Car S4 Series.  **Chân LSI trong R-Car S4 Series**  Trong R-Car S4 Series, chân LSI là một chân GPIO (General Purpose Input/Output) được sử dụng để kiểm soát tín hiệu từ LSI (Large-Scale Integration) - một thiết bị điện tử tích hợp nhiều chức năng trên cùng một chip. Chân LSI trên R-Car S4 Series có thể được cấu hình làm đầu vào (input) hoặc đầu ra (output) để truyền tín hiệu điều khiển giữa LSI và R-Car S4 Series hoặc các thiết bị khác. Các chức năng khác của chân LSI có thể bao gồm:   * Chân định tuyến tín hiệu (signal routing) * Chân tín hiệu đồng hồ (clock signal) * Chân truyền tín hiệu điện áp (power signal) * Chân định tuyến tín hiệu giao tiếp (communication signal routing)   Chân LSI là một trong số rất nhiều chân GPIO trên R-Car S4 Series, cung cấp cho các nhà phát triển nhiều lựa chọn để kết nối và kiểm soát các thiết bị ngoại vi khác nhau. |

##### Đặc trưng

* Cài đặt các chức năng ghép kênh cho các chân LSI

Có thể lựa chọn chức năng của chân R-Car S4 bằng cách đặt các thanh ghi trong mô-đun PFC

(Chức năng của chân LSI có thể được chọn bởi GPIO / các thanh ghi chọn chức năng ngoại vi 0 đến 9 (GPSR0 đến GPSR9) và các thanh ghi chọn chức năng ngoại vi từ 0 đến 3 (IPSR0 đến IPSR3) trong mỗi nhóm cổng của mỗi mô-đun PFC.

***Để biết chi tiết, hãy xem phần 7.2.4***, GPIO/Chức năng ngoại vi Chọn Đăng ký 0-9 (GPSRn) đến 7.2.5.

Chức năng Chọn thanh ghi 0-3 (IPiSRn i = 0 - 3).)

|  |
| --- |
| **Setting multiplexed pin functions for LSI pins trong R-Car S4 Series**  Setting multiplexed pin functions for LSI pins là quá trình cấu hình các chức năng đa mục đích cho các chân của LSI trên R-Car S4 Series. Trong R-Car S4 Series, các chân LSI được cấu hình để hoạt động với các chức năng khác nhau bằng cách sử dụng các đầu mút (mux) để chuyển đổi giữa các chế độ chức năng khác nhau.  Quá trình cấu hình multiplexed pin functions cho LSI pins bao gồm các bước sau đây:   1. Xác định các chức năng đa mục đích có sẵn cho các chân LSI cụ thể. R-Car S4 Series cung cấp một bảng chức năng đa mục đích cho từng chân LSI, cho phép người dùng lựa chọn chức năng tương ứng với yêu cầu của mình. 2. Thực hiện cấu hình chức năng đa mục đích cho các chân LSI bằng cách sử dụng phần mềm cấu hình. Phần mềm này cho phép người dùng chỉ định đầu mút (mux) và các tham số liên quan để cấu hình các chức năng đa mục đích cho các chân LSI. 3. Kiểm tra và xác nhận cấu hình đã được thiết lập chính xác bằng cách sử dụng các công cụ kiểm tra và phân tích tín hiệu trên R-Car S4 Series.   Quá trình cấu hình multiplexed pin functions cho LSI pins là quan trọng để đảm bảo tính linh hoạt và khả năng tương thích của các ứng dụng trên R-Car S4 Series. |

* Bus Domain access: ***Vui lòng tham khảo phần 18 – AXI-bus***

|  |
| --- |
| **Bus Domain access là gì trong R-Car S4 Series**  Trong R-Car S4 Series, Bus Domain access (truy cập miền bus) là quá trình truy cập các thiết bị và các thanh ghi trong hệ thống thông qua các bus và giao thức liên lạc khác nhau. Bus Domain access đảm bảo tính linh hoạt và hiệu quả cho hệ thống R-Car S4 Series bằng cách cho phép các thiết bị và thanh ghi khác nhau trong hệ thống giao tiếp với nhau thông qua các giao thức bus khác nhau.  Các bus phổ biến trong R-Car S4 Series bao gồm AXI (Advanced eXtensible Interface), APB (Advanced Peripheral Bus) và DDR (Double Data Rate) bus. Mỗi bus đều có các đặc điểm và thông số kỹ thuật khác nhau và được sử dụng để truy cập các thiết bị và thanh ghi khác nhau trong hệ thống.  Trong quá trình thiết kế và phát triển hệ thống trên R-Car S4 Series, việc cấu hình và quản lý Bus Domain access rất quan trọng để đảm bảo tính đúng đắn và hiệu quả của hệ thống. Chức năng Bus Domain access trong R-Car S4 Series được hỗ trợ bởi các công cụ và thư viện phần mềm đi kèm với nền tảng phát triển của R-Car S4 Series. |

* Điều khiển DRV cho từng chân LSI

Điện trở điều khiển DRV có thể điều khiển khả năng truyền dẫn của các chân.

Các điện trở điều khiển DRV trên mỗi chân LSI có thể được điều khiển bằng cách cài đặt các thanh ghi trong mô-đun PFC. (Lựa chọn được xử lý bởi thanh ghi chọn ổ đĩa đầu ra (DRVCTRL0-3). ***Để biết chi tiết, hãy xem phần 7.2.6***, Thanh ghi điều khiển DRV 0-3 (DRViCTRLn i = 0 - 1 / DRVjCTRLSYS j = 0 - 1). Điều khiển POC cho từng chân LSI.

Các thanh ghi điều khiển POC phải được đặt theo mức điện áp IO được cung cấp cho chân.

Các điện trở điều khiển POC trên mỗi chân LSI có thể được điều khiển bằng cách đặt các thanh ghi trong mô-đun PFC. (Lựa chọn được xử lý bởi các thanh ghi chọn mức điện áp IO POC. ***Để biết chi tiết, hãy xem phần 7.2.7***, Thanh ghi điều khiển POC (POCn).

|  |
| --- |
| **Điều khiển DRV cho từng chân LSI trong R-Car S4 Series**  DRV (Drive Control) là chức năng điều khiển cho từng chân LSI (Large Scale Integration) trong R-Car S4 Series. DRV được sử dụng để điều chỉnh điện áp và dòng điện đầu ra của chân LSI để đảm bảo tín hiệu truyền qua chân LSI ổn định và đáp ứng các yêu cầu của các thiết bị kết nối.  Các chân LSI trong R-Car S4 Series có thể được điều chỉnh DRV bằng cách sử dụng các thanh ghi điều khiển đặc biệt được cài đặt trong phần cấu hình của hệ thống. Các thanh ghi này cho phép người dùng cấu hình các thông số DRV cho từng chân LSI, bao gồm điện áp đầu ra, dòng điện đầu ra, điện trở đầu ra và điện áp ngưỡng.  Việc điều chỉnh DRV cho từng chân LSI là rất quan trọng để đảm bảo tính đúng đắn và hiệu quả của hệ thống. Nếu các thông số DRV không được cấu hình chính xác, tín hiệu truyền qua các chân LSI có thể bị mất mát hoặc bị nhiễu, dẫn đến sự cố và giảm hiệu suất hoạt động của hệ thống. |

* Điều khiển TDSEL cho mỗi chân LSI.

Các thanh ghi điều khiển TDSEL có thể điều khiển khả năng điều khiển của các chân được sử dụng cho SDHI.

Điện trở điều khiển TDSEL trên mỗi chân LSI có thể được điều khiển bằng cách đặt các thanh ghi trong mô-đun PFC. (Lựa chọn được xử lý bởi đường dẫn trở lại cho thanh ghi chọn ổ đĩa đồng hồ SDHI TDSEL0-1. ***Để biết chi tiết, hãy xem phần 7.2.11***, Thanh ghi điều khiển TDSEL 0-1 (TDiSELn).

|  |
| --- |
| **Điều khiển TDSEL cho mỗi chân LSI trong R-Car S4 Series**  TDSEL (Transistor Drive Select) là chức năng điều khiển cho mỗi chân LSI (Large Scale Integration) trong R-Car S4 Series. Chức năng TDSEL được sử dụng để điều chỉnh đặc tính của bộ khuếch đại transistor trên mỗi chân LSI, giúp đảm bảo tín hiệu truyền qua các chân LSI ổn định và đáp ứng yêu cầu của các thiết bị kết nối.  Các chân LSI trong R-Car S4 Series có thể được điều chỉnh TDSEL bằng cách sử dụng các thanh ghi điều khiển đặc biệt được cài đặt trong phần cấu hình của hệ thống. Các thanh ghi này cho phép người dùng cấu hình các thông số TDSEL cho từng chân LSI, bao gồm các thông số như kích thước của bộ khuếch đại transistor, dòng điện đầu vào, và trở kháng đầu vào.  Việc điều chỉnh TDSEL cho từng chân LSI là rất quan trọng để đảm bảo độ tin cậy và hiệu quả của hệ thống. Nếu các thông số TDSEL không được cấu hình chính xác, tín hiệu truyền qua các chân LSI có thể bị mất mát hoặc bị nhiễu, dẫn đến sự cố và giảm hiệu suất hoạt động của hệ thống. |

* Điều khiển kéo lên/xuống cho mỗi chân LSI.

Các thanh ghi PUEN có thể điều khiển bật/tắt các điện trở kéo.

Có thể điều khiển bật/tắt điện trở kéo trên mỗi chân LSI bằng cách đặt các thanh ghi trong mô-đun PFC. (Lựa chọn được xử lý bởi các thanh ghi chọn Kéo-bật/tắt PUEN. ***Để biết chi tiết, hãy xem phần 7.2.8***, thanh ghi cho phép kéo chân LSI (PUENn).

Các thanh ghi PUD có thể điều khiển kéo lên/kéo xuống của các điện trở kéo.

Các điện trở điều khiển kéo lên/kéo xuống trên mỗi chân LSI có thể được điều khiển bằng cách đặt các thanh ghi trong mô-đun PFC. (Lựa chọn được xử lý bởi thanh ghi chọn kéo lên/xuống PUD. ***Để biết chi tiết, hãy xem phần 7.2.9***, Thanh ghi điều khiển kéo lên/xuống chân LSI (PUDn / PUDSYS)).

|  |
| --- |
| **Điều khiển Pull-up/down cho mỗi chân LSI**  Trong R-Car S4 Series, điều khiển Pull-up/down cho mỗi chân LSI (Large Scale Integration) được sử dụng để điều chỉnh trạng thái logic của các chân LSI đó khi chúng không được kết nối hoặc khi không có tín hiệu truyền vào.  Cụ thể, Pull-up/down là một chức năng được tích hợp trên mỗi chân LSI, cho phép người dùng cấu hình các chân LSI để ở trạng thái Logic High (trạng thái cao) hoặc Logic Low (trạng thái thấp) khi chúng không được kết nối hoặc không có tín hiệu truyền vào.  Việc điều khiển Pull-up/down cho mỗi chân LSI là rất quan trọng để đảm bảo độ tin cậy và hiệu quả của hệ thống. Nếu các chân LSI không được cấu hình chính xác, chúng có thể tạo ra nhiễu và ảnh hưởng đến tín hiệu của hệ thống. Do đó, người dùng cần phải cấu hình chính xác các chân LSI để đảm bảo sự ổn định và đáp ứng yêu cầu của các thiết bị kết nối. |

* Lựa chọn mô-đun

Thanh ghi chọn mô-đun có thể chọn nhóm cho nhiều chân LSI với các chức năng chân ghép kênh.

Kích hoạt và vô hiệu hóa các chức năng của các chân R-Car S4 LSI mà các chân này hoạt động từ nhiều nhóm chân được chỉ định bằng cách thiết lập các thanh ghi trong mô-đun PFC. (Việc lựa chọn được xử lý bởi thanh ghi chọn mô-đun (MODSELn). ***Để biết chi tiết, hãy xem phần 7.2.10****,* Thanh ghi chọn mô-đun (MODSELn).

|  |
| --- |
| **Lựa chọn mô-đun trong R-Car S4 Series**  Trong R-Car S4 Series, lựa chọn mô-đun (Module Selection) là một tính năng được tích hợp để cho phép người dùng tùy chỉnh các tính năng của LSI và lựa chọn các chức năng được tích hợp trong mô-đun LSI. Các mô-đun này có thể được bật hoặc tắt tùy thuộc vào yêu cầu của người dùng, từ đó giúp tối ưu hóa hiệu suất và tiết kiệm năng lượng của hệ thống.  Các mô-đun này bao gồm:   * Ethernet AVB Module * Display Module * USB3.0 Host/Device Module * PCIe Module * Audio Module * Camera Interface Module * Serial Communication Interface Module * System Control Module   Việc lựa chọn các mô-đun phù hợp và cấu hình chúng là rất quan trọng để đảm bảo tính ổn định và hiệu suất của hệ thống. Các tính năng và chức năng được tích hợp trong các mô-đun này sẽ ảnh hưởng đến các ứng dụng và hoạt động của hệ thống, do đó người dùng cần phải cân nhắc kỹ trước khi lựa chọn và cấu hình chúng. |

* Lưu ý về cấu hình chức năng pin ghép kênh

Các chân LSI ghép kênh (MODSELn, GPSRn, IPiSRn i = 0 - 3) phải được đặt theo trình tự ban đầu (\*).

Việc chuyển đổi các chân LSI ghép kênh trong quá trình hoạt động không được đảm bảo.

\* : Dãy ban đầu là Phụ lục B.(3)

|  |
| --- |
| **Lưu ý về cấu hình chức năng pin ghép kênh trong R-Car S4 Series**  Trong R-Car S4 Series, chức năng pin ghép kênh (Pin Channel Linking) cho phép người dùng ghép các chân LSI lại với nhau để tạo thành một kênh đơn. Tính năng này được sử dụng để nâng cao tốc độ truyền dữ liệu giữa các thiết bị, tăng tính đồng bộ và giảm chi phí thiết kế.  Tuy nhiên, khi cấu hình chức năng pin ghép kênh, người dùng cần lưu ý một số điều quan trọng như sau:   1. Cần xác định đúng các chân LSI cần ghép kênh với nhau, để tránh việc thiết lập sai hoặc thiếu chân. 2. Cần đảm bảo rằng các chân LSI được ghép kênh lại với nhau có cùng chuỗi kênh và cùng định dạng dữ liệu. 3. Khi sử dụng tính năng pin ghép kênh, người dùng cần lưu ý rằng chỉ có thể có một kênh duy nhất được ghép kênh trên mỗi đầu nối. 4. Nếu muốn cấu hình chức năng pin ghép kênh, người dùng cần phải thực hiện việc cấu hình bằng phần mềm. 5. Trong quá trình cấu hình, người dùng cần phải lưu ý rằng việc thiết lập sai có thể dẫn đến lỗi hoặc giảm hiệu suất của hệ thống.   Tóm lại, việc cấu hình chức năng pin ghép kênh là rất quan trọng trong quá trình thiết kế và triển khai hệ thống. Người dùng cần phải lưu ý các yêu cầu kỹ thuật và tuân thủ các hướng dẫn của nhà sản xuất để đảm bảo tính ổn định và hiệu suất của hệ thống. |

* Sản phẩm R-Car S4 có 10 khối GPIO, mỗi cái là một khối chức năng hỗ trợ tới 32 chân cổng cho đầu vào/đầu ra chung và đầu vào ngắt. (Có thể sử dụng tổng cộng tối đa 233 chân cổng cho R-Car S4. Lưu ý rằng các chân cổng được ghép kênh.) Khi thanh ghi liên quan được ghi vào, một tín hiệu được xuất ra thông qua chân cổng đầu ra chung tương ứng. Khi tín hiệu được nhập thông qua chân cổng đầu vào chung, thanh ghi tương ứng cho biết giá trị của tín hiệu đầu vào; cụ thể, khi một ngắt được nhập qua chân cổng chung, thanh ghi liên quan cho biết rằng nó hiện đang nhận một đầu vào ngắt và một ngắt cũng được yêu cầu tới lõi CPU thông qua khối điều khiển ngắt. Các chức năng (chế độ) có thể được gán cho từng chân cổng như mong muốn bằng cách cài đặt một số thanh ghi tương ứng. Cũng có thể chọn cực tín hiệu (logic dương hoặc âm) và điều kiện phát hiện ngắt (một cạnh/cả hai cạnh hoặc mức) cho mỗi cổng. Trong LSI này, chế độ dữ liệu đầu ra chung của GPIO có thể được đặt ở chế độ bình thường (xuất dữ liệu như bình thường) hoặc chế độ xuất dữ liệu mức cao/thấp. Đặc biệt, chức năng lọc để ngăn tán gẫu bên ngoài cũng có sẵn cho các chân cổng từ 0 đến 3 trong các chế độ đầu vào cho mỗi khối GPIO.
* Trong sản phẩm R-CarS4, để giữ trạng thái vận hành an toàn (Port Safe State) trong trường hợp xảy ra sự cố, sau đó dừng lại. Hơn nữa, vì nó được cho là kiểm soát miền bằng S4, chúng tôi xử lý xử lý lỗi cho từng miền. Do đó, mô-đun PFC nhận thông tin lỗi từ ECM và tạo Pin cho Trạng thái An toàn Cổng cho từng miền.

Loại trạng thái an toàn của cổng:

1. Nó tuân theo trạng thái của từng chân PRESET\_N = Thấp. (bật đầu ra và tắt đầu vào)

2. HiZ: Tắt kích hoạt đầu ra và tắt kích hoạt đầu vào, Tắt kích hoạt kéo, Đừng quan tâm kéo lên/xuống

3.PD: Kích hoạt đầu ra và tắt kích hoạt đầu vào, Bật kích hoạt kéo, Kéo xuống

4.PU: Kích hoạt đầu ra và tắt kích hoạt đầu vào, Bật kích hoạt kéo, Kéo lên

Các thanh ghi (PS0SRn , PS1SRn) chọn 4 loại Trạng thái an toàn cổng với 2 bit. Để biết chi tiết, xem phần 7.2.48, Trạng thái cổng an toàn Chọn Đăng ký 0-1 (PSiSRn i = 0 - 1)

Cung cấp một thanh ghi (PSER) để bật/tắt thanh ghi này. Để biết chi tiết, hãy xem phần 7.2.49, Trạng thái cổng an toàn Kích hoạt đăng ký (PSERn)

|  |
| --- |
| **Port Safe State trong R-Car S4 Series**  Port Safe State trong R-Car S4 Series là là trạng thái an toàn của các chân cổng (port) khi hệ thống khởi động hoặc reset. Khi hệ thống khởi động hoặc reset, các chân cổng sẽ ở trạng thái không xác định, có thể dẫn đến các lỗi không mong muốn. Port Safe State được sử dụng để thiết lập các trạng thái an toàn cho các chân cổng khi hệ thống khởi động hoặc reset, giúp tránh các lỗi không mong muốn và đảm bảo tính ổn định của hệ thống. Việc cấu hình Port Safe State được thực hiện thông qua phần mềm điều khiển của R-Car S4 Series. |

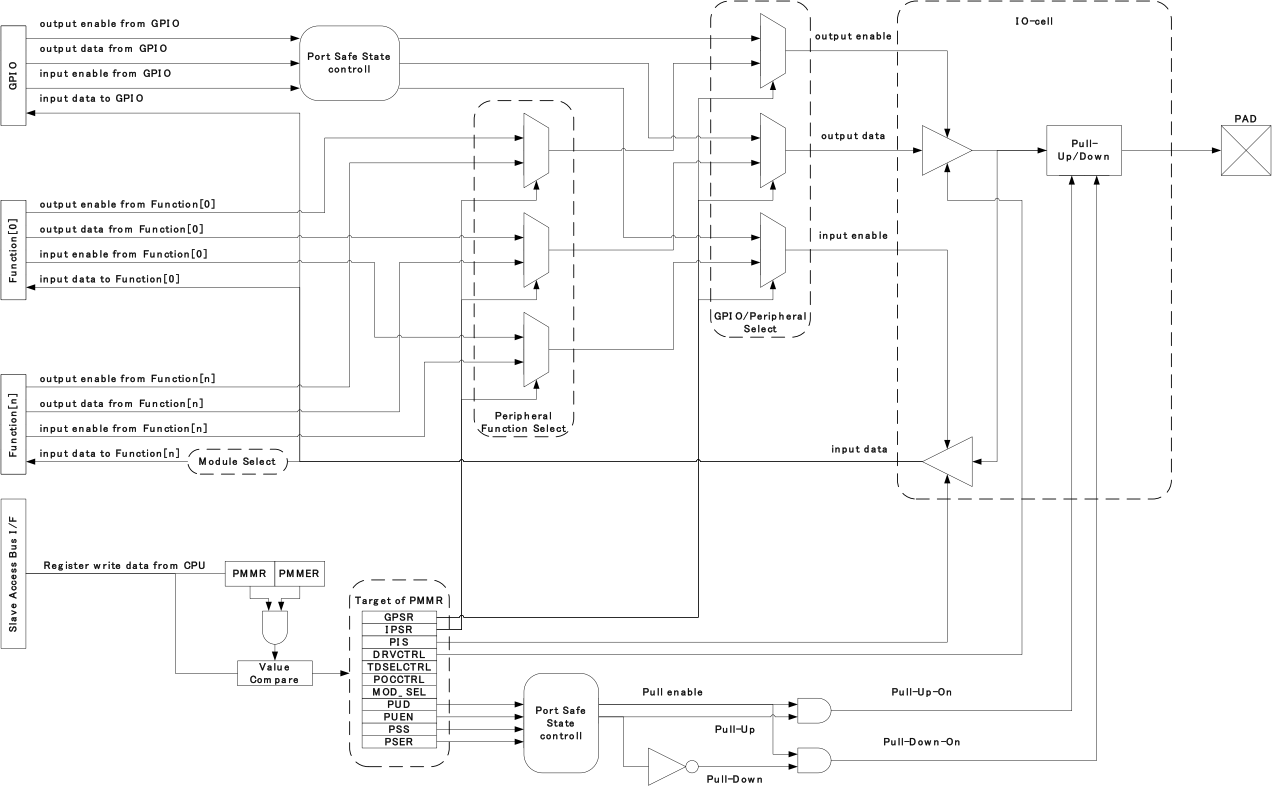
* Chức năng chọn ICUMHB Chân mục tiêu: GP4\_11, GP4\_14, GP4\_15, GP4\_16. Chức năng chọn ICUMHB có mức ưu tiên cao nhất trong các chức năng cổng để kiểm soát giá trị đầu ra của các chân mục tiêu này. Để biết thêm chi tiết về cách sử dụng chức năng ICUMHB, hãy tham khảo Hướng dẫn sử dụng bảo mật: Phần cứng.
* Hàm PRESETOUT1# PRESETOUT1# có chức năng RESETOUT để bắt tay với thiết bị bên ngoài. Để hỗ trợ điều này, PRESETOUT1# sẽ truyền mức thấp ra thiết bị bên ngoài trong và sau khi đặt lại, điều này có hiệu lực đối với bất kỳ loại đặt lại nào (ngoại trừ Đặt lại DeepSTOP, Đặt lại mô-đun và Đặt lại JTAG). Chức năng này được thực hiện bằng cách có một giá trị đặt lại đặc biệt của INOUTSEL6[31] được đảo ngược so với các giá trị khác. PRESETOUT1# tiếp tục điều khiển ở mức thấp cho đến khi các thanh ghi liên quan được thay đổi bởi chương trình người dùng.
* Mô-đun Clock

Mô-đun clock là CPϕ.

Trong PFC1 và PFC\_SYS1, CPϕ đại diện cho CLK\_LSB.

|  |
| --- |
| **Clock**  Trong R-Car S4 Series, có các nguồn clock khác nhau được sử dụng để cung cấp tín hiệu clock cho các mô-đun và chức năng khác nhau trong hệ thống. Các nguồn clock này bao gồm:   1. External Clock: Đây là tín hiệu clock được cung cấp từ bên ngoài, thông qua một chân đầu vào hoặc một bộ điều chỉnh tần số. Tín hiệu clock này có thể được sử dụng để cung cấp cho một số mô-đun trong hệ thống. 2. PLL Clock: PLL (Phased-Locked Loop) là một mạch điện tử được sử dụng để tạo ra tín hiệu clock với tần số và độ chính xác mong muốn từ một tín hiệu clock đầu vào. R-Car S4 Series có nhiều PLL khác nhau, cho phép tạo ra các tín hiệu clock với tần số và độ chính xác khác nhau. 3. Internal RC Oscillator: Đây là một mạch dao động RC nội bộ trong R-Car S4 Series, được sử dụng để cung cấp tín hiệu clock cho một số mô-đun trong hệ thống. Tuy nhiên, tín hiệu clock từ Internal RC Oscillator không đảm bảo độ chính xác cao. 4. Internal 32 kHz Oscillator: Đây là một mạch dao động nội bộ khác trong R-Car S4 Series, được sử dụng để tạo ra tín hiệu clock với tần số 32 kHz. Tín hiệu clock này thường được sử dụng để cung cấp cho các tính năng tiết kiệm năng lượng và đồng hồ thời gian thực (RTC) trong hệ thống. 5. Other Clocks: Ngoài các nguồn clock trên, R-Car S4 Series còn có một số nguồn clock khác như tín hiệu clock từ các giao tiếp ngoại vi (VDU, Ethernet, USB,..) hay các tín hiệu clock được tạo ra bởi các mô-đun trong hệ thống. |

##### Block Diagram



**Hình 7.1:** Cấu hình khối PFC

|  |
| --- |
| **Slave Access bus I/F**  Slave Access bus interface trong R-Car S4 Series là giao diện truy cập bus dùng để truy cập vào các thiết bị slave như Flash memory hoặc I/O expander. Giao diện này hỗ trợ các chuẩn giao tiếp như QSPI, OctaSPI, HyperBus, và GPIO. Nó được sử dụng để nạp chương trình khởi động từ Flash, đọc ghi các thiết bị I/O, và truy cập các thiết bị ngoại vi khác trong hệ thống. Giao diện Slave Access bus interface được kết nối trực tiếp với bus data và bus control, và được điều khiển bởi các tín hiệu chip select từ các thiết bị slave khác nhau.  **PMMR**  Trong R-Car S4 Series, PMMR là viết tắt của "Peripheral Master Mode Register". Đây là một thanh ghi được sử dụng để cấu hình các chế độ hoạt động của các kênh giao tiếp với các thiết bị ngoại vi trên vi điều khiển.  Trong thanh ghi PMMR, mỗi bit tương ứng với một kênh giao tiếp nhất định. Các giá trị bit được sử dụng để chỉ định chế độ hoạt động của kênh giao tiếp đó, chẳng hạn như chế độ master hoặc slave, chế độ truyền hay nhận dữ liệu, tốc độ truyền, và nhiều thuộc tính khác liên quan đến truyền thông.  Trong R-Car S4 Series, có 4 thanh ghi PMMR (Peripheral Module Mode Register), bao gồm:   1. PMMR0: Thanh ghi này cấu hình chế độ của các module như MMC, SDHI, EtherAVB, LBSC, USB, CAN, LIN, và GPIO. 2. PMMR1: Thanh ghi này cấu hình chế độ của các module như CSI, VIN, ETHER, HSCIF, SCIF, SSIU, RCAN, và SPT. 3. PMMR2: Thanh ghi này cấu hình chế độ của các module như I2C, SPIBSC, PWM, CRC, SDMOD, MSIOF, và VSPDIF. 4. PMMR3: Thanh ghi này cấu hình chế độ của các module như SDR, CEU, DEU, A3CB, và APBC.   **PMMER**  Trong R-Car S4 Series, thanh ghi PMMER (Peripheral Mode Monitor Enable Register) là một thanh ghi 32 bit được sử dụng để bật/tắt chế độ giám sát cho các chế độ hoạt động của các module ngoại vi trong chip.  Mỗi bit của PMMER tương ứng với một module ngoại vi khác nhau và nó được sử dụng để bật/tắt chế độ giám sát cho module đó. Khi chế độ giám sát được bật, PMMER sẽ theo dõi trạng thái hoạt động của module ngoại vi và ghi nhật ký hoạt động của nó. Thông tin này có thể được sử dụng để phát hiện các lỗi hoặc sự cố trong hoạt động của module ngoại vi.  **GPSR**  GPSR trong R-Car S4 Series là viết tắt của "General Pin Setting Register" và là một thanh ghi trong PFC (Pin Function Controller). GPSR được sử dụng để cấu hình các chức năng chung của các chân đầu vào/đầu ra trên vi điều khiển R-Car S4 Series.  Các chức năng chung bao gồm: chế độ đầu vào/đầu ra, cấu hình đầu vào với hoặc không có điện trở kéo lên/kéo xuống, cấu hình chân đầu vào có thể hoặc không thể lập trình được với chế độ đo ADC (Analog-to-Digital Conversion), và cấu hình chân đầu vào có thể hoặc không thể lập trình được với chức năng đo điện áp nhiệt độ.  GPSR được sử dụng trong quá trình cấu hình chức năng chân đầu vào/đầu ra trên R-Car S4 Series, nó là một phần quan trọng trong PFC Block Configuration.  **IPSR**  Trong R-Car S4 Series, thanh ghi IPSR (Interrupt Priority Status Register) là một thanh ghi 32 bit được sử dụng để lưu trữ ưu tiên ngắt hiện tại đang được xử lý bởi CPU. Thanh ghi này chứa thông tin về số ngắt được đang được xử lý và ưu tiên của chúng.  Thành phần của thanh ghi IPSR như sau:   * Bits [31:7]: Reserved, đang không được sử dụng. * Bits [6:5]: Interrupt Priority Number (IPR), chỉ định mức ưu tiên của ngắt hiện tại đang được xử lý. * Bits [4:0]: Interrupt Number (INTID), chỉ định số của ngắt hiện tại đang được xử lý.   Việc sử dụng thanh ghi IPSR cho phép hệ thống theo dõi trạng thái của các ngắt và ưu tiên xử lý của chúng, từ đó giúp tối ưu hóa việc quản lý ngắt trong hệ thống.  **IPS**  Trong R-Car S4 Series, IPS (Interrupt Priority Status) là một thanh ghi 32 bit được sử dụng để lưu trữ trạng thái ưu tiên của các ngắt (interrupt) và các exception. Các bit trong thanh ghi IPS xác định mức độ ưu tiên của các ngắt, với bit thấp nhất (bit 0) đại diện cho mức độ ưu tiên cao nhất và bit cao nhất (bit 31) đại diện cho mức độ ưu tiên thấp nhất. Việc xác định mức độ ưu tiên này quyết định việc xử lý các ngắt trong trường hợp xảy ra nhiều ngắt cùng một lúc.  Ngoài ra, thanh ghi IPS còn được sử dụng để lưu trữ trạng thái của ngắt đang được xử lý và ngắt đang bị ẩn (mask). Khi một ngắt xảy ra, nó sẽ được đặt vào thanh ghi IPS để thể hiện trạng thái đang được xử lý. Khi ngắt đã được xử lý xong, bit tương ứng trong thanh ghi IPS sẽ được xóa để đánh dấu việc hoàn thành xử lý ngắt. Nếu một ngắt bị ẩn (mask), bit tương ứng sẽ được đặt thành 0 trong thanh ghi IPS. |

Diagram

Description automatically generated

**Hình 7.2:** Port Safe State block

Diagram, schematic

Description automatically generated

**Hình 7.3:** Block Diagram of ICUMHB Select Function

##### External Pins

**Bảng 7.1:** Cấu hình chân của GPIO.

|  |  |  |  |
| --- | --- | --- | --- |
|  | **I/O** | **Function** | **Description** |
| GP0\_00 đến GP7\_31 | I/O | Ngõ vào IO/interrupt | Đầu vào/đầu ra chung và đầu vào ngắt |

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **Tên chân** | **GPIO-0** | **Tên chân** | **GPIO-1** | **Tên chân** | **GPIO-2** | **Tên chân** | **GPIO-3** |
| SCIF—CLK | GP0-00 | GP1-00 | GP1-00 | RPC-INT# | GP2-00 | TSN1-MDIO | GP3-00 |
| HSCK0 | GP0-01 | GP1-01 | GP1-01 | RPC-VVP# | GP2-01 | TSN2-MDIO | GP3-01 |
| HRX0 | GP0-02 | GP1—02 | GP1-02 | RPC-RESET# | GP2-02 | TSNO-MDIO | GP3-02 |
| HTX0 | GP0-03 | GP1—03 | GP1-03 | QSPI1-SSL | GP2-03 | TSN2-MDC | GP3-03 |
| HCTS0# | GP0-04 | GP1-04 | GP1-04 | QSPI1-IO3 | GP2-04 | TSNO-MDC | GP3-04 |
| HRTS0# | GP0-05 | GP1—05 | GP1-05 | QSPI1-MISO-IO1 | GP2-05 | TSN1-MDC | GP3-05 |
| RX0 | GP0-06 | GP1-06 | GP1-06 | QSPI1-IO2 | GP2-06 | TSN1-LINK | GP3-06 |
| TX0 | GP0-07 | GP1-07 | GP1-07 | QSPI1\_MOSI\_IOO | GP2-07 | TSN2-LINK | GP3-07 |
| SCK0 | GP0-08 | GP1-08 | GP1-08 | QSPI1-SPCLK | GP2-08 | TSNO-LINK | GP3-08 |
| RTSO# | GP0-09 | GP1-09 | GP1-09 | QSPIO-MOSI-IOO | GP2-09 | TSN2-PHY-INT | GP3-09 |
| CTSO# | GP0-10 | GP1-1O | GP1-10 | QSPIO-SPCLK | GP2-10 | TSNO-PHY-INT | GP3-10 |
| MSIOFO\_SYNC | GP0-11 | GP1-11 | GP1-11 | QSPI0-IO2 | GP2-11 | TSN1-PHY-INT | GP3-11 |
| MSIOFO\_RXD | GP0-12 | MMC-SD-CLK | GP1-12 | QSPI0-MISO-IO1 | GP2-12 | TSNO-MAGIC | GP3-12 |
| MSIOFO\_TXD | GP0-13 | MMC-SD-DO | GP1-13 | QSPIO-SSL | GP2-13 | TSN1-AVTP-PPS | GP3-13 |
| MSIOFO\_SCK | GP0-14 | MMC-SD-D1 | GP1-14 | QSPI0-IO3 | GP2-14 | TSN1\_AVTP\_MATCH | GP3-14 |
| MSIOFO\_SS1 | GP0-15 | MMC-SD-D2 | GP1-15 | PCIEO-CLKREQ# | GP2-15 | TSN1-AVTP-CAPTURE | GP3-15 |
| MSIOFO\_SS2 | GP0-16 | MMC-SD-D3 | GP1-16 | PCIE1-CLKREQ# | GP2-16 | TSNO-AVTP-PPS | GP3-16 |
| IRQO | GP0-17 | MMC\_D5 | GP1-17 |  |  |  |  |
| IRQ1 | GP0-18 | MMC-D4 | GP1-18 |  |  |  |  |
| IRQ2 | GP0-19 | MMC-D6 | GP1-19 |  |  |  |  |
| IRQ3 | GP0-20 | MMC-DS | GP1-20 |  |  |  |  |
|  |  | MMC-D7 | GP1-21 |  |  |  |  |
|  |  | MMC-SD-CMD | GP1-22 |  |  |  |  |
|  |  | SD-CD | GP1-23 |  |  |  |  |
|  |  | SD WP | GP1 24 |  |  |  |  |

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **Tên chân** | **GPIO-4** | **Tên chân** | **GPIO-5** | **Tên chân** | **GPIO-6** | **Tên chân** | **GPIO-7** |
| GP4—00 | GP4-00 | RIICOSCL | GP5-00 | RLIN37TX | GP6-00 | CANOTX | GP7-00 |
| GP4-01 | GP4-01 | RIICOSDA | GP5-01 | RLIN37RX/INTP23 | GP6-01 | CANORX/INTPO | GP7-01 |
| GP4-02 | GP4-02 | ETNBOMD | GP5-02 | RLIN36TX | GP6-02 | CAN1TX | GP7-02 |
| GP4-03 | GP4-03 | ETNBOVVOL | GP5-03 | RLIN36RX/INTP22 | GP6-03 | CAN1RX/INTP1 | GP7-03 |
| GP4-04 | GP4-04 | ETNBOLINKSTA | GP5-04 | RLIN35TX | GP6-04 | CAN2TX | GP7-04 |
| GP4—05 | GP4-05 | ETNBOMDC | GP5-05 | RLIN35RX/INTP21 | GP6-05 | CAN2RX/INTP2 | GP7-05 |
| GP4\_06 | GP4-06 | ETNBORXER | GP5-06 | RLIN34TX | GP6-06 | CAN3TX | GP7-06 |
| GP4-07 | GP4-07 | ETNB0RXD3 | GP5-07 | RLIN34RX/INTP20 | GP6-07 | CAN3RX/INTP3 | GP7-07 |
| GP4-08 | GP4-08 | ETNB0RXD1 | GP5-08 | RLIN33TX | GP6-08 | CAN4TX | GP7-08 |
| GP4\_09 | GP4-09 | ETNB0RXD2 | GP5-09 | RLIN33RX/INTP19 | GP6-09 | CAN4RX/INTP4 | GP7-09 |
| GP4-10 | GP4-10 | ETNBORXDV | GP5-10 | RLIN32TX | GP6-10 | CAN5TX | GP7-10 |
| GP4-11 | GP4-11 | ETNBORXDO | GP5-11 | RLIN32RX/INTP18 | GP6-11 | CAN5RX/INTP5 | GP7-11 |
| GP4-12 | GP4-12 | ETNBORXCLK | GP5-12 | RLIN31TX | GP6-12 | CAN6TX | GP7-12 |
| GP4-13 | GP4-13 | ETNBOTXER | GP5-13 | RLIN31RX/INTP17 | GP6-13 | CAN6RX/INTP6 | GP7-13 |
| GP4\_14 | GP4-14 | ETNB0TXD3 | GP5\_14 | RLIN30TX | GP6-14 | CAN7TX | GP7-14 |
| GP4-15 | GP4-15 | ETNBOTXCLK | GP5\_15 | RLIN30RX/INTP16 | GP6-15 | CAN7RX/INTP7 | GP7-15 |
| GP4-16 | GP4-16 | ETNBOTXD1 | GP5-16 | INTP37 | GP6-16 | CAN8TX | GP7-16 |
| GP4-17 | GP4-17 | ETNB0TXD2 | GP5\_17 | INTP36 | GP6-17 | CAN8RX/INTP8 | GP7\_17 |
| GP4\_18 | GP4-18 | ETNBOTXEN | GP5-18 | INTP35 | GP6-18 | CAN9TX | GP7-18 |
| GP4-19 | GP4-19 | ETNBOTXDO | GP5-19 | INTP34 | GP6-19 | CAN9RX/INTP9 | GP7-19 |
| MSPIOSC | GP4-20 | RIICOSCL | GP5-00 | INTP33 | GP6-20 | CAN10TX | GP7-20 |
| MSPIOSI | GP4-21 | RIICOSDA | GP5-01 | INTP32 | GP6-21 | CAN10RX/INTP10 | GP7-21 |
| MSPIOSO/MSPIODCS | GP4-22 | ETNBOMD | GP5-02 | NMI1 | GP6-22 | CAN11TX | GP7-22 |
| MSPI0CSS1 | GP4-23 | ETNBOVVOL | GP5-03 | — | — | CAN11RX/INTP11 | GP7-23 |
| MSPIOCSSO | GP4-24 | ETNBOLINKSTA | GP5-04 | — | — | CAN12TX | GP7-24 |
| MSPI1SI | GP4-25 | ETNBOMDC | GP5-05 | — | — | CAN12RX/INTP12 | GP7-25 |
| MSPI1SO/MSPI1DCS | GP4-26 | ETNBORXER | GP5-06 | — | — | CAN13TX | GP7-26 |
| MSPI1CSSO | GP4-27 |  |  | — | — | CAN13RX/INTP13 | GP7-27 |
| MSPI1SC | GP4-28 |  |  | — | — | CAN14TX | GP7-28 |
| MSPI1CSS2 | GP4-29 |  |  | — | — | CAN14RX/INTP14 | GP7-29 |
| MSPI1CSS1 | GP4-30 |  |  | — | — | CAN15TX | GP7-30 |
|  |  |  |  | PRESETOUT1# | GP6-31 | CAN15RX/INTP15 | GP7-31 |

##### Register Configuration

Tất cả các thanh ghi trong PFC được ánh xạ vào không gian bus APB. Bảng 7.2 cho thấy cấu hình của các thanh ghi được cung cấp trong PFC. Chi tiết về từng thanh ghi trong PFC được đưa ra trong phần 7.2.

Cấu hình thanh ghi của vùng thanh ghi R/W, vùng thanh ghi SET và vùng thanh ghi CLR trong nhóm GPIO 0 đến 7 là như nhau. Ngoài ra, các cấu hình thanh ghi của khu vực thanh ghi R/W, khu vực thanh ghi SET và khu vực thanh ghi CLR trong nhóm Hệ thống là giống nhau.

**Bảng 7.2:** Cấu hình của thanh ghi PFC

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Bus Domain** | **Group** | **Registers Area** | **Access Type** | **Address** |
| Bus Domain 0 | GPIO Group 0 | R/W registers area | Read or VVrite | H' E605 0000 - H E605 01FF |
| SET register area | Set | H' E605 0200 - H E605 03FF |
| CLR register area | Clear | H' E605 0400 - H' E605 05FF |
| Reserved | — | H' E605 0600 - H' E605 07FF |
| GPIO Group 1 | RI\N registers area | Read or VVrite | H' E605 0800 - H' E605 09FF |
| SET register area | Set | H' E605 0A00 - H' E605 0BFF |
| CLR register area | Clear | H' E605 0C00 - H' E605 0DFF |
| Reserved | — | H' E605 0E00 - H' E605 0FFF |
| GPIO Group 2 | R/W registers area | Read or VVrite | H' E605 1000 - H' E605 11FF |
| SET register area | Set | H' E605 1200 - H' E605 13FF |
| CLR register area | Clear | H' E605 1400 - H' E605 15FF |
| Reserved | — | H' E605 1600 - H' E605 17FF |
| GPIO Group 3 | RI\N registers area | Read or VVrite | H' E605 1800 - H' E605 19FF |
| SET register area | Set | H' E605 1A00 - H' E605 1BFF |
| CLR register area | Clear | H' E605 1C00 to H' E605 1DFF |
| Reserved | — | H' E605 1E00 to H' E605 1FFF |
| Bus Domain 1 | GPIO Group 0 | R/W registers area | Read or VVrite | H' E605 2000 to H' E605 21FF |
| SET register area | Set | H' E605 2200 to H'E605 23FF |
| CLR register area | Clear | H' E605 2400 to H' E605 25FF |
| Reserved | — | H' E605 2600 to H' E605 27FF |
| GPIO Group 1 | RI\N registers area | Read or VVrite | H' E605 2800 to H' E605 29FF |
| SET register area | Set | H' E605 2A00 to H' E605 2BFF |
| CLR register area | Clear | H' E605 2C00 to H' E605 2DFF |
| Reserved | — | H' E605 2E00 to H' E605 2FFF |
| GPIO Group 2 | R/W registers area | Read or VVrite | H' E605 3000 to H' E605 31FF |
| SET register area | Set | H' E605 3200 to H' E605 33FF |
| CLR register area | Clear | H' E605 3400 to H' E605 35FF |
| Reserved | — | H' E605 3600 to H' E605 37FF |
| GPIO Group 3 | R/W registers area | Read or VVrite | H' E605 3800 to H' E605 39FF |
| SET register area | Set | H' E605 3A00 to H' E605 3BFF |
| CLR register area | Clear | H' E605 3C00 to H E605 3DFF |
| Reserved | — | H' E605 3E00 to H E605 3FFF |
| Bus Domain 2 | GPIO Group 0 | R/W registers area | Read or VVrite | H' E605 4000 to H E605 41FF |
| SET register area | Set | H' E605 4200 to H E605 43FF |
| CLR register area | Clear | H' E605 4400 to H E605 45FF |
| Reserved | — | H' E605 4600 to H E605 47FF |
| GPIO Group 1 (Port Group 1) | R/W registers area | Read or VVrite | H' E605 4800 to H E605 49FF |
| SET register area | Set | H' E605 4A00 to H E605 4BFF |
| CLR register area | Clear | H' E605 4C00 to H E605 4DFF |
| Reserved | — | H' E605 4E00 to H E605 4FFF |
| GPIO Group 2 | R/W registers area | Read or VVrite | H' E605 5000 to H E605 51FF |
| SET register area | Set | H' E605 5200 to H E605 53FF |
| CLR register area | Clear | H' E605 5400 to H E605 55FF |
| Reserved | — | H' E605 5600 to H E605 57FF |
| GPIO Group 1 (Port Group 3) | R/W registers area | Read or VVrite | H' E605 5800 to H E605 59FF |
| SET register area | Set | H' E605 5A00 to H E605 5BFF |
| CLR register area | Clear | H' E605 5C00 to H E605 5DFF |
| Reserved | — | H' E605 5E00 to H E605 5FFF |
| Bus Domain 3 | GPIO Group 0 | R/W registers area | Read or VVrite | H' E605 6000 to H E605 61FF |
| SET register area | Set | H' E605 6200 to H E605 63FF |
| CLR register area | Clear | H' E605 6400 to H E605 65FF |
| Reserved | — | H' E605 6600 to H E605 67FF |
| GPIO Group 1 (Port Group 1) | R/W registers area | Read or VVrite | H' E605 6800 to H E605 69FF |
| SET register area | Set | H' E605 6A00 to H E605 6BFF |
| CLR register area | Clear | H' E605 6C00 to H E605 6DFF |
| Reserved | — | H' E605 6E00 to H E605 6FFF |
| GPIO Group 2 | R/W registers area | Read or VVrite | H' E605 7000 to H E605 71FF |
| SET register area | Set | H' E605 7200 to H E605 73FF |
| CLR register area | Clear | H' E605 7400 to H E605 75FF |
| Reserved | — | H' E605 7600 to H E605 77FF |
| GPIO Group 3 | R/W registers area | Read or VVrite | H' E605 7800 to H E605 79FF |
| SET register area | Set | H' E605 7A00 to H E605 7BFF |
| CLR register area | Clear | H' E605 7C00 to H E605 7DFF |
| Reserved | — | H' E605 7E00 to H E605 7FFF |
| Bus Domain 0 (PFSS) | GPIO Group 4 | R/W registers area | Read or VVrite | H' FFD9 0000 to H'FFD9 01FF |
| SET register area | Set | H' FFD9 0200 to H'FFD9 03FF |
| CLR register area | Clear | H' FFD9 0400 to H'FFD9 05FF |
| Reserved | — | H' FFD9 0600 to H'FFD9 07FF |
| GPIO Group 5 | R/W registers area | Read or VVrite | H' FFD9 0800 to H'FFD9 09FF |
| SET register area | Set | H'FFD9 0A00 to H'FFD9 0BFF |
| CLR register area | Clear | H' FFD9 ocoo to H'FFD9 0DFF |
| Reserved | — | H' FFD9 0E00 to H'FFD9 0FFF |
| GPIO Group 6 | R/W registers area | Read or VVrite | H' FFD9 1000 to H'FFD9 11FF |
| SET register area | Set | H' FFD9 1200 to HTFD9 13FF |
| CLR register area | Clear | H' FFD9 1400 to H'FFD9 15FF |
| Reserved | — | H' FFD9 1600 to HTFD9 17FF |
| GPIO Group 7 | R/W registers area | Read or VVrite | H' FFD9 1800 to H'FFD9 19FF |
| SET register area | Set | H' FFD9 1A00 to H'FFD9 1BFF |
| CLR register area | Clear | H' FFD9 1C00toH'FFD9 1DFF |
| Reserved | — | H' FFD9 1E00 to H'FFD9 1FFF |
| Bus Domain 0 | System Group 0 [íór PRESETOUT#, | R/W registers area | Read or VVrite | H' E607 8000 to H E607 81FF |
| SET register area | Set | H' E607 8200 to H E607 83FF |
| CLR register area | Clear | H' E607 8400 to H E607 85FF |
| Reserved | — | H' E607 8600 to H E607 87FF |
| Fuse Control and Monitor | — | — | H' E607 8800 to H E607 88FF |
| Lite Time Control and Monitor | — | — | H' E607 8900 to H E607 89FF |
| — | Reserved | — | H' E607 8A00 to H E607 9FFF |
| Bus Domain 1 | System Group 0 [íór PRESETOUT#, | R/W registers area | Read or VVrite | H' E607 A000 to H E607 A1FF |
| SET register area | Set | H' E607 A200 to H E607 A3FF |
| CLR register area | Clear | H' E607 A400 to H E607 A5FF |
| Reserved | — | H' E607 A600 to H E607 A7FF |
|  | Reserved | — | H' E607 A800 to H E607 AFFF |
| Bus Domain 2 |  | R/W registers area | Read or VVrite | H' E607 cooo to H E607 C1FF |
| SET register area | Set | H' E607 C200 to H E607 C3FF |
| CLR register area | Clear | H' E607 C400 to H E607 C5FF |
| Reserved | — | H' E607 C600 to H E607 C7FF |
|  | Reserved | — | H' E607 C800 to H E607 DFFF |
| Bus Domain 3 |  | R/W registers area | Read or VVrite | H' E607 E000 to H E607 E1FF |
| SET register area | Set | H' E607 E200 to H E607 E3FF |
| CLR register area | Clear | H' E607 E400 to H E607 E5FF |
| Reserved | — | H' E607 E600 to H E607 E7FF |
|  | Reserved | — | H' E607 E800 to H E607 FFFF |
|  |  | R/W registers area | Read or VVrite | H' FFD9 8000 to H FFD9 81FF |
|  | SET register area | Set | H' FFD9 8200 to H FFD9 83FF |
|  | CLR register area | Clear | H' FFD9 8400 to H FFD9 85FF |
|  | Reserved | — | H' FFD9 8600 to H FFD9 87FF |

**Bảng 7.3:** Base address of Registers in PFC

|  |  |  |
| --- | --- | --- |
| **Bus Domain** | **Group** | **Base address** |
| Bus Domain 0 | GPIO Group 0 (Port Group 0) | H'E605 0000 |
| GPIO Group 1 (Port Group 1) | H'E605 0800 |
| GPIO Group 2 (Port Group 2) | H'E605 1000 |
| GPIO Group 3 (Port Group 3) | H'E605 1800 |
| GPIO Group 4 (Port Group 4) | H'FFD9 0000 |
| GPIO Group 5 (Port Group 5) | H'FFD9 0800 |
| GPIO Group 6 (Port Group 6) | H'FFD9 1000 |
| GPIO Group 7 (Port Group 7) | H'FFD9 1800 |
| System Group 0 | H'E607 8000 |
| System Group 1 | H'FFD9 8000 |

**Bảng 7.4:** Offset table

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | | **R/W registers area** | **+H'200 SET registers area** | **+H'400 CLR registers area** |
| Bus Domain 0 | | Substitute from Table 7.3 | +H'0200 | +H'0400 |
| +H'2000 | Bus Domain 1 | +H'2000 | +H'2200 | +H'2400 |
| +H'4000 | Bus Domain 2 | +H'4000 | +H'4200 | +H'4400 |
| +H'6000 | Bus Domain 3 | +H'6000 | +H'6200 | +H'6400 |

**Bảng 7.5:** Configuration of R/W Registers in GPIO group n

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **Name** | **Abbr.** | **R/W** | **Initial Value** | **Offset Address [lower 9bits]** | **Access Size [bits]** | **Condition** |
| LSI Multiplexed Pin Setting Mask Register | PMMRn | R/W | H'0000 0000 | H'000 | 32 | - |
| LSI Multiplexed Pin Setting Mask Enable Register | PMMERn | R/W | H'0000 0001 | H'004 | 32 | - |
| Domain protection register 0 | DMOPRn | R/W | H'FFFF FFFF | H'020 | 32 | be able to vvrite only from Bus Domain 0 |
| Domain protection register 1 | DMIPRn | R/W | H'0000 0000 | H'024 | 32 | be able to vvrite only from Bus Domain 0 |
| Domain protection register 2 | DM2PRn | R/W | H'0000 0000 | H'028 | 32 | be able to vvrite only from Bus Domain 0 |
| Domain protection register 3 | DM3PRn | R/W | H'0000 0000 | H'02C | 32 | be able to vvrite only from Bus Domain 0 |
| GPIO/Peripheral Function Select register | GPSRn | R/W | Port group 0: H'1FFFFFFF  Port group 1: H'01FF F07F  Port group 2: H'0000 7FFF  Port group 3: | H'040 | 32 | - |
| Peripheral Function Select register 0 | IPOSRn | R/W | Port group 0: H' 7777 7777 Port group 1: H'Ơ777 ù tỉ Port group 2, 3,4, 5, 6,7: | H'060 | 32 | - |
| Peripheral Function Select register 1 | IPISRn | R/W | Port group 0: H'7777 7777 Port group 1, 2, 3, 4, 5,6, 7: H' 0000 0000 | H'064 | 32 | - |
| Peripheral Function Select register 2 | IP2SRn | R/W | Port group 0: H'0007 7777 Port group 1, 2, 3, 4, 5,6, 7: H'0000 0000 | H'068 | 32 | - |
| Peripheral Function Select register 3 | IP3SRn | R/W | H'0000 0000 | H'06C | 32 | - |
| DRV control register 0 | DRVOCTRLn | RA'. | Port group 0,1, 3, 4, 5, 6,7: H'6666 6666 Port group 2: H'2222 2222 | H'080 | 32 | - |
| DRV control register 1 | DRVICTRLn | R/W | Port group 0, 1,3, 4, 5, 6,7: H'6666 6666 Port group 2: H'6222 2222 | H'084 | 32 | - |
| DRV control register 2 | DRV2CTRLn | R/W | Port group 0: H'0006 6666 Port group 1,4,7: H'6666 6666 Port group 2: | H'088 | 32 | - |
| DRV control register 3 | DRV3CTRLn | R/W | Port group 0, 2,5: H'0000 0000 Port group 1: H'0000 0006 Port group 4: H'0666 6666 Port group 6: H'6000 0000 Port group 7: | H'08C | 32 | - |
| POC control register | POCn | R/W | Port group 0: H'001F FFFF  Port group 1: H'01FF FFFF  Port group 2,4,5, 6, 7: H'0000 0000 Port group 3: H'0007 FFFF | H'0A0 | 32 | - |
| LSI pin pull-enable register | PUENn | R/W | Port group 0, 2: H'0000 0001 Port group 1,4,5, 6, 7: H'0000 0000 Port group 3: H'0006 CFC7 | H'0C0 | 32 | - |
| LSI pin pull-up/down control register | PUDn | R/W | Port group 0, 2: H'0000 0001 Port group 1,4,5, 6, 7: H'0000 0000 Port group 3: H'0004 8000 | H'0E0 | 32 | - |
| Module select register | MODSELn | R/W | H'0000 0000 | H'100 | 32 |  |
| TDSEL Control Register 0 | TDOSELn | R/W | H'0000 0000 | H'120 | 32 |  |
| TDSEL Control Register 1 | TDISELn | R/W | H'0000 0000 | H'124 | 32 |  |
| Port Safe State Enable Register | PSERn | R/W | H'0000 0000 | H'160 | 32 | - |
| Port Safe State Select Register 0 | PSOSRn | R/W | H'0000 0000 | H'164 | 32 | - |
| Port Safe State Select Register 1 | PSISRn | R/W | H'0000 0000 | H'168 | 32 | - |
| General IO/interrupt switching register | lOINTSELn | R/W | H'0000 0000 | H'180 | 32 | - |
| General input/output switching register | INOUTSELn | R/W | H'0000 0000 | H'184 | 32 | - |
| General output register | OUTDTn | R/W | H'0000 0000 | K188 | 32 |  |
| General input register | INDTn | R/W | - | H'18C | 32 | - |

**Bảng 7.6:** Configuration of R/W Registers in System Group

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **Name** | **Abbr.** | **R/W** | **Initial Value** | **Offset Address [lower 9bits]** | **Access Size [bits]** | **Condition** |
| Domain protection registerO | DMOPRSYS | R/W | H'FFFF FFFF | H'020 | 32 | - |
| Domain protection registerl | DM1PRSYS | R/W | H'0000 0000 | H'024 | 32 | - |
| Domain protection register2 | DM2PRSYS | R/W | H'0000 0000 | H'028 | 32 | - |
| Domain protection register3 | DM3PRSYS | R/W | H'0000 0000 | H'02C | 32 | - |
| DRV control register 0 | DRVOCTRLSYS | R/W | H'0000 0700 | H'080 | 32 | - |
| DRV control register 1 | DRV1CTRLSYS | R/W | H'0033 0300 | H'084 | 32 | - |
| LSI pin pull-up/down control register | PUDSYS | R/W | H'0000 0F00 | H'0E0 | 32 | - |

**Bảng 7.7:** Configuration of R/W Additional Registers (for GP4, 5, 6, 7 only)

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **Name** | **Abbr.** | **R/W** | **Initial Value** | **Offset Address [lower 9bits]** | **Access Size [bits]** | **Condition** |
| Port NOT Register | PNOTn | w | H'0000 0000 | H' 1D4 | 32 | - |
| Port Output Value Inversion Register | PINVn | R/W | H'0000 0000 | H'16C | 32 | - |
| Port Input Buffer Selection Register | PlSn | R/W | H'0000 0000 | H'170 | 32 | - |

##### Connected Module

**Bảng 7.8:** Connected niodule

|  |  |  |
| --- | --- | --- |
| **Module name** | **Connected module name** | **Eunction of connected module** |
| PFC | AP-System Core | Access the Registers |
| CPG | Output clocks |
| Module standby | Control to stop clocks |
| Software Reset | Execute software reset |
| Error Management Module | Output error signals |
| INTC-AP, INTC-RT | Control to interrupt |

#### Register Description

Giá trị ban đầu: Giá trị thanh ghi sau khi reset.

|  |  |
| --- | --- |
| - | : Giá trị không xác định |
| R/W | : Có thể đọc/ghi. Giá trị bằng văn bản có thể được đọc. |
| R | : Chỉ đọc. Giá trị ghi phải luôn là 0. |
| W | : Chỉ ghi. Đọc bit này bị cấm. Khi bit được dành riêng, giá trị ghi phải luôn là 0. |
| n | : Số nhóm GPIO, giá trị của nó nằm trong khoảng từ 0 đến 7. |

Tất cả các bit đang hoạt động ở mức cao trừ khi được chỉ định khác và bị hủy kích hoạt khi reset.

Tất cả truy cập vào sổ thanh ghi được thực hiện trong các đơn vị từ dài.

Giá trị ghi vào một bit dành riêng phải luôn là 0.

[Loại truy cập thanh ghi và chế độ truy cập]

Loại truy cập thanh ghi được giải mã bằng cách bù địa chỉ và được chọn bằng cách kiểm tra địa chỉ.

* + R/W : Thanh ghi hỗ trợ Read-Write.

Offset: H'000

* SET : Được kiểm soát trên mỗi bit. Viết trường hợp, bit được áp dụng là "1" rồi "1" hoặc bit được áp dụng là "0" thì giữ nguyên giá trị. Đọc trường hợp, trả lại giá trị Reg. (HWM được mô tả là WriteOnly)

Offset: H'200

* CLR: Được kiểm soát trên mỗi bit. Viết trường hợp, bit được áp dụng là "1" rồi "0" hoặc bit được áp dụng là "0" thì giữ nguyên giá trị. Đọc trường hợp, trả lại giá trị Reg. (HWM mô tả WriteOnly)

Offset: H'400

* Reserved:

Offset: H'600

##### LSI Multiplexed Pin Setting Mask Register (PMMRn)

**Chức năng**: PMMRn / PMMRSYS bật/tắt ghi vào các thanh ghi cài đặt chân ghép kênh.

|  |
| --- |
| **LSI Multiplexed Pin Setting Mask Register (PMMRn)**  LSI Multiplexed Pin Setting Mask Register (PMMRn) là một thanh ghi trên lõi G4MH của Renesas Electronics. PMMRn được sử dụng để điều khiển các chân đa chức năng (multiplexed pins) trên vi điều khiển.  Các chân đa chức năng là các chân trên vi điều khiển có thể được sử dụng cho nhiều mục đích khác nhau, ví dụ như đầu vào/đầu ra GPIO, giao tiếp SPI, I2C, UART, vv. PMMRn cung cấp một cách để điều khiển chức năng được chọn trên các chân đa chức năng này. |

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Bit** | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|  | **PMMRn[31:16] / PMMRSYS[31:16]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| **Bit** | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|  | **PMMRn[15:0] / PMMRSYS[15:0]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Bit** | **Bit Name** | **Initial Value** | **R/W** | **Description** |
| 31 0 | PMMRn[31:0] | H'0000 0000 | R/W | Multiplexed Pin Setting Mask (Mặt nạ chân ghép kênh)  Viết giá trị vào bất kỳ thanh ghi nào trong số các thanh ghi lựa chọn chức năng GPIO / ngoại vi. Bao gồm:  + Thanh ghi lựa chọn chức năng GPSR.  + Các thanh ghi điều khiển chức năng ngoại vi IPSR.  + Thanh ghi điều khiển DRV.  + Thanh ghi điều khiển TDSEL.  + Thanh ghi điều khiển POC.  + Thanh ghi cho phép kéo của chân LSI PUEN.  + Thanh ghi điều khiển kéo lên / kéo xuống của chân LSI PUD.  + Thanh ghi lựa chọn module MODSEL.  + Thanh ghi bảo vệ miền bus DMPR.  + Thanh ghi cho phép trạng thái an toàn của cổng PSER.  + Thanh ghi lựa chọn trạng thái an toàn của cổng PSSR,.  + Thanh ghi đảo giá trị đầu ra của cổng PINV.  + Thanh ghi lựa chọn bộ đệm đầu vào của cổng PIS được kích hoạt bằng cách viết giá trị đảo của giá trị vào thanh ghi này. |

**Lưu ý:** Thanh ghi này phải được thiết lập trước khi thiết lập từng thanh ghi lựa chọn chức năng GPIO / ngoại vi bao gồm thanh ghi lựa chọn chức năng GPSR, các thanh ghi điều khiển chức năng ngoại vi IPSR, thanh ghi điều khiển DRV, thanh ghi điều khiển TDSEL, thanh ghi cho phép kéo của chân LSI PUEN, thanh ghi điều khiển kéo lên / kéo xuống của chân LSI PUD, thanh ghi lựa chọn module MODSEL, thanh ghi bảo vệ miền bus DMPR, thanh ghi điều khiển POC, thanh ghi cho phép trạng thái an toàn của cổng PSER, thanh ghi lựa chọn trạng thái an toàn của cổng PSSR, thanh ghi đảo giá trị đầu ra của cổng PINV và thanh ghi lựa chọn bộ đệm đầu vào của cổng PIS.

##### LSI Multiplexed Pin Setting Mask Enable Register (PMMERn)

**Chức năng**: PMMERn/PMMERSYS thực hiện bật/tắt điều khiển PMMR.

|  |
| --- |
| **LSI Multiplexed Pin Setting Mask Enable Register (PMMERn)**  LSI Multiplexed Pin Setting Mask Enable Register (PMMERn) là một thanh ghi trong vi điều khiển G4MH của hãng Renesas. PMMERn được sử dụng để cho phép hoặc vô hiệu hóa các bit tương ứng trong thanh ghi PMMRn.  Các bit trong PMMERn tương ứng với các bit trong PMMRn. Nếu một bit trong PMMERn được đặt thành giá trị "1", nghĩa là bit tương ứng trong PMMRn sẽ được kích hoạt. Ngược lại, nếu bit trong PMMERn được đặt thành giá trị "0", bit tương ứng trong PMMRn sẽ bị vô hiệu hóa và không thể sử dụng. |

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Bit** | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|  | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - |
| **R/W:** | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| **Bit** | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|  | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | PMMERn[0] / PMMERSYS[0] |
| **R/W:** | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Bit** | **Bit Name** | **Initial Value** | **R/W** | **Description** |
| 31 1 | - | - | R | - |
| 0 | PMMERn | 1 | R/W | Kích hoạt thanh ghi Multiplexed Pin Setting Mask Register (PMMRn)  0: Chức năng PMMR bị tắt. |

##### Bus Domain Protection Register 0-3 (DM0PRn , DM1PRn , DM2PRn , DM3PRn / DM0PRSYS ,DM1PRSYS , DM2PRSYS , DM3PRSYS) (n = 0 to 3)

**Chức năng:** DM\*PRn / DM\*PRSYS bật/tắt ghi vào thanh ghi từ miền bus.

|  |
| --- |
| **Bus Domain Protection Register**  Thanh ghi Bảo vệ Miền Bus (Bus Domain Protection Register) được sử dụng để cấu hình bảo vệ miền bus của các thanh ghi.  Mỗi thanh ghi Bảo vệ Miền Bus được phân chia thành 4 thanh ghi con (DM0PRn, DM1PRn, DM2PRn, DM3PRn) để cấu hình bảo vệ cho 4 miền bus khác nhau (n = 0 đến 3). Ngoài ra, có thêm 4 thanh ghi con khác (DM0PRSYS, DM1PRSYS, DM2PRSYS, DM3PRSYS) được sử dụng để cấu hình bảo vệ cho toàn bộ hệ thống.  Các bit trong thanh ghi này được sử dụng để đặt các giá trị bảo vệ cho từng miền bus. Các giá trị bảo vệ này bao gồm:   * Read: cho phép hoặc không cho phép vi điều khiển đọc dữ liệu từ một miền bus cụ thể. * Write: cho phép hoặc không cho phép vi điều khiển ghi dữ liệu vào một miền bus cụ thể. * Supervisor/Non-Supervisor: cho phép hoặc không cho phép các truy cập từ chế độ supervisor hoặc non-supervisor đến một miền bus cụ thể.   Các thanh ghi Bảo vệ Miền Bus này cho phép cấu hình các giá trị cho các miền bus khác nhau, bao gồm các tùy chọn bảo vệ cho truy cập vào các thanh ghi nào được phép, loại truy cập nào được phép (đọc hoặc ghi), và độ ưu tiên của các miền bus. Nó cũng cung cấp các chế độ bảo vệ khác nhau như bảo vệ không truy cập được hoặc cho phép truy cập không hạn chế.  Vì vậy, chức năng của Bus Domain Protection Register là đảm bảo an toàn và bảo vệ cho các thanh ghi của hệ thống, đặc biệt là khi có nhiều miền bus khác nhau và các thành phần của hệ thống được truy cập từ các đơn vị xử lý khác nhau. |

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Bit** | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|  | **DM\*PRn[31:16] / DM\*PRSYS[31:16]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| **Bit** | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|  | **DM\*PRn[15:0] / DM\*PRSYS[15:0]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

* ***Cấu hình thanh ghi*** cho ***n = 0 – 3***

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Bit** | **Bit Name** | **Initial Value** | **R/W** | **Description** |
| 31 0 | DM0PRn[31:0], DM0PRSYS[31:0] | H'FFFF FFFF | R/W | Bảo vệ miền BUS  0: Không cho phép ghi vào thanh ghi.  1: Cho phép ghi vào thanh ghi.  DMiPRn / DMiPRSYS và FILCLKSEL |
| DM1PRn[31:0], DM2PRn[31:0], DM3PRn[31:0], DM1PRSYS[31:0], DM2PRSYS[31:0], DM3PRSYS[31:0] | H'0000 0000 | R/W |

* ***Cấu hình thanh ghi cho n = 4 – 7***

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Bit** | **Bit Name** | **Initial Value** | **R/W** | **Description** |
| 31 0 | DM1PRn[31:0] | H'0000 0000 | R/W | Lựa chọn kích hoạt lỗi cho chức năng Trạng thái cổng an toàn.  0: Error Trigger 0 là không được chọn.  1: Error Trigger 0 là được chọn. |
| DM2PRn[31:0] | H'0000 0000 | R/W | Lựa chọn kích hoạt lỗi cho chức năng Trạng thái cổng an toàn.  0: Error Trigger 1 là không được chọn.  1: Error Trigger 1 là được chọn. |

##### GPIO/Peripheral Function Select Register (GPSRn)

**Chức năng**: GPSRn chọn các chức năng của các chân LSI ghép kênh.

|  |
| --- |
| **GPIO/Peripheral Function Select Register (GPSRn)**  GPIO/Peripheral Function Select Register (GPSRn) là một thanh ghi được sử dụng để cấu hình chức năng của các chân I/O của vi điều khiển. S4 CAR của hãng Renesas có nhiều GPSRn, được đánh số từ 0 đến 7. Mỗi thanh ghi GPSRn bao gồm 32 bit, với mỗi bit tương ứng với một chân I/O trên vi điều khiển.  Việc cấu hình chức năng của mỗi chân I/O được thực hiện bằng cách thiết lập giá trị cho bit tương ứng trong GPSRn. Giá trị này quyết định chức năng của chân I/O đó, có thể là chân GPIO (General Purpose Input/Output) hoặc là chân I/O được sử dụng cho các chức năng ngoại vi khác như UART, I2C, SPI, Timer, Capture/Compare, DMA, ....  Cụ thể, khi bit tương ứng trong GPSRn được thiết lập là 0, chân I/O được sử dụng làm GPIO. Trong khi đó, khi bit đó được thiết lập là 1, chân I/O sẽ được sử dụng cho các chức năng ngoại vi khác như UART, I2C, SPI, Timer, Capture/Compare, DMA, ... |

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Bit** | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|  | **GPSRn[31:16]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| **Bit** | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|  | **GPSRn[15:0]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

**Hình:** Cấu hình thanh ghi GPSRn

|  |  |  |  |
| --- | --- | --- | --- |
| **Bit** | **Bit Name** | **R/W** | **Description** |
| 31 0 | GPSRn[31:0] | R/W | 0: GPIO  1: Chức năng ngoại vi |

**Lưu ý**: Để cho phép cài đặt thanh ghi này, hãy cài đặt thích hợp thanh ghi mặt nạ cài đặt chốt ghép kênh (PMMR) ngay trước khi cài đặt thanh ghi này.

|  |
| --- |
| **Initial value (MD[4:1] =B'0000)**  Initial value (giá trị ban đầu) được đề cập đến thông qua viết tắt "MD[4:1] = B'0000". Đây là một trường hợp sử dụng mã hóa nhị phân (binary) để mô tả giá trị ban đầu của một thanh ghi hoặc một trường trong thanh ghi.  Trong trường hợp này, MD[4:1] được biểu diễn bằng 4 bit (từ bit thứ 4 đến bit thứ 1). Giá trị ban đầu của MD[4:1] được thiết lập là B'0000, trong đó B đại diện cho nhị phân (binary).  Vì vậy, giá trị ban đầu MD[4:1] = B'0000 có nghĩa là các bit từ thứ 4 đến thứ 1 của thanh ghi hoặc trường trong thanh ghi sẽ được thiết lập thành 0 khi ban đầu.  **Tại sao không mã hóa bit thứ 0**  Có nhiều lý do cho việc không mã hóa bit thứ 0 trong trường hợp này. Một trong những lý do chính là để giảm độ phức tạp của hệ thống mã hóa/đọc mã hóa.  Trong trường hợp này, thanh ghi chỉ có 4 bit và giá trị của bit thứ 0 không quan trọng. Việc bỏ qua mã hóa bit thứ 0 sẽ giúp giảm độ phức tạp của mã hóa và đọc mã hóa, đồng thời cũng giảm khối lượng công việc cần làm cho việc lập trình các ứng dụng liên quan đến thanh ghi này.  Ngoài ra, việc bỏ qua mã hóa bit thứ 0 cũng giúp tăng khả năng kiểm tra lỗi cho các thanh ghi lớn hơn với số lượng bit lớn hơn. Khi mã hóa các thanh ghi lớn hơn, việc bỏ qua bit không quan trọng sẽ giúp giảm khối lượng dữ liệu cần truyền và làm tăng khả năng kiểm tra lỗi. |

**Bảng 7.9:** Configuration of Registers in GPSR0, GPSR1

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | **GPSR0** | | | **GPSR1** | | |
| Pin name | Initial value (MD[4:1] =B'0000) | Initial value (MD[4:1] B'0000) | Pin name | Initial value (MD[4:1] =B'0000) | Initial value (MD[4:1] B'0000) |
| Bit 31 | — | — | — | — | — | — |
| Bit 30 | — | — | — | — | — | — |
| Bit 29 | — | — | — | — | — | — |
| Bit 28 | — | — | — | — | — | — |
| Bit 27 | — | — | — | — | — | — |
| Bit 26 | — | — | — | — | — | — |
| Bit 25 | — | — | — | — | — | — |
| Bit 24 | — | — | — | SD\_WP | 1 | 1 |
| Bit 23 | — | — | — | SD-CD | 1 | 1 |
| Bit 22 | — | — | — | MMC\_SD\_CMD | 1 | 1 |
| Bit 21 | — | — | — | MMC-D7 | 1 | 1 |
| Bit 20 | IRQ3 | 1 | 0 | MMC-DS | 1 | 1 |
| Bit 19 | IRQ2 | 1 | 0 | MMC-D6 | 1 | 1 |
| Bit 18 | IRQ1 | 1 | 0 | MMC-D4 | 1 | 1 |
| Bit 17 | IRQ0 | 1 | 0 | MMC-D5 | 1 | 1 |
| Bit 16 | MSIOF0\_SS2 | 1 | 0 | MMC-SD-D3 | 1 | 1 |
| Bit 15 | MSIOF0\_SS1 | 1 | 0 | MMC-SD-D2 | 1 | 1 |
| Bit 14 | MSIOF0\_SCK | 1 | 0 | MMC-SD-D1 | 1 | 1 |
| Bit 13 | MSIOF0\_TXD | 1 | 0 | MMC-SD-D0 | 1 | 1 |
| Bit 12 | MSIOF0\_RXD | 1 | 0 | MMC\_SD\_CLK | 1 | 1 |
| Bit 11 | MSIOF0\_SYNC | 1 | 0 | GP1-11 | 0 | 0 |
| Bit10 | CTS0# | 1 | 0 | GP1-10 | 0 | 0 |
| Bit 9 | RTS0# | 1 | 0 | GP1-09 | 0 | 0 |
| Bit 8 | SCK0 | 1 | 0 | GP1-08 | 0 | 0 |
| Bit 7 | TX0 | 1 | 0 | GP1-07 | 0 | 0 |
| Bit 6 | RX0 | 1 | 0 | GP1-06 | 1 | 0 |
| Bit 5 | HRTS0# | 1 | 0 | GP1-05 | 1 | 0 |
| Bit 4 | HCTS0# | 1 | 0 | GP1-04 | 1 | 0 |
| Bit 3 | HTX0 | 1 | 0 | GP1-03 | 1 | 0 |
| Bit 2 | HRX0 | 1 | 0 | GP1-02 | 1 | 0 |
| Bit 1 | HSCK0 | 1 | 0 | GP1-01 | 1 | 0 |
| Bit 0 | SCIF\_CLK | 1 | 0 | GP1-00 | 1 | 0 |

**Bảng 7.9:** Configuration of Registers in GPSR2-3

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | **GPSR2** | | | **GPSR3** | | |
| **Pin name** | **Initial value (MD[4:1] =B'0000)** | **Initial value (MD[4:1] B'0000)** | **Pin name** | **Initial value (MD[4:1] =B'0000)** | **Initial value (MD[4:1] B'0000)** |
| Bit 31 | — | — | — | — | — | — |
| Bit 30 | — | — | — | — | — | — |
| Bit 29 | — | — | — | — | — | — |
| Bit 28 | — | — | — | — | — | — |
| Bit 27 | — | — | — | — | — | — |
| Bit 26 | — | — | — | — | — | — |
| Bit 25 | — | — | — | — | — | — |
| Bit 24 | — | — | — | — | — | — |
| Bit 23 | — | — | — | — | — | — |
| Bit 22 | — | — | — | — | — | — |
| Bit 21 | — | — | — | — | — | — |
| Bit 20 | — | — | — | — | — | — |
| Bit 19 | — | — | — | — | — | — |
| Bit 18 | — | — | — | TSN0-AVTP-CAPTURE | 1 | 1 |
| Bit 17 | — | — | — | TSN0-AVTP-MATCH | 1 | 1 |
| Bit 16 | PCIE1-CLKREQ# | 0 | 0 | TSN0-AVTP-PPS | 1 | 1 |
| Bit 15 | PCIE0-CLKREQ# | 0 | 0 | TSN1\_AVTP\_CAPTURE | 1 | 1 |
| Bit 14 | QSPI0-IO3 | 1 | 1 | TSN1\_AVTP\_MATCH | 1 | 1 |
| Bit 13 | QSPI0-SSL | 1 | 1 | TSN1-AVTP-PPS | 1 | 1 |
| Bit 12 | QSPI0-MISO-IO1 | 1 | 1 | TSN0-MAGIC | 1 | 1 |
| Bit 11 | QSPI0-IO2 | 1 | 1 | TSN1-PHY-INT | 1 | 1 |
| Bit10 | QSPI0-SPCLK | 1 | 1 | TSN0-PHY-INT | 1 | 1 |
| Bit 9 | QSPI0-MOSI-IO0 | 1 | 1 | TSN2-PHY-INT | 1 | 1 |
| Bit 8 | QSPI1-SPCLK | 1 | 1 | TSN0-LINK | 1 | 1 |
| Bit 7 | QSPI1-MOSI-IO0 | 1 | 1 | TSN2-LINK | 1 | 1 |
| Bit 6 | QSPI1-IO2 | 1 | 1 | TSN1-LINK | 1 | 1 |
| Bit 5 | QSPI1\_MISO\_IO1 | 1 | 1 | TSN1-MDC | 1 | 1 |
| Bit 4 | QSPI1-IO3 | 1 | 1 | TSN0-MDC | 1 | 1 |
| Bit 3 | QSPI1-SSL | 1 | 1 | TSN2-MDC | 1 | 1 |
| Bit 2 | RPC-RESET# | 1 | 1 | TSN0-MDIO | 1 | 1 |
| Bit 1 | RPC\_WP# | 1 | 1 | TSN2-MDI0 | 1 | 1 |
| Bit 0 | RPC-INT# | 1 | 1 | TSN1 MDIO | 1 | 1 |

**Bảng 7.10:** Configuration of Registers in GPSR4-5

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | **GPSR4** | | | **GPSR5** | | |
|  | **Pin name** | **Initial value (MD[4:1] =B'0000)** | **Initial value (MD[4:1] B'0000)** | **Pin name** | **Initial value (MD[4:1] =B'0000)** | **Initial value (MD[4:1] B'0000)** |
| Bit 31 | — | — | — | — | — | — |
| Bit 30 | MSPI1CSS1 | 0 | 0 | — | — | — |
| Bit 29 | MSPI1CSS2 | 0 | 0 | — | — | — |
| Bit 28 | MSPI1SC | 0 | 0 | — | — | — |
| Bit 27 | MSPI1CSS0 | 0 | 0 | — | — | — |
| Bit 26 | MSPI1S0/MSPI1DCS | 0 | 0 | — | — | — |
| Bit 25 | MSPI1SI | 0 | 0 | — | — | — |
| Bit 24 | MSPI0CSSO | 0 | 0 | — | — | — |
| Bit 23 | MSPI0CSS1 | 0 | 0 | — | — | — |
| Bit 22 | MSPI0SO/MSPI0DCS | 0 | 0 | — | — | — |
| Bit 21 | MSPI0SI | 0 | 0 | — | — | — |
| Bit 20 | MSPI0SC | 0 | 0 | — | — | — |
| Bit 19 | GP4-19 | 0 | 0 | ETNB0TXDO | 0 | 0 |
| Bit 18 | GP4-18 | 0 | 0 | ETNB0TXEN | 0 | 0 |
| Bit 17 | GP4-17 | 0 | 0 | ETNB0TXD2 | 0 | 0 |
| Bit 16 | GP4-16 | 0 | 0 | ETNB0TXD1 | 0 | 0 |
| Bit 15 | GP4-15 | 0 | 0 | ETNB0TXCLK | 0 | 0 |
| Bit 14 | GP4-14 | 0 | 0 | ETNB0TXD3 | 0 | 0 |
| Bit 13 | GP4-13 | 0 | 0 | ETNB0TXER | 0 | 0 |
| Bit 12 | GP4-12 | 0 | 0 | ETNB0RXCLK | 0 | 0 |
| Bit 11 | GP4-11 | 0 | 0 | ETNB0RXDO | 0 | 0 |
| Bit10 | GP4-10 | 0 | 0 | ETNB0RXDV | 0 | 0 |
| Bit 9 | GP4-09 | 0 | 0 | ETNB0RXD2 | 0 | 0 |
| Bit 8 | GP4-08 | 0 | 0 | ETNB0RXD1 | 0 | 0 |
| Bit 7 | GP4-07 | 0 | 0 | ETNB0RXD3 | 0 | 0 |
| Bit 6 | GP4-06 | 0 | 0 | ETNB0RXER | 0 | 0 |
| Bit 5 | GP4-05 | 0 | 0 | ETNB0MDC | 0 | 0 |
| Bit 4 | GP4-04 | 0 | 0 | ETNB0LINKSTA | 0 | 0 |
| Bit 3 | GP4-03 | 0 | 0 | ETNB0VVOL | 0 | 0 |
| Bit 2 | GP4-02 | 0 | 0 | ETNB0MD | 0 | 0 |
| Bit 1 | GP4-01 | 0 | 0 | RIIC0SDA | 0 | 0 |
| Bit 0 | GP4 00 | 0 | 0 | RIIC0SCL | 0 | 0 |

**Bảng 7.11:** Configuration of Registers in GPSR6-7

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | **GPSR6** | | | **GPSR7** | | |
|  | Pin name | Initial value (MD[4:1] =B'0000) | Initial value (MD[4:1] B'0000) | Pin name | Initial value (MD[4:1] =B'0000) | Initial value (MD[4:1] B'0000) |
| Bit 31 | PRESETOUT1# | 1 | 1 | CAN15RX/INTP15 | 0 | 0 |
| Bit 30 | — | — | — | CAN15TX | 0 | 0 |
| Bit 29 | — | — | — | CAN14RX/INTP14 | 0 | 0 |
| Bit 28 | — | — | — | CAN14TX | 0 | 0 |
| Bit 27 | — | — | — | CAN13RX/INTP13 | 0 | 0 |
| Bit 26 | — | — | — | CAN13TX | 0 | 0 |
| Bit 25 | — | — | — | CAN12RX/INTP12 | 0 | 0 |
| Bit 24 | — | — | — | CAN12TX | 0 | 0 |
| Bit 23 | — | — | — | CAN11RX/INTP11 | 0 | 0 |
| Bit 22 | NMI1 | 0 | 0 | CAN11TX | 0 | 0 |
| Bit 21 | INTP32 | 0 | 0 | CAN10RX/INTP10 | 0 | 0 |
| Bit 20 | INTP33 | 0 | 0 | CAN10TX | 0 | 0 |
| Bit 19 | INTP34 | 0 | 0 | CAN9RX/INTP9 | 0 | 0 |
| Bit 18 | INTP35 | 0 | 0 | CAN9TX | 0 | 0 |
| Bit 17 | INTP36 | 0 | 0 | CAN8RX/INTP8 | 0 | 0 |
| Bit 16 | INTP37 | 0 | 0 | CAN8TX | 0 | 0 |
| Bit 15 | RLIN30RX/INTP16 | 0 | 0 | CAN7RX/INTP7 | 0 | 0 |
| Bit 14 | RLIN30TX | 0 | 0 | CAN7TX | 0 | 0 |
| Bit 13 | RLIN31RX/INTP17 | 0 | 0 | CAN6RX/INTP6 | 0 | 0 |
| Bit 12 | RLIN31TX | 0 | 0 | CAN6TX | 0 | 0 |
| Bit 11 | RLIN32RX/INTP18 | 0 | 0 | CAN5RX/INTP5 | 0 | 0 |
| Bit10 | RLIN32TX | 0 | 0 | CAN5TX | 0 | 0 |
| Bit 9 | RLIN33RX/INTP19 | 0 | 0 | CAN4RX/INTP4 | 0 | 0 |
| Bit 8 | RLIN33TX | 0 | 0 | CAN4TX | 0 | 0 |
| Bit 7 | RLIN34RX/INTP20 | 0 | 0 | CAN3RX/INTP3 | 0 | 0 |
| Bit 6 | RLIN34TX | 0 | 0 | CAN3TX | 0 | 0 |
| Bit 5 | RLIN35RX/INTP21 | 0 | 0 | CAN2RX/INTP2 | 0 | 0 |
| Bit 4 | RLIN35TX | 0 | 0 | CAN2TX | 0 | 0 |
| Bit 3 | RLIN36RX/INTP22 | 0 | 0 | CAN1RX/INTP1 | 0 | 0 |
| Bit 2 | RLIN36TX | 0 | 0 | CAN1TX | 0 | 0 |
| Bit 1 | RLIN37RX/INTP23 | 0 | 0 | CANORX/INTPO | 0 | 0 |
| Bit 0 | RLIN37TX | 0 | 0 | CANOTX | 0 | 0 |

##### Peripheral Function Select Register 0-1 (IP0SRn , IP1SRn , IP2SRn , IP3SRn)

**Chức năng**: IP\*SRn chọn các chức năng của các chân LSI ghép kênh.

|  |
| --- |
| **Peripheral Function Select Register** **IP\*SRn**  Peripheral Function Select Register 0-1 (IP0SRn, IP1SRn, IP2SRn, IP3SRn) là các thanh ghi trong vi điều khiển G4MH của hãng Renesas, được sử dụng để định cấu hình các chức năng ngoại vi. Mỗi thanh ghi IPxSRn (với x = 0 đến 3) điều khiển các chức năng ngoại vi cho mỗi kênh ngoại vi. Các bit trong thanh ghi này được sử dụng để chọn chức năng ngoại vi tương ứng với mỗi kênh.  Peripheral Function Select Register (IP\*SRn) là một tập hợp các thanh ghi trong S4 CAR của hãng Renesas, được sử dụng để lựa chọn chức năng chính cho các chân I/O (input/output) kết nối với các thiết bị ngoại vi trên vi điều khiển.  Cụ thể, IP0SRn và IP1SRn là các thanh ghi Peripheral Function Select Register 0 và Peripheral Function Select Register 1. Mỗi thanh ghi này bao gồm các trường bit để lựa chọn chức năng chính cho một số chân I/O của vi điều khiển.  Việc lựa chọn chức năng chính cho các chân I/O này phụ thuộc vào các tính năng và thiết bị ngoại vi được sử dụng trong ứng dụng của vi điều khiển. Thông qua việc cấu hình các thanh ghi IP\*SRn, người lập trình có thể định nghĩa các chân I/O được sử dụng cho các mục đích khác nhau như đầu vào analog, đầu vào kỹ thuật số, đầu ra PWM, đầu ra điện áp, đầu ra chuỗi, ...  Sự lựa chọn chức năng chính cho các chân I/O này được thực hiện bằng cách thiết lập các giá trị bit tương ứng trong các thanh ghi IP\*SRn. |

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Bit** | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|  | **IP\*SRn[31:16]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| **Bit** | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|  | **IP\*SRn[15:0]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

|  |  |  |
| --- | --- | --- |
| **Bit** | **R/W** | **Description** |
| 31 0 | R/W | Chức năng của các chân LSI được chọn theo bảng bên dưới. |

**Lưu ý:** Để cho phép cài đặt thanh ghi này, hãy cài đặt thích hợp thanh ghi mặt nạ cài đặt chốt ghép kênh (PMMR) ngay trước khi cài đặt thanh ghi này.

**Bảng 7.12**: Configuration of Registers in IP0SR0 , IP1SR0 , IP2SR0 **(0,1,2 của GPIO 0)**

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **Pin name** | **Register** |  |  | **Register Value [4 bits]** |  |  |  |
|  |  | **H'0** | **H'1** | **H'2** | **H'3** |  | **H'5** |
| SCIF\_CLK | IP0SR0[3:0] | SCIF\_CLK | — | — | — |  | **—** |
| HSCK0 | IP0SR0[7:4] | HSCK0 | SCK3 | MSIOF3\_SCK | — |  | TSNO\_AVTP\_CAPTUR E |
| HRX0 | IP0SR0[11:8] | HRX0 | RX3 | MSIOF3\_RXD | — |  | TSNO\_AVTP\_MATCH |
| HTX0 | IP0SR0[15:12] | HTX0 | TX3 | MSIOF3\_TXD | — |  | — |
| HCTS0# | IP0SR0[19:16] | HCTS0# | CTS3# | MSIOF3\_SS1 | — |  | TSNO\_MDC |
| HRTS0# | IP0SR0[23:20] | HRTS0# | RTS3# | MSIOF3\_SS2 | — |  | TSNO\_MDIO |
| RX0 | IP0SR0[27:24] | RX0 | HRX1 | — | MSIOF1\_RXD |  | TSN1\_AVTP\_MATCH |
| TX0 | IP0SR0[31:28] | TX0 | HTX1 | — | MSIOF1\_TXD |  | TSN1\_AVTP\_CAPTUR E |
| SCK0 | IP1SR0[3:0] | SCK0 | HSCK1 | — | MSIOF1\_SCK |  | — |
| RTS0# | IP1SR0[7:4] | RTS0# | HRTS1# | MSIOF3\_SYNC | — |  | TSN1\_MDIO |
| CTS0# | IP1SR0[11:8] | CTS0# | HCTS1# | — | MSIOF1\_SYNC |  | TSN1\_MDC |
| MSIOF0\_SYNC | IP1SR0[15:12] | MSIOF0\_SYNC | HCTS3# | CTS1# | IRQ4 |  | TSNO-LINK |
| MSIOF0\_RXD | IP1SR0[19:16] | MSIOP0-RXD | HRX3 | RX1 | — |  | — |
| MSIOF0\_TXD | IP1SR0[23:20] | MSIOP0-TXD | HTX3 | TX1 | — |  | — |
| MSIOF0\_SCK | IP1SR0[27:24] | MSIOF0\_SCK | HSCK3 | SCK1 | — |  | — |
| MSIOF0\_SS1 | IP1SR0[31:28] | MSIOF0\_SS1 | HRTS3# | RTS1# | IRQ5 |  | TSN1\_LINK |
| MSIOF0\_SS2 | IP2SR0[3:0] | MSIOF0\_SS2 | — | — | — |  | TSN2-LINK |
| IRQ0 | IP2SR0[7:4] | IRQ0 | — | — | MSIOF1\_SS1 |  | TSNO\_MAGIC |
| IRQ1 | IP2SR0[11:8] | IRQ1 | — | — | MSIOF1\_SS2 |  | TSNO\_PHY\_INT |
| IRQ2 | IP2SR0[15:12] | IRQ2 | — | — | — |  | TSN1\_PHY\_INT |
| IRQ3 | IP2SR0[19:16] | IRQ3 | — | — | — |  | TSN2\_PHY\_INT |

**Bảng 7.13**: Configuration of Registers in IP0SR1 **(0 của GPIO 1)**

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **Pin name** | **Register** | **Register Value [4 bits]** | | | | | |
|  |  | **H'0** | **H'1** | **H'2** | **H'3** | **H'4** | **H'5** |
| GP1-00 | IP0SR1[3:0] | GP1-00 | TCLK1 | HSCK2 | — | — | — |
| GP1\_01 | IP0SR1[7:4] | GP1-01 | TCLK4 | HRX2 | — | — | — |
| GP1\_02 | IP0SR1[11:8] | GP1-02 | — | HTX2 | MSIOF2\_SS1 | — | TSN2\_MDC |
| GP1\_03 | IP0SR1[15:12] | GP1-03 | TCLK2 | HCTS2# | MSIOF2\_SS2 | CTS4# | TSN2\_MDIO |
| GP1\_04 | IP0SR1[19:16] | GP1\_04 | TCLK3 | HRTS2# | MSIOF2\_SYNC | RTS4# | — |
| GP1\_05 | IP0SR1 [23:20] | GP1\_05 | MSIOF2\_SCK | SCK4 | — | — | — |
| GP1\_06 | IP0SR1 [27:24] | GP1-06 | MSIOF2\_RXD | RX4 | — | — | — |
| GP1\_07 | IP0SR1 [31:28] | GP1-07 | MSIOF2\_TXD | TX4 | — | — | — |
| GP1-08 | — | GP1\_08 | — | — | — | — | — |
| GP1\_09 | — | GP1\_09 | — | — | — | — | — |
| GP1\_10 | — | GP1-10 | — | — | — | — | — |
| GP1-11 | — | GP1-11 | — | — | — | — | — |
| MMC\_SD\_CLK | — | MMC-SD-CLK | — | — | — | — | — |
| MMC\_SD\_D0 | — | MMC-SD-DO | — | — | — | — | — |
| MMC\_SD\_D1 | — | MMC-SD-D1 | — | — | — | — | — |
| MMC\_SD\_D2 | — | MMC-SD-D2 | — | — | — | — | — |
| MMC\_SD\_D3 | — | MMC\_SD\_D3 | — | — | — | — | — |
| MMC\_D5 | — | MMC-D5 | — | — | — | — | — |
| MMC-D4 | — | MMC-D4 | — | — | — | — | — |
| MMC-D6 | — | MMC-D6 | — | — | — | — | — |
| MMC-DS | — | MMC-DS | — | — | — | — | — |
| MMC\_D7 | — | MMC-D7 | — | — | — | — | — |
| MMC-SD-CMD | — | MMC\_SD\_CMD | — | — | — | — | — |
| SD-CD | — | SD-CD | — | — | — | — | — |
| SD WP |  | SD WP |  |  |  | — | — |

**Bảng 7.14**: Configuration of Registers in IP0SR4 , IP1SR4 , IP2SR4 , IP3SR4 **(0, 1, 2, 3 của GPIO 4)**

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **Pin name** | **Register** |  | **Register Value [4 bits]** |  |  |  |  |
|  |  | H'0 | H'1 | H'2 | H'3 | H'4 | H'5 |
| GP4-00 | IP0SR4[3:O] | GP4-00 | MSPI4SC | — | TAUD0I2 | TAUD0O2 | — |
| GP4-01 | IP0SR4[7:4] | GP4-01 | MSPI4SI | — | TAUD0I4 | TAUD0O4 | — |
| GP4-02 | IP0SR4[11:8] | GP4-02 | MSPI4SO/MSPI4DCS | — | TAUD0I3 | TAUD0O3 | — |
| GP4-03 | IP0SR4[15:12] | GP4-03 | MSPI4CSS1 | — | TAUD0I6 | TAUD0O6 | MSPI5SO/MSPI5DCS |
| GP4-04 | IP0SR4[19:16] | GP4-04 | MSPI4CSS0 | MSPI4SSI# | TAUD0I5 | TAUD0O5 | MSPI5SC |
| GP4-05 | IP0SR4[23:20] | GP4-05 | MSPI4CSS3 | — | TAUD0I8 | TAUD0O8 | MSPI5SSI# |
| GP4-06 | IP0SR4[27:24] | GP4-06 | MSPI4CSS2 | — | TAUD0I7 | TAUD0O7 | MSPI5SI |
| GP4-07 | IP0SR4[31:28] | GP4-07 | MSPI4CSS5 | — | TAUD0I10 | TAUD0010 | MSPI5CSS1 |
| GP4-08 | IP1SR4[3:0] | GP4-08 | MSPI4CSS4 | — | TAUD0I9 | TAUD0O9 | MSPI5CSS0 |
| GP4-09 | IP1SR4[7:4] | GP4-09 | MSPI4CSS7 | — | TAUD0I12 | TAUD0O12 | MSPI5CSS3 |
| GP4-10 | IP1SR4[11:8] | GP4\_10 | MSPI4CSS6 | — | TAUD0I11 | TAUD0O11 | MSPI5CSS2 |
| GP4-11 | IP1SR4[15:12] | GP4\_11 | ERRORINO# | — | TAUD0I14 | TAUD0O14 | — |
| GP4-12 | IP1SR4[19:16] | GP4\_12 | ERROROUT-C# | — | TAUD0I13 | TAUD0O13 | — |
| GP4-13 | — | GP4\_13 | — | — | — | — | — |
| GP4-14 | IP1SR4[27:24] | GP4\_14 | ERRORIN1# | — | TAUD0I15 | TAUD0O15 | — |
| GP4-15 | IP1SR4[31:28] | GP4\_15 | MSPI1CSS3 | — | TAUD1I1 | TAUD1O1 | — |
| GP4-16 | IP2SR4[3:0] | GP4\_16 | — | — | TAUD1I0 | TAUD1O0 | — |
| GP4-17 | IP2SR4[7:4] | GP4\_17 | MSPI1CSS5 | — | TAUD1I3 | TAUD1O3 | — |
| GP4-18 | IP2SR4[11:8] | GP4\_18 | MSPI1CSS4 | — | TAUD1I2 | TAUD1O2 | — |
| GP4-19 | IP2SR4[15:12] | GP4\_19 | MSPI1CSS6 | — | TAUD1I4 | TAUD1O4 | — |
| MSPIOSC | IP2SR4[19:16] | MSPIOSC | MSPI1CSS7 | — | TAUD1I5 | TAUD1O5 | — |
| MSPIOSI | IP2SR4[23:20] | MSPIOSI | — | — | TAUD1I7 | TAUD1O7 | — |
| MSPIOSO/MSPIODCS | IP2SR4[27:24] | MSPIOSO/MSPIODCS | — | — | TAUD1I6 | TAUD1O6 | — |
| MSPI0CSS1 | IP2SR4[31:28] | MSPIOCSS1 | — | — | TAUD1I9 | TAUD1O9 | — |
| MSPIOCSSO | IP3SR4[3:0] | MSPIOCSSO | MSPIOSSI# | — | TAUD1I8 | TAUD1O8 | — |
| MSPI1SI | IP3SR4[7:4] | MSPI1SI | — | MSPI0CSS4 | TAUD1I12 | TAUD1O12 | — |
| MSPI1SO/MSPI1DCS | IP3SR4[11:8] | MSPI1SO/MSPI1DCS | — | MSPI0CSS3 | TAUD1I11 | TAUD1O11 | — |
| MSPI1CSSO | IP3SR4[15:12] | MSPI1CSS0 | MSPI1SSI# | MSPI0CSS5 | TAUD1I13 | TAUD1O13 | — |
| MSPI1SC | IP3SR4[19:16] | MSPI1SC | — | MSPI0CSS2 | TAUD1I10 | TAUD1O10 | — |
| MSPI1CSS2 | IP3SR4[23:20] | MSPI1CSS2 | — | MSPI0CSS7 | TAUD1I15 | TAUD1O15 | — |
| MSPI1CSS1 | IP3SR4[27:24] | MSPI1CSS1 | — | MSPI0CSS6 | TAUD1I14 | TAUD1O14 | — |

**Bảng 7.15**: Configuration of Registers in IP0SR5 **(0 của GPIO 5)**

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **Pin name** | **Register** | **Register Value [4 bits]** | | | | | |
| **H'0** | **H'1** | **H'2** | **H'3** | **H'4** | **H'5** |
| RIICOSCL | IP0SR5[3:0] | RIICOSCL | — | — | TAUDOIO | TAUDOOO | — |
| RIICOSDA | IP0SR5[7:4] | RIICOSDA | — | — | TAUD0I1 | TAUD0O1 | — |
| ETNBOMD | IP0SR5[11:8] | ETNBOMD | MSPI1CSS1 | — | MSPI0CSS6 | TAUD1I14 | TAUD1O14 |
| ETNBOVVOL | IP0SR5[15:12] | ETNBOVVOL | MSPI1SI | — | MSPI0CSS4 | TAUD1I12 | TAUD1O12 |
| ETNBOLINKSTA | IP0SR5[19:16] | ETNBOLINKSTA | MSPI1CSS0 | MSPI1SSI# | MSPI0CSS5 | TAUD1I13 | TAUD1O13 |
| ETNBOMDC | IP0SR5[23:20] | ETNBOMDC | MSPI1CSS2 | — | MSPI0CSS7 | TAUD1I15 | TAUD1O15 |
| ETNBORXER | — | ETNBORXER | — | — | — | — | — |
| ETNB0RXD3 | — | ETNB0RXD3 | — | — | — | — | — |
| ETNB0RXD1 | — | ETNBORXD1 | — | — | — | — | — |
| ETNB0RXD2 | — | ETNB0RXD2 | — | — | — | — | — |
| ETNBORXDV | — | ETNBORXDV | — | — | — | — | — |
| ETNBORXDO | — | ETNBORXDO | — | — | — | — | — |
| ETNBORXCLK | IP0SR5[27:24] | ETNBORXCLK | ETNBOCRS-DV | — | — | — | — |
| ETNBOTXER | — | ETNBOTXER | — | — | — | — | — |
| ETNB0TXD3 | — | ETNB0TXD3 | — | — | — | — | — |
| ETNBOTXCLK | IP0SR5[31:28] | ETNBOTXCLK | ETNBOREFCLK | — | — | — | — |
| ETNBOTXD1 | — | ETNBOTXD1 | — | — | — | — | — |
| ETNB0TXD2 | — | ETNB0TXD2 | — | — | — | — | — |
| ETNBOTXEN | — | ETNBOTXEN | — | — | — | — | — |
| ETNBOTXDO | — | ETNBOTXDO | — | — | — | — | — |

**Bảng 7.16**: Configuration of Registers in IP0SR6 , IP1SR6 , IP2SR6 **(0, 1, 2, của GPIO 6)**

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Pin name** | **Register** | **Register Value [4 bĩts]** | | | | | | |
| **H'0** | **H'1** | **H'2** | **H'3** | **H'4** | **H'5** | **H'6** |
| RLIN37TX | IP0SR6[3:0] | RLIN37TX | MSPI5CSS3 | — | — | — | — | — |
| RLIN37RX/INTP23 | IP0SR6[7:4] | RLIN37RX/INTP23 | MSPI5CSS2 | — | — | — | — | — |
| RLIN36TX | IP0SR6[11:8J | RLIN36TX | MSPI5CSS1 | — | — | — | — | — |
| RLIN36RX/INTP22 | IP0SR6[15:12] | RLIN36RX/INTP22 | MSPI5CSS0 | — | — | — | — | — |
| RLIN35TX | IP0SR6[19:16] | RLIN35TX | MSPI5SSI# | — | — | — | — | — |
| RLIN35RX/INTP21 | IP0SR6[23:20] | RLIN35RX/INTP21 | MSPI5SI | — | — | — | — | — |
| RLIN34TX | IP0SR6[27:24] | RLIN34TX | MSPI5SO/MSPI5DCS | — | — | — | — | — |
| RLIN34RX/INTP20 | IP0SR6[31:28] | RLIN34RX/INTP20 | MSPI5SC | — | — | — | — | — |
| RLIN33TX | IP1SR6[3:0] | RLIN33TX | — | — | TAUJ3O3 | TALU3I3 | NMI1 | CAN15TX |
| RLIN33RX/INTP19 | IP1SR6[7:4] | RLIN33RX/INTP19 | — | — | TAUJ3O2 | TALU3I2 | INTP37 | CAN15RX/INTP15 |
| RLIN32TX | IP1SR6[11:8] | RLIN32TX | — | — | TAUJ3O1 | TAUJ3I1 | INTP36 | CAN14TX |
| RLIN32RX/INTP18 | IP1SR6[15:12] | RLIN32RX/INTP18 | — | — | TAUJ3O0 | TAUJ3IO | INTP35 | CAN14RX/INTP14 |
| RLIN31TX | IP1SR6[19:16] | RLIN31TX | — | — | TAUJ1I3 | TAUJ103 | INTP34 | CAN13TX |
| RLIN31RX/INTP17 | IP1SR6[23:20] | RLIN31RX/INTP17 | — | — | TAUJ1I2 | TALU102 | INTP33 | CAN13RX/INTP13 |
| RLIN30TX | IP1SR6[27:24] | RLIN30TX | — | — | TAUJ1I1 | TAUJ101 | INTP32 | CAN12TX |
| RLIN30RX/INTP16 | IP1SR6[31:28] | RLIN30RX/INTP16 | — | — | TAUJ1IO | TAUJ1O0 | — | CAN12RX/INTP12 |
| INTP37 | IP2SR6[3:0] | INTP37 | — | EXTCLKOO | — | — | — | — |
| INTP36 | IP2SR6[7:4] | INTP36 | RTCAOOUT | — | — | — | — | — |
| INTP35 | — | INTP35 | — | — | — | — | — | — |
| INTP34 | — | INTP34 | — | — | — | — | — | — |
| INTP33 | — | INTP33 | — | — | — | — | — | — |
| INTP32 | IP2SR6[11:8] | INTP32 | — | PLXAOSTPVVT | — | — | — | — |
| NMI1 | — | NMI1 | — | — | — | — | — | — |
| — | — | — | — | — | — | — | — | — |
| — | — | — | — | — | — | — | — | — |
| — | — | — | — | — | — | — | — | — |
| — | — | — | — | — | — | — | — | — |
| — | — | — | — | — | — | — | — | — |
| — | — | — | — | — | — | — | — | — |
| — | — | — | — | — | — | — | — | — |
| — | — | — | — | — | — | — | — | — |
| PRESETOUT1# | — | PRESETOUT1# | — | — | — | — | — | — |

**Bảng 7.17**: Configuration of Registers in IP0SR7 , IP1SR7 , IP2SR7 , IP3SR7 **(0, 1, 2, 3 của GPIO 7)**

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Pin name** | **Register** | **Register Value [4 bits]** | | | |  |  |  |
| **H'0** | **H'1** | **H'2** | **H'3** | **H'4** | **H'5** | **H'6** |
| CANOTX | IP0SR7[3:0] | CANOTX | RSENTOSPCO | — | MSPI2SO/MSPI2DCS | — | RLIN34TX | — |
| CANORX/INTPO | IP0SR7[7:4] | CANORX/INTPO | RSENTORX | RSENTORX/RSENTOSPCO | MSPI2SC | — | RLIN34RX/INTP2O | — |
| CAN1TX | IP0SR7[11:8] | CAN1TX | RSENT1SPCO | — | MSPI2SSI# | MSPI2CSS0 | RLIN35TX | — |
| CAN1RX/INTP1 | IP0SR7[15:12] | CAN1RX/INTP1 | RSENT1RX | RSENT1RX/RSENT1SPCO | MSPI2SI | — | RLIN35RX/INTP21 | — |
| CAN2TX | IP0SR7[19:16] | CAN2TX | RSENT2SPCO | — | — | MSPI2CSS2 | RLIN36TX | — |
| CAN2RX/INTP2 | IP0SR7[23:20] | CAN2RX/INTP2 | RSENT2RX | RSENT2RX/RSENT2SPCO | — | MSPI2CSS1 | RLIN36RX/INTP22 | — |
| CAN3TX | IP0SR7[27:24] | CAN3TX | RSENT3SPCO | — | — | MSPI2CSS4 | RLIN37TX | — |
| CAN3RX/INTP3 | IP0SR7[31:28] | CAN3RX/INTP3 | RSENT3RX | RSENT3RX/RSENT3SPCO | — | MSPI2CSS3 | RLIN37RX/INTP23 | — |
| CAN4TX | IP1SR7[3:0] | CAN4TX | RSENT4SPCO | — | — | MSPI2CSS6 | RLIN312TX | — |
| CAN4RX/INTP4 | IP1SR7[7:4] | CAN4RX/INTP4 | RSENT4RX | RSENT4RX/RSENT4SPCO | — | MSPI2CSS5 | RLIN312RX/INTP28 | — |
| CAN5TX | IP1SR7[11:8] | CAN5TX | RSENT5SPCO | — | — | — | RLIN313TX | — |
| CAN5RX/INTP5 | IP1SR7[15:12] | CAN5RX/INTP5 | RSENT5RX | RSENT5RX/RSENT5SPCO | — | MSPI2CSS7 | RLIN313RX/INTP29 | — |
| CAN6TX | IP1SR7[19:16] | CAN6TX | RSENT6SPCO | — | MSPI3SO/MSPI3DCS | — | RLIN314TX | — |
| CAN6RX/INTP6 | IP1SR7[23:20] | CAN6RX/INTP6 | RSENT6RX | RSENT6RX/RSENT6SPCO | MSPI3SC | — | RLIN314RX/INTP30 | — |
| CAN7TX | IP1SR7[27:24Í | CAN7TX | RSENT7SPCO | — | MSPI3SSI# | — | RLIN315TX | — |
| CAN7RX/INTP7 | IP1SR7[31:28] | CAN7RX/INTP7 | RSENT7RX | RSENT7RX/RSENT7SPCO | MSPI3SI | — | RLIN315RX/INTP31 | — |
| CAN8TX | IP2SR7[3:0] | CAN8TX | RLIN38TX | — | MSPI3CSS1 | — | — | — |
| CAN8RX/INTP8 | IP2SR7[7:4] | CAN8RX/INTP8 | RLIN38RX/INTP24 | — | MSPI3CSS0 | — | — | — |
| CAN9TX | IP2SR7[11:8] | CAN9TX | RLIN39TX | — | MSPI3CSS3 | — | — | — |
| CAN9RX/INTP9 | IP2SR7[15:12] | CAN9RX/INTP9 | RLIN39RX/INTP25 | — | MSPI3CSS2 | — | — | — |
| CAN1OTX | IP2SR7[19:16] | CAN1OTX | RLIN310TX | — | MSPI3CSS5 | — | — | — |
| CAN1ORX/INTP1O | IP2SR7[23:20] | CAN1ORX/1NTP1O | RLIN310RX/INTP26 | — | MSPI3CSS4 | — | — | — |
| CAN11TX | IP2SR7[27:24Í | CAN11TX | RLIN311TX | — | MSPI3CSS7 | — | — | RTCAOOUT |
| CAN11RX/INTP11 | IP2SR7[31:28] | CAN11RX/INTP11 | RLIN311RX/INTP27 | — | MSPI3CSS6 | — | — | EXTCLKOO |
| CAN12TX | IP3SR7[3:0] | CAN12TX | RLIN312TX | — | — | — | — | — |
| CAN12RX/INTP12 | IP3SR7[7:4] | CAN12RX/INTP12 | RLIN312RX/INTP28 | — | — | — | — | — |
| CAN13TX | IP3SR7[11:8] | CAN13TX | RLIN313TX | FLXAORXDB | — | — | — | — |
| CAN13RX/INTP13 | IP3SR7[15:12] | CAN13RX/INTP13 | RLIN313RX/INTP29 | FLXAORXDA | — | — | — | — |
| CAN14TX | IP3SR7[19:16] | CAN14TX | RLIN314TX | FLXAOTXDB | — | — | — | — |
| CAN14RX/INTP14 | IP3SR7[23:20] | CAN14RX/INTP14 | RLIN314RX/INTP30 | FLXAOTXDA | — | — | — | — |
| CAN15TX | IP3SR7[27:24] | CAN15TX | RLIN315TX | FLXAOTXENB | — | — | — | — |
| CAN15RX/INTP15 | IP3SR7[31:28] | CAN15RX/INTP15 | RLIN315RX/INTP31 | FLXAOTXENA | — | — | — | — |

##### DRV Control Register 0-3 (DRV0CTRLn, DRV1CTRLn, DRV2CTRLn, DRV3CTRLn / DRV0CTRLSYS, DRV1CTRLSYS)

**Chức năng:** DRV\*CTRLn / DRV\*\*CTRLSYS kiểm soát khả năng truyền động của các chốt. Cài đặt này chỉ liên quan đến đầu ra.

|  |
| --- |
|  |

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Output buffer | | | | | |
| **Drive capability** | | | | | |
| DRV1 | DRV2 | DRV3 | **Voltage type** | | |
| for 1.8V/3.3V | for 2.5V/3.3V | for 3.3V |
| L | L | L | 1/8 | 1/8 | 1/8 |
| H | L | L | 2/8 | 2/8 | 2/8 |
| L | H | L | 3/8 | 3/8 | 3/8 |
| H | H | L | 4/8 | 4/8 | 4/8 |
| L | L | H | 5/8 | 5/8 | 5/8 |
| H | L | H | 6/8 | 6/8 | 6/8 |
| L | H | H | 7/8 | 7/8 | 7/8 |
| H | H | H | Full | Full | Full |

|  |  |  |
| --- | --- | --- |
| Output buffer | | |
| Drive capability | | |
| DRV1 | DRV2 | **Voltage type** |
| for 1.8V |
| L | L | 1/4 |
| H | L | 2/4 |
| L | H | 3/4 |
| H | H | Full |

|  |
| --- |
| Drive capability là khả năng của một linh kiện điện tử (thường là một đầu ra hoặc đầu vào kỹ thuật số) để cung cấp hoặc chấp nhận mức tín hiệu điện áp hoặc dòng điện đủ mạnh để đáp ứng yêu cầu của thiết bị ngoại vi hoặc mạch điện. |

|  |
| --- |
| DRV1, DRV2, DRV3 có 8 trạng thái =  DRV1, DRV2 có 4 trạng thái = |

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Bit** | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|  | **DRV\*CTRLn[31:16] / DRV\*\*CTRLSYS[31:16]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| **Bit** | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|  | **DRV\*CTRLn[15:0] / DRV\*\*CTRLSYS[15:0]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

**Lưu ý:** \* 0 đến 3 , \*\* 0 đến 1

**Lưu ý:** Để cho phép thiết lập giá trị cho thanh ghi này, cần thiết phải đặt giá trị phù hợp cho thanh ghi "multiplexed pin setting mask register (PMMR)" ngay trước khi thiết lập giá trị cho thanh ghi này.

**Bảng 7.20:** Configuration of Registers in DRV0CTRL0 , DRV1CTRL0 , DRV2CTRL0 , DRV3CTRL0

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | **DRV0CTRL0** | | | **DRV1CTRL0** | | |
| **Pin name** |  | **Initial value** | **Pin name** |  | **Initial value** |
| Bit 31 | — | — | 0 | — | — | 0 |
| Bit 30 | TX0 | DRV3 | 1 | MSIOF0\_SS1 | DRV3 | 1 |
| Bit 29 | DRV2 | 1 | DRV2 | 1 |
| Bit 28 | DRV1 | 0 | DRV1 | 0 |
| Bit 27 | — | — | 0 | — | — | 0 |
| Bit 26 | RX0 | DRV3 | 1 | MSIOF0\_SCK | DRV3 | 1 |
| Bit 25 | DRV2 | 1 | DRV2 | 1 |
| Bit 24 | DRV1 | 0 | DRV1 | 0 |
| Bit 23 | — | — | 0 | — | — | 0 |
| Bit 22 | HRTS0# | DRV3 | 1 | MSIOF0\_TXD | DRV3 | 1 |
| Bit 21 | DRV2 | 1 | DRV2 | 1 |
| Bit 20 | DRV1 | 0 | DRV1 | 0 |
| Bit 19 | — | — | 0 | — | — | 0 |
| Bit 18 | HCTS0# | DRV3 | 1 | MSIOF0\_RXD | DRV3 | 1 |
| Bit 17 | DRV2 | 1 | DRV2 | 1 |
| Bit 16 | DRV1 | 0 | DRV1 | 0 |
| Bit 15 | — | — | 0 | — | — | 0 |
| Bit 14 | HTX0 | DRV3 | 1 | MSIOF0\_SYNC | DRV3 | 1 |
| Bit 13 | DRV2 | 1 | DRV2 | 1 |
| Bit 12 | DRV1 | 0 | DRV1 | 0 |
| Bit 11 | — | — | 0 | — | — | 0 |
| Bit10 | HRX0 | DRV3 | 1 | CTS0# | DRV3 | 1 |
| Bit 9 | DRV2 | 1 | DRV2 | 1 |
| Bit 8 | DRV1 | 0 | DRV1 | 0 |
| Bit 7 | — | — | 0 | — | — | 0 |
| Bit 6 | HSCK0 | DRV3 | 1 | RTS0# | DRV3 | 1 |
| Bit 5 | DRV2 | 1 | DRV2 | 1 |
| Bit 4 | DRV1 | 0 | DRV1 | 0 |
| Bit 3 | — | — | 0 | — | — | 0 |
| Bit 2 | SCIF\_CLK | DRV3 | 1 | SCK0 | DRV3 | 1 |
| Bit 1 | DRV2 | 1 | DRV2 | 1 |
| Bit 0 | DRV1 | 0 | DRV1 | 0 |

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | **DRV2CTRL0** | | | **DRV3CTRL0** | | |
| **Pin name** |  | **Initial value** | **Pin name** |  | **Initial value** |
| Bit 31 | — | — | 0 | — | — | 0 |
| Bit 30 | — | — | 0 | — | — | 0 |
| Bit 29 | — | — | 0 | — | — | 0 |
| Bit 28 | — | — | 0 | — | — | 0 |
| Bit 27 | — | — | 0 | — | — | 0 |
| Bit 26 | — | — | 0 | — | — | 0 |
| Bit 25 | — | — | 0 | — | — | 0 |
| Bit 24 | — | — | 0 | — | — | 0 |
| Bit 23 | — | — | 0 | — | — | 0 |
| Bit 22 | — | — | 0 | — | — | 0 |
| Bit 21 | — | — | 0 | — | — | 0 |
| Bit 20 | — | — | 0 | — | — | 0 |
| Bit 19 | — | — | 0 | — | — | 0 |
| Bit 18 | IRQ3 | DRV3 | 1 | — | — | 0 |
| Bit 17 | DRV2 | 1 | — | — | 0 |
| Bit 16 | DRV1 | 0 | — | — | 0 |
| Bit 15 | — | — | 0 | — | — | 0 |
| Bit 14 | IRQ2 | DRV3 | 1 | — | — | 0 |
| Bit 13 | DRV2 | 1 | — | — | 0 |
| Bit 12 | DRV1 | 0 | — | — | 0 |
| Bit 11 | — | — | 0 | — | — | 0 |
| Bit10 | IRQ1 | DRV3 | 1 | — | — | 0 |
| Bit 9 | DRV2 | 1 | — | — | 0 |
| Bit 8 | DRV1 | 0 | — | — | 0 |
| Bit 7 | — | — | 0 | — | — | 0 |
| Bit 6 | IRQ0 | DRV3 | 1 | — | — | 0 |
| Bit 5 | DRV2 | 1 | — | — | 0 |
| Bit 4 | DRV1 | 0 | — | — | 0 |
| Bit 3 | — | — | 0 | — | — | 0 |
| Bit 2 | MSIOF0\_SS2 | DRV3 | 1 | — | — | 0 |
| Bit 1 | DRV2 | 1 | — | — | 0 |
| Bit 0 | DRV1 | 0 | — | — | 0 |

**Bảng 7.21:** Configuration of Registers in DRV0CTRL1 , DRV1CTRL1 , DRV2CTRL1 , DRV3CTRL1

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  | **DRV0CTRL1** |  |  | **DRV1CTRL1** |  |
| **Pin name** |  | **Initial value** | **Pin name** |  | **Initial value** |
| Bit 31 | — | — | 0 | — | — | 0 |
| Bit 30 | GP1\_07 | DRV3 | 1 | MMC\_SD\_D2 | DRV3 | 1 |
| Bit 29 | DRV2 | 1 | DRV2 | 1 |
| Bit 28 | DRV1 | 0 | DRV1 | 0 |
| Bit 27 | — | — | 0 | — | — | 0 |
| Bit 26 | GP1\_06 | DRV3 | 1 | MMC\_SD\_D1 | DRV3 | 1 |
| Bit 25 | DRV2 | 1 | DRV2 | 1 |
| Bit 24 | DRV1 | 0 | DRV1 | 0 |
| Bit 23 | — | — | 0 | — | — | 0 |
| Bit 22 | GP1\_05 | DRV3 | 1 | MMC\_SD\_D0 | DRV3 | 1 |
| Bit 21 | DRV2 | 1 | DRV2 | 1 |
| Bit 20 | DRV1 | 0 | DRV1 | 0 |
| Bit 19 | — | — | 0 | — | — | 0 |
| Bit 18 | GP1\_04 | DRV3 | 1 | MMC-SD-CLK | DRV3 | 1 |
| Bit 17 | DRV2 | 1 | DRV2 | 1 |
| Bit 16 | DRV1 | 0 | DRV1 | 0 |
| Bit 15 | — | — | 0 | — | — | 0 |
| Bit 14 | GP1\_03 | DRV3 | 1 | GP1-11 | DRV3 | 1 |
| Bit 13 | DRV2 | 1 | DRV2 | 1 |
| Bit 12 | DRV1 | 0 | DRV1 | 0 |
| Bit 11 | — | — | 0 | — | — | 0 |
| Bit10 | GP1\_02 | DRV3 | 1 | GP1-10 | DRV3 | 1 |
| Bit 9 | DRV2 | 1 | DRV2 | 1 |
| Bit 8 | DKV1 | u | DKV1 | u |
| Bit 7 | — | — | 0 | — | — | 0 |
| Bit 6 | GP1\_01 | DRV3 | 1 | GP1\_09 | DRV3 | 1 |
| Bit 5 | DRV2 | 1 | DRV2 | 1 |
| Bit 4 | DRV1 | 0 | DRV1 | 0 |
| Bit 3 | — | — | 0 | — | — | 0 |
| Bit 2 | GP1\_00 | DRV3 | 1 | GP1\_08 | DRV3 | 1 |
| Bit 1 | DRV2 | 1 | DRV2 | 1 |
| Bit 0 | DRV1 | 0 | DRV1 | 0 |

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | **DRV2CTRL1** | | | **DRV3CTRL1** | | |
| **Pin name** |  | **Initial value** | **Pin name** |  | **Initial value** |
| Bit 31 | — | — | 0 | — | — | 0 |
| Bit 30 | SD\_CD | DRV3 | 1 | — | — | 0 |
| Bit 29 | DRV2 | 1 | — | — | 0 |
| Bit 28 | DRV1 | 0 | — | — | 0 |
| Bit 27 | — | — | 0 | — | — | 0 |
| Bit 26 | MMC\_SD\_CMD | DRV3 | 1 | — | — | 0 |
| Bit 25 | DRV2 | 1 | — | — | 0 |
| Bit 24 | DRV1 | 0 | — | — | 0 |
| Bit 23 | — | — | 0 | — | — | 0 |
| Bit 22 | MMC\_D7 | DRV3 | 1 | — | — | 0 |
| Bit 21 | DRV2 | 1 | — | — | 0 |
| Bit 20 | DRV1 | 0 | — | — | 0 |
| Bit 19 | — | — | 0 | — | — | 0 |
| Bit 18 | MMC-DS | DRV3 | 1 | — | — | 0 |
| Bit 17 | DRV2 | 1 | — | — | 0 |
| Bit 16 | DRV1 | 0 | — | — | 0 |
| Bit 15 | — | — | 0 | — | — | 0 |
| Bit 14 | MMC\_D6 | DRV3 | 1 | — | — | 0 |
| Bit 13 | DRV2 | 1 | — | — | 0 |
| Bit 12 | DRV1 | 0 | — | — | 0 |
| Bit 11 | — | — | 0 | — | — | 0 |
| Bit10 | MMC-D4 | DRV3 | 1 | — | — | 0 |
| Bit 9 | DRV2 | 1 | — | — | 0 |
| Bit 8 | DRV1 | 0 | — | — | 0 |
| Bit 7 | — | — | 0 | — | — | 0 |
| Bit 6 | MMC\_D5 | DRV3 | 1 | — | — | 0 |
| Bit 5 | DRV2 | 1 | — | — | 0 |
| Bit 4 | DRV1 | 0 | — | — | 0 |
| Bit 3 | — | — | 0 | — | — | 0 |
| Bit 2 | MMC\_SD\_D3 | DRV3 | 1 | SD\_WP | DRV3 | 1 |
| Bit 1 | DRV2 | 1 | DRV2 | 1 |
| Bit 0 | DRV1 | 0 | DRV1 | 0 |

**Bảng 7.22:** Configuration of Registers in DRV0CTRL2 , DRV1CTRL2 , DRV2CTRL2 , DRV3CTRL2

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | **DRV0CTRL2** | | | **DRV1CTRL2** | | |
| **Pin name** |  | **Initial value** | **Pin name** |  | **Initial value** |
| Bit 31 | — | — | 0 | — | — | 0 |
| Bit 30 | — | — | 0 | PCIEO\_CLKREQ# | DRV3 | 1 |
| Bit 29 | QSPI1\_MOSI\_IO0 | DRV2 | 1 | DRV2 | 1 |
| Bit 28 | DRV1 | 0 | DRV1 | 0 |
| Bit 27 | — | — | 0 | — | — | 0 |
| Bit 26 | — | — | 0 | — | — | 0 |
| Bit 25 | QSPI1\_IO2 | DRV2 | 1 | QSPI0\_IO3 | DRV2 | 1 |
| Bit 24 | DRV1 | 0 | DRV1 | 0 |
| Bit 23 | — | — | 0 | — | — | 0 |
| Bit 22 | — | — | 0 | — | — | 0 |
| Bit 21 | QSPI1\_MISO\_IO1 | DRV2 | 1 | QSPI0\_SSL | DRV2 | 1 |
| Bit 20 | DRV1 | 0 | DRV1 | 0 |
| Bit 19 | — | — | 0 | — | — | 0 |
| Bit 18 | — | — | 0 | — | — | 0 |
| Bit 17 | QSPI1\_IO3 | DRV2 | 1 | QSPI0\_MISO\_IO1 | DRV2 | 1 |
| Bit 16 | DRV1 | 0 | DRV1 | 0 |
| Bit 15 | — | — | 0 | — | — | 0 |
| Bit 14 | — | — | 0 | — | — | 0 |
| Bit 13 | QSPI1\_SSL | DRV2 | 1 | QSPI0\_IO2 | DRV2 | 1 |
| Bit 12 | DRV1 | 0 | DRV1 | 0 |
| Bit 11 | — | — | 0 | — | — | 0 |
| Bit10 | — | — | 0 | — | — | 0 |
| Bit 9 | RPC-RESET# | DRV2 | 1 | QSPIO\_SPCLK | DRV2 | 1 |
| Bit 8 | DRV1 | 0 | DRV1 | 0 |
| Bit 7 | — | — | 0 | — | — | 0 |
| Bit 6 | — | — | 0 | — | — | 0 |
| Bit 5 | RPC\_WP# | DRV2 | 1 | QSPIO\_MOSI\_IO0 | DRV2 | 1 |
| Bit 4 | DRV1 | 0 | DRV1 | 0 |
| Bit 3 | — | — | 0 | — | — | 0 |
| Bit 2 | — | — | 0 | — | — | 0 |
| Bit 1 | RPC\_INT# | DRV2 | 1 | QSPI1\_SPCLK | DRV2 | 1 |
| Bit 0 | DRV1 | 0 | DRV1 | 0 |

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  | **DRV2CTRL2** |  |  | **DRV3CTRL2** |  |
|  | **Pin name** |  | **Initial value** | **Pin name** |  | **Initial value** |
| Bit 31 | — | — | 0 | — | — | 0 |
| Bit 30 | — | — | 0 | — | — | 0 |
| Bit 29 | — | — | 0 | — | — | 0 |
| Bit 28 | — | — | 0 | — | — | 0 |
| Bit 27 | — | — | 0 | — | — | 0 |
| Bit 26 | — | — | 0 | — | — | 0 |
| Bit 25 | — | — | 0 | — | — | 0 |
| Bit 24 | — | — | 0 | — | — | 0 |
| Bit 23 | — | — | 0 | — | — | 0 |
| Bit 22 | — | — | 0 | — | — | 0 |
| Bit 21 | — | — | 0 | — | — | 0 |
| Bit 20 | — | — | 0 | — | — | 0 |
| Bit 19 | — | — | 0 | — | — | 0 |
| Bit 18 | — | — | 0 | — | — | 0 |
| Bit 17 | — | — | 0 | — | — | 0 |
| Bit 16 | — | — | 0 | — | — | 0 |
| Bit 15 | — | — | 0 | — | — | 0 |
| Bit 14 | — | — | 0 | — | — | 0 |
| Bit 13 | — | — | 0 | — | — | 0 |
| Bit 12 | — | — | 0 | — | — | 0 |
| Bit 11 | — | — | 0 | — | — | 0 |
| Bit10 | — | — | 0 | — | — | 0 |
| Bit 9 | — | — | 0 | — | — | 0 |
| Bit 8 | — | — | 0 | — | — | 0 |
| Bit 7 | — | — | 0 | — | — | 0 |
| Bit 6 | — | — | 0 | — | — | 0 |
| Bit 5 | — | — | 0 | — | — | 0 |
| Bit 4 | — | — | 0 | — | — | 0 |
| Bit 3 | — | — | 0 | — | — | 0 |
| Bit 2 | PCIE1\_CLKREQ# | DRV3 | 1 | — | — | 0 |
| Bit 1 | DRV2 | 1 | — | — | 0 |
| Bit 0 | DRV1 | 0 | — | — | 0 |

**Bảng 7.23:** Configuration of Registers in DRV0CTRL3 , DRV1CTRL3 , DRV2CTRL3 , DRV3CTRL3

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | **DRV0CTRL3** | | | **DRV1CTRL3** | | |
| **Pin name** |  | **Initìal value** | **Pin name** |  | **Initial value** |
| Bit 31 | — | — | 0 | — | — | 0 |
| Bit 30 | TSN2-LINK | DRV3 | 1 | TSN1\_AVTP\_CAPTURE | DRV3 | 1 |
| Bit 29 | DRV2 | 1 | DRV2 | 1 |
| Bit 28 | DRV1 | 0 | DRV1 | 0 |
| Bit 27 | — | — | 0 | — | — | 0 |
| Bit 26 | TSN1\_LINK | DRV3 | 1 | TSN1-AVTP-MATCH | DRV3 | 1 |
| Bit 25 | DRV2 | 1 | DRV2 | 1 |
| Bit 24 | DRV1 | 0 | DRV1 | 0 |
| Bit 23 | — | — | 0 | — | — | 0 |
| Bit 22 | TSN1-MDC | DRV3 | 1 | TSN1\_AVTP\_PPS | DRV3 | 1 |
| Bit 21 | DRV2 | 1 | DRV2 | 1 |
| Bit 20 | DRV1 | 0 | DRV1 | 0 |
| Bit 19 | — | — | 0 | — | — | 0 |
| Bit 18 | TSN0-MDC | DRV3 | 1 | TSN0-MAGIC | DRV3 | 1 |
| Bit 17 | DRV2 | 1 | DRV2 | 1 |
| Bit 16 | DRV1 | 0 | DRV1 | 0 |
| Bit 15 | — | — | 0 | — | — | 0 |
| Bit 14 | TSN2-MDC | DRV3 | 1 | TSN1\_PHY\_INT | DRV3 | 1 |
| Bit 13 | DRV2 | 1 | DRV2 | 1 |
| Bit 12 | DRV1 | 0 | DRV1 | 0 |
| Bit 11 | — | — | 0 | — | — | 0 |
| Bit10 | TSN0-MDIO | DRV3 | 1 | TSN0\_PHY\_INT | DRV3 | 1 |
| Bit 9 | DRV2 | 1 | DRV2 | 1 |
| Bit 8 | DRV1 | 0 | DRV1 | 0 |
| Bit 7 | — | — | 0 | — | — | 0 |
| Bit 6 | TSN2-MDIO | DRV3 | 1 | TSN2\_PHY\_INT | DRV3 | 1 |
| Bit 5 | DRV2 | 1 | DRV2 | 1 |
| Bit 4 | DRV1 | 0 | DRV1 | 0 |
| Bit 3 | — | — | 0 | — | — | 0 |
| Bit 2 | TSN1-MDIO | DRV3 | 1 | TSN0\_LINK | DRV3 | 1 |
| Bit 1 | DRV2 | 1 | DRV2 | 1 |
| Bit 0 | DRV1 | 0 | DRV1 | 0 |

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | **DRV2CTRL3** | | | **DRV3CTRL3** | | |
| **Pin name** |  | **Initial value** | **Pin name** |  | **Initial value** |
| Bit 31 | — | — | 0 | — | — | 0 |
| Bit 30 | — | — | 0 | — | — | 0 |
| Bit 29 | — | — | 0 | — | — | 0 |
| Bit 28 | — | — | 0 | — | — | 0 |
| Bit 27 | — | — | 0 | — | — | 0 |
| Bit 26 | — | — | 0 | — | — | 0 |
| Bit 25 | — | — | 0 | — | — | 0 |
| Bit 24 | — | — | 0 | — | — | 0 |
| Bit 23 | — | — | 0 | — | — | 0 |
| Bit 22 | — | — | 0 | — | — | 0 |
| Bit 21 | — | — | 0 | — | — | 0 |
| Bit 20 | — | — | 0 | — | — | 0 |
| Bit 19 | — | — | 0 | — | — | 0 |
| Bit 18 | — | — | 0 | — | — | 0 |
| Bit 17 | — | — | 0 | — | — | 0 |
| Bit 16 | — | — | 0 | — | — | 0 |
| Bit 15 | — | — | 0 | — | — | 0 |
| Bit 14 | — | — | 0 | — | — | 0 |
| Bit 13 | — | — | 0 | — | — | 0 |
| Bit 12 | — | — | 0 | — | — | 0 |
| Bit 11 | — | — | 0 | — | — | 0 |
| Bit10 | TSN0\_AVTP\_CAPTURE | DRV3 | 1 | — | — | 0 |
| Bit 9 | DRV2 | 1 | — | — | 0 |
| Bit 8 | DRV1 | 0 | — | — | 0 |
| Bit 7 | — | — | 0 | — | — | 0 |
| Bit 6 | TSN0\_AVTP\_MATCH | DRV3 | 1 | — | — | 0 |
| Bit 5 | DRV2 | 1 | — | — | 0 |
| Bit 4 | DRV1 | 0 | — | — | 0 |
| Bit 3 | — | — | 0 | — | — | 0 |
| Bit 2 | TSN0\_AVTP\_PPS | DRV3 | 1 | — | — | 0 |
| Bit 1 | DRV2 | 1 | — | — | 0 |
| Bit 0 | DRV1 | 0 | — | — | 0 |

**Bảng 7.24:** Configuration of Registers in DRV0CTRL4 , DRV1CTRL4 , DRV2CTRL4 , DRV3CTRL4

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | **DRV0CTRL4** | | | **DRV1CTRL4** | | |
| **Pin name** | | **Initial value** | **Pin name** | | **Initial value** |
| Bit 31 | — | — | 0 | — | — | 0 |
| Bit 30 | GP4-07 | DRV3 | 1 | GP4-15 | DRV3 | 1 |
| Bit 29 | DRV2 | 1 | DRV2 | 1 |
| Bit 28 | DRV1 | 0 | DRV1 | 0 |
| Bit 27 | — | — | 0 | — | — | 0 |
| Bit 26 | GP4-06 | DRV3 | 1 | GP4-14 | DRV3 | 1 |
| Bit 25 | DRV2 | 1 | DRV2 | 1 |
| Bit 24 | DRV1 | 0 | DRV1 | 0 |
| Bit 23 | — | — | 0 | — | — | 0 |
| Bit 22 | GP4-05 | DRV3 | 1 | GP4-13 | DRV3 | 1 |
| Bit 21 | DRV2 | 1 | DRV2 | 1 |
| Bit 20 | DRV1 | 0 | DRV1 | 0 |
| Bit 19 | — | — | 0 | — | — | 0 |
| Bit 18 | GP4-04 | DRV3 | 1 | GP4-12 | DRV3 | 1 |
| Bit 17 | DRV2 | 1 | DRV2 | 1 |
| Bit 16 | DRV1 | 0 | DRV1 | 0 |
| Bit 15 | — | — | 0 | — | — | 0 |
| Bit 14 | GP4-03 | DRV3 | 1 | GP4-11 | DRV3 | 1 |
| Bit 13 | DRV2 | 1 | DRV2 | 1 |
| Bit 12 | DRV1 | 0 | DRV1 | 0 |
| Bit 11 | — | — | 0 | — | — | 0 |
| Bit10 | GP4-02 | DRV3 | 1 | GP4-10 | DRV3 | 1 |
| Bit 9 | DRV2 | 1 | DRV2 | 1 |
| Bit 8 | DRV1 | 0 | DRV1 | 0 |
| Bit 7 | — | — | 0 | — | — | 0 |
| Bit 6 | GP4-01 | DRV3 | 1 | GP4-09 | DRV3 | 1 |
| Bit 5 | DRV2 | 1 | DRV2 | 1 |
| Bit 4 | DRV1 | 0 | DRV1 | 0 |
| Bit 3 | — | — | 0 | — | — | 0 |
| Bit 2 | GP4-00 | DRV3 | 1 | GP4-08 | DRV3 | 1 |
| Bit 1 | DRV2 | 1 | DRV2 | 1 |
| Bit 0 | DRV1 | 0 | DRV1 | 0 |

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | **DRV2CTRL4** | | | **DRV3CTRL4** | | |
|  | **Pin name** | | **Initial value** | **Pin name** | | **Initial value** |
| Bit 31 | — | — | 0 | — | — | 0 |
| Bit 30 | MSPI0CSS1 | DRV3 | 1 | — | DRV3 | 0 |
| Bit 29 | DRV2 | 1 | — | DRV2 | 0 |
| Bit 28 | DRV1 | 0 | — | DRV1 | 0 |
| Bit 27 | — | — | 0 | — | — | 0 |
| Bit 26 | MSPI0SO/MSPI0DCS | DRV3 | 1 | MSPI1CSS1 | DRV3 | 1 |
| Bit 25 | DRV2 | 1 | DRV2 | 1 |
| Bit 24 | DRV1 | 0 | DRV1 | 0 |
| Bit 23 | — | — | 0 | — | — | 0 |
| Bit 22 | MSPI0SI | DRV3 | 1 | MSPI1CSS2 | DRV3 | 1 |
| Bit 21 | DRV2 | 1 | DRV2 | 1 |
| Bit 20 | DRV1 | 0 | DRV1 | 0 |
| Bit 19 | — | — | 0 | — | — | 0 |
| Bit 18 | MSPI0SC | DRV3 | 1 | MSPI1SC | DRV3 | 1 |
| Bit 17 | DRV2 | 1 | DRV2 | 1 |
| Bit 16 | DRV1 | 0 | DRV1 | 0 |
| Bit 15 | — | — | 0 | — | — | 0 |
| Bit 14 | GP4-19 | DRV3 | 1 | MSPI1CSS0 | DRV3 | 1 |
| Bit 13 | DRV2 | 1 | DRV2 | 1 |
| Bit 12 | DRV1 | 0 | DRV1 | 0 |
| Bit 11 | — | — | 0 | — | — | 0 |
| Bit10 | GP4-18 | DRV3 | 1 | MSPI1SO/MSPI1DCS | DRV3 | 1 |
| Bit 9 | DRV2 | 1 | DRV2 | 1 |
| Bit 8 | DRV1 | 0 | DRV1 | 0 |
| Bit 7 | — | — | 0 | — | — | 0 |
| Bit 6 | GP4-17 | DRV3 | 1 | MSPI1SI | DRV3 | 1 |
| Bit 5 | DRV2 | 1 | DRV2 | 1 |
| Bit 4 | DRV1 | 0 | DRV1 | 0 |
| Bit 3 | — | — | 0 | — | — | 0 |
| Bit 2 | GP4-16 | DRV3 | 1 | MSPI0CSSO | DRV3 | 1 |
| Bit 1 | DRV2 | 1 | DRV2 | 1 |
| Bit 0 | DRV1 | 0 | DRV1 | 0 |

**Bảng7.25:** Configuration of Registers in DRV0CTRL5 , DRV1CTRL5, DRV2CTRL5 , DRV3CTRL5

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | **DRV0CTRL5** | | | **DRV1CTRL5** | | |
| **Pin name** |  | **Initial value** | **Pin name** |  | **Initial value** |
| Bit 31 | — | — | 0 | — | — | 0 |
| Bit 30 | ETNB0RXD3 | DRV3 | 1 | ETNB0TXCLK | DRV3 | 1 |
| Bit 29 | DRV2 | 1 | DRV2 | 1 |
| Bit 28 | DRV1 | 0 | DRV1 | 0 |
| Bit 27 | — | — | 0 | — | — | 0 |
| Bit 26 | ETNB0RXER | DRV3 | 1 | ETNB0TXD3 | DRV3 | 1 |
| Bit 25 | DRV2 | 1 | DRV2 | 1 |
| Bit 24 | DRV1 | 0 | DRV1 | 0 |
| Bit 23 | — | — | 0 | — | — | 0 |
| Bit 22 | ETNB0MDC | DRV3 | 1 | ETNB0TXER | DRV3 | 1 |
| Bit 21 | DRV2 | 1 | DRV2 | 1 |
| Bit 20 | DRV1 | 0 | DRV1 | 0 |
| Bit 19 | — | — | 0 | — | — | 0 |
| Bit 18 | ETNB0LINKSTA | DRV3 | 1 | ETNB0RXCLK | DRV3 | 1 |
| Bit 17 | DRV2 | 1 | DRV2 | 1 |
| Bit 16 | DRV1 | 0 | DRV1 | 0 |
| Bit 15 | — | — | 0 | — | — | 0 |
| Bit 14 | ETNB0VVOL | DRV3 | 1 | ETNB0RXD0 | DRV3 | 1 |
| Bit 13 | DRV2 | 1 | DRV2 | 1 |
| Bit 12 | DRV1 | 0 | DRV1 | 0 |
| Bit 11 | — | — | 0 | — | — | 0 |
| Bit10 | ETNB0MD | DRV3 | 1 | ETNB0RXDV | DRV3 | 1 |
| Bit 9 | DRV2 | 1 | DRV2 | 1 |
| Bit 8 | DRV1 | 0 | DRV1 | 0 |
| Bit 7 | — | — | 0 | — | — | 0 |
| Bit 6 | RIIC0SDA | DRV3 | 1 | ETNB0RXD2 | DRV3 | 1 |
| Bit 5 | DRV2 | 1 | DRV2 | 1 |
| Bit 4 | DRV1 | 0 | DRV1 | 0 |
| Bit 3 | — | — | 0 | — | — | 0 |
| Bit 2 | RIIC0SCL | DRV3 | 1 | ETNB0RXD1 | DRV3 | 1 |
| Bit 1 | DRV2 | 1 | DRV2 | 1 |
| Bit 0 | DRV1 | 0 | DRV1 | 0 |

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | **DRV2CTRL5** | | | **DRV3CTRL5** | | |
| **Pin name** |  | **Initial value** | **Pin name** |  | **Initial value** |
| Bit 31 | — | — | 0 | — | — | 0 |
| Bit 30 | — | — | 0 | — | — | 0 |
| Bit 29 | — | — | 0 | — | — | 0 |
| Bit 28 | — | — | 0 | — | — | 0 |
| Bit 27 | — | — | 0 | — | — | 0 |
| Bit 26 | — | — | 0 | — | — | 0 |
| Bit 25 | — | — | 0 | — | — | 0 |
| Bit 24 | — | — | 0 | — | — | 0 |
| Bit 23 | — | — | 0 | — | — | 0 |
| Bit 22 | — | — | 0 | — | — | 0 |
| Bit 21 | — | — | 0 | — | — | 0 |
| Bit 20 | — | — | 0 | — | — | 0 |
| Bit 19 | — | — | 0 | — | — | 0 |
| Bit 18 | — | — | 0 | — | — | 0 |
| Bit 17 | — | — | 0 | — | — | 0 |
| Bit 16 | — | — | 0 | — | — | 0 |
| Bit 15 | — | — | 0 | — | — | 0 |
| Bit 14 | ETNB0TXDO | DRV3 | 1 | — | — | 0 |
| Bit 13 | DRV2 | 1 | — | — | 0 |
| Bit 12 | DRV1 | 0 | — | — | 0 |
| Bit 11 | — | — | 0 | — | — | 0 |
| Bit10 | ETNB0TXEN | DRV3 | 1 | — | — | 0 |
| Bit 9 | DRV2 | 1 | — | — | 0 |
| Bit 8 | DRV1 | 0 | — | — | 0 |
| Bit 7 | — | — | 0 | — | — | 0 |
| Bit 6 | ETNB0TXD2 | DRV3 | 1 | — | — | 0 |
| Bit 5 | DRV2 | 1 | — | — | 0 |
| Bit 4 | DRV1 | 0 | — | — | 0 |
| Bit 3 | — | — | 0 | — | — | 0 |
| Bit 2 | ETNB0TXD1 | DRV3 | 1 | — | — | 0 |
| Bit 1 | DRV2 | 1 | — | — | 0 |
| Bit 0 | DRV1 | 0 | — | — | 0 |

**Bảng 7.26:** Configuration of Registers in DRV0CTRL6, DRV1CTRL6, DRV2CTRL6, DRV3CTRL6

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | **DRV0CTRL6** |  |  | **DRV1CTRL6** |  |  |
|  | **Pin name** |  | **Initial value** | **Pin name** |  | **Initial value** |
| Bit 31 | — | — | 0 | — | — | 0 |
| Bit 30 | RLIN34RX/INTP20 | DRV3 | 1 | RLIN30RX/INTP16 | DRV3 | 1 |
| Bit 29 | DRV2 | 1 | DRV2 | 1 |
| Bit 28 | DRV1 | 0 | DRV1 | 0 |
| Bit 27 | — | — | 0 | — | — | 0 |
| Bit 26 | RLIN34TX | DRV3 | 1 | RLIN30TX | DRV3 | 1 |
| Bit 25 | DRV2 | 1 | DRV2 | 1 |
| Bit 24 | DRV1 | 0 | DRV1 | 0 |
| Bit 23 | — | — | 0 | — | — | 0 |
| Bit 22 | RLIN35RX/INTP21 | DRV3 | 1 | RLIN31RX/INTP17 | DRV3 | 1 |
| Bit 21 | DRV2 | 1 | DRV2 | 1 |
| Bit 20 | DRV1 | 0 | DRV1 | 0 |
| Bit 19 | — | — | 0 | — | — | 0 |
| Bit 18 | RLIN35TX | DRV3 | 1 | RLIN31TX | DRV3 | 1 |
| Bit 17 | DRV2 | 1 | DRV2 | 1 |
| Bit 16 | DRV1 | 0 | DRV1 | 0 |
| Bit 15 | — | — | 0 | — | — | 0 |
| Bit 14 | RLIN36RX/INTP22 | DRV3 | 1 | RLIN32RX/INTP18 | DRV3 | 1 |
| Bit 13 | DRV2 | 1 | DRV2 | 1 |
| Bit 12 | DRV1 | 0 | DRV1 | 0 |
| Bit 11 | — | — | 0 | — | — | 0 |
| Bit10 | RLIN36TX | DRV3 | 1 | RLIN32TX | DRV3 | 1 |
| Bit 9 | DRV2 | 1 | DRV2 | 1 |
| Bit 8 | DRV1 | 0 | DRV1 | 0 |
| Bit 7 | — | — | 0 | — | — | 0 |
| Bit 6 | RLIN37RX/INTP23 | DRV3 | 1 | RLIN33RX-INTP19 | DRV3 | 1 |
| Bit 5 | DRV2 | 1 | DRV2 | 1 |
| Bit 4 | DRV1 | 0 | DRV1 | 0 |
| Bit 3 | — | — | 0 | — | — | 0 |
| Bit 2 | RLIN37TX | DRV3 | 1 | RLIN33TX | DRV3 | 1 |
| Bit 1 | DRV2 | 1 | DRV2 | 1 |
| Bit 0 | DRV1 | 0 | DRV1 | 0 |

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | **DRV2CTRL6** | | | **DRV3CTRL6** | | |
| **Pin name** |  | **Initial value** | **Pin name** |  | **Initial value** |
| Bit 31 |  | — | 0 | — | — | 0 |
| Bit 30 |  | — | 0 | PRESETOUT1# | DRV3 | 1 |
| Bit 29 |  | — | 0 | DRV2 | 1 |
| Bit 28 |  | — | 0 | DRV1 | 0 |
| Bit 27 |  | — | 0 | — | — | 0 |
| Bit 26 | NMI1 | DRV3 | 1 | — | — | 0 |
| Bit 25 | DRV2 | 1 | — | — | 0 |
| Bit 24 | DRV1 | 0 | — | — | 0 |
| Bit 23 |  | — | 0 | — | — | 0 |
| Bit 22 | INTP32 | DRV3 | 1 | — | — | 0 |
| Bit 21 | DRV2 | 1 | — | — | 0 |
| Bit 20 | DRV1 | 0 | — | — | 0 |
| Bit 19 |  | — | 0 | — | — | 0 |
| Bit 18 | INTP33 | DRV3 | 1 | — | — | 0 |
| Bit 17 | DRV2 | 1 | — | — | 0 |
| Bit 16 | DRV1 | 0 | — | — | 0 |
| Bit 15 |  | — | 0 | — | — | 0 |
| Bit 14 | INTP34 | DRV3 | 1 | — | — | 0 |
| Bit 13 | DRV2 | 1 | — | — | 0 |
| Bit 12 | DRV1 | 0 | — | — | 0 |
| Bit 11 |  | — | 0 | — | — | 0 |
| Bit10 | INTP35 | DRV3 | 1 | — | — | 0 |
| Bit 9 | DRV2 | 1 | — | — | 0 |
| Bit 8 | DRV1 | 0 | — | — | 0 |
| Bit 7 |  | — | 0 | — | — | 0 |
| Bit 6 | INTP36 | DRV3 | 1 | — | — | 0 |
| Bit 5 | DRV2 | 1 | — | — | 0 |
| Bit 4 | DRV1 | 0 | — | — | 0 |
| Bit 3 |  | — | 0 | — | — | 0 |
| Bit 2 | INTP37 | DRV3 | 1 | — | — | 0 |
| Bit 1 | DRV2 | 1 | — | — | 0 |
| Bit 0 | DRV1 | 0 | — | — | 0 |

**Bảng 7.27:** Configuration of Registers in DRV0CTRL7, DRV1CTRL7, DRV2CTRL7, DRV3CTRL7

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | **DRV0CTRL7** | | | **DRV1CTRL7** | | |
| **Pin name** |  | **Initial value** | **Pin name** |  | **Initial value** |
| Bit 31 | — | — | 0 | — | — | 0 |
| Bit 30 | CAN3RX/INTP3 | DRV3 | 1 | CAN7RX/INTP7 | DRV3 | 1 |
| Bit 29 | DRV2 | 1 | DRV2 | 1 |
| Bit 28 | DRV1 | 0 | DRV1 | 0 |
| Bit 27 | — | — | 0 | — | — | 0 |
| Bit 26 | CAN3TX | DRV3 | 1 | CAN7TX | DRV3 | 1 |
| Bit 25 | DRV2 | 1 | DRV2 | 1 |
| Bit 24 | DRV1 | 0 | DRV1 | 0 |
| Bit 23 | — | — | 0 | — | — | 0 |
| Bit 22 | CAN2RX/INTP2 | DRV3 | 1 | CAN6RX/INTP6 | DRV3 | 1 |
| Bit 21 | DRV2 | 1 | DRV2 | 1 |
| Bit 20 | DRV1 | 0 | DRV1 | 0 |
| Bit 19 | — | — | 0 | — | — | 0 |
| Bit 18 | CAN2TX | DRV3 | 1 | CAN6TX | DRV3 | 1 |
| Bit 17 | DRV2 | 1 | DRV2 | 1 |
| Bit 16 | DRV1 | 0 | DRV1 | 0 |
| Bit 15 | — | — | 0 | — | — | 0 |
| Bit 14 | CAN1RX/INTP1 | DRV3 | 1 | CAN5RX/INTP5 | DRV3 | 1 |
| Bit 13 | DRV2 | 1 | DRV2 | 1 |
| Bit 12 | DRV1 | 0 | DRV1 | 0 |
| Bit 11 | — | — | 0 | — | — | 0 |
| Bit10 | CAN1TX | DRV3 | 1 | CAN5TX | DRV3 | 1 |
| Bit 9 | DRV2 | 1 | DRV2 | 1 |
| Bit 8 | DRV1 | 0 | DRV1 | 0 |
| Bit 7 | — | — | 0 | — | — | 0 |
| Bit 6 | CAN0RX/INTP0 | DRV3 | 1 | CAN4RX/INTP4 | DRV3 | 1 |
| Bit 5 | DRV2 | 1 | DRV2 | 1 |
| Bit 4 | DRV1 | 0 | DRV1 | 0 |
| Bit 3 | — | — | 0 | — | — | 0 |
| Bit 2 | CAN0TX | DRV3 | 1 | CAN4TX | DRV3 | 1 |
| Bit 1 | DRV2 | 1 | DRV2 | 1 |
| Bit 0 | DRV1 | 0 | DRV1 | 0 |

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | **DRV2CTRL7** | | | **DRV3CTRL7** | | |
| **Pin name** |  | **Initial value** | **Pin name** |  | **Initial value** |
| Bit 31 | — | — | 0 | — | — | 0 |
| Bit 30 | CAN11RX/INTP11 | DRV3 | 1 | CAN15RX/INTP15 | DRV3 | 1 |
| Bit 29 | DRV2 | 1 | DRV2 | 1 |
| Bit 28 | DRV1 | 0 | DRV1 | 0 |
| Bit 27 | — | — | 0 | — | — | 0 |
| Bit 26 | CAN11TX | DRV3 | 1 | CAN15TX | DRV3 | 1 |
| Bit 25 | DRV2 | 1 | DRV2 | 1 |
| Bit 24 | DRV1 | 0 | DRV1 | 0 |
| Bit 23 | — | — | 0 | — | — | 0 |
| Bit 22 | CAN10RX/INTP10 | DRV3 | 1 | CAN14RX\_INTP14 | DRV3 | 1 |
| Bit 21 | DRV2 | 1 | DRV2 | 1 |
| Bit 20 | DRV1 | 0 | DRV1 | 0 |
| Bit 19 | — | — | 0 | — | — | 0 |
| Bit 18 | CAN10TX | DRV3 | 1 | CAN14TX | DRV3 | 1 |
| Bit 17 | DRV2 | 1 | DRV2 | 1 |
| Bit 16 | DRV1 | 0 | DRV1 | 0 |
| Bit 15 | — | — | 0 | — | — | 0 |
| Bit 14 | CAN9RX/INTP9 | DRV3 | 1 | CAN14RX/INTP13 | DRV3 | 1 |
| Bit 13 | DRV2 | 1 | DRV2 | 1 |
| Bit 12 | DRV1 | 0 | DRV1 | 0 |
| Bit 11 | — | — | 0 | — | — | 0 |
| Bit10 | CAN9TX | DRV3 | 1 | CAN13TX | DRV3 | 1 |
| Bit 9 | DRV2 | 1 | DRV2 | 1 |
| Bit 8 | DRV1 | 0 | DRV1 | 0 |
| Bit 7 | — | — | 0 | — | — | 0 |
| Bit 6 | CAN8RX/INTP8 | DRV3 | 1 | CAN12RX/INTP12 | DRV3 | 1 |
| Bit 5 | DRV2 | 1 | DRV2 | 1 |
| Bit 4 | DRV1 | 0 | DRV1 | 0 |
| Bit 3 | — | — | 0 | — | — | 0 |
| Bit 2 | CAN8TX | DRV3 | 1 | CAN12TX | DRV3 | 1 |
| Bit 1 | DRV2 | 1 | DRV2 | 1 |
| Bit 0 | DRV1 | 0 | DRV1 | 0 |

**Bảng 7.28:** Configuration of Registers in DRV0CTRLSYS, DRV1CTRLSYS

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  | **DRV0CTRLSYS** |  |  | **DRV1CTRLSYS** |  |
|  | **Pin name** |  | **Initial value** | **Pin name** |  | **Initial value** |
| Bit 31 | — | — | 0 | — | — | 0 |
| Bit 30 | — | — | 0 | — | — | 0 |
| Bit 29 | — | — | 0 | — | — | 0 |
| Bit 28 | — | — | 0 | — | — | 0 |
| Bit 27 | — | — | 0 | — | — | 0 |
| Bit 26 | — | — | 0 | — | — | 0 |
| Bit 25 | — | — | 0 | — | — | 0 |
| Bit 24 | — | — | 0 | — | — | 0 |
| Bit 23 | — | — | 0 | — | — | 0 |
| Bit 22 | — | — | 0 | — | — | 0 |
| Bit 21 | — | — | 0 | — | — | 0 |
| Bit 20 | — | — | 0 | — | — | 0 |
| Bit 19 | — | — | 0 | — | — | 0 |
| Bit 18 | — | — | 0 | — | — | 0 |
| Bit 17 | — | — | 0 | DCUTCK0 | DRV2 | 1 |
| Bit 16 | — | — | 0 | DRV1 | 0 |
| Bit 15 | — | — | 0 | — | — | 0 |
| Bit 14 | — | — | 0 | — | — | 0 |
| Bit 13 | — | — | 0 | DCUTDO0 | — | 1 |
| Bit 12 | — | — | 0 | — | 0 |
| Bit 11 | — | — | 0 | — | — | 0 |
| Bit10 | — | — | 0 | — | — | 0 |
| Bit 9 | — | — | 0 | DCUTDI0 | DRV2 | 1 |
| Bit 8 | — | — | 0 | DRV1 | 0 |
| Bit 7 | — | — | 0 | — | — | 0 |
| Bit 6 | — | — | 0 | — | — | 0 |
| Bit 5 | — | — | 0 | DCURDY0# | DRV2 | 1 |
| Bit 4 | — | — | 0 | DRV1 | 0 |
| Bit 3 | — | — | 0 | — | — | 0 |
| Bit 2 | PRESETOUT0# | DRV3 | 1 | — | — | 0 |
| Bit 1 | — | DRV2 | 1 | DCUTMS0 | DRV2 | 1 |
| Bit 0 | — | DRV1 | 0 | DRV1 | 0 |

##### POC Control Register (POCn)

**Chức năng**: Mỗi bit trong POCn / POCSYS phải được đặt theo mức điện áp IO được cung cấp cho chân.

|  |
| --- |
| Thanh ghi 32 bit POC Control Register (POCn) trong S4 CAR của hãng Renesas là thanh ghi điều khiển các chức năng bảo vệ cho hệ thống điện và đảm bảo hoạt động ổn định của S4 CAR.  Các trường trong thanh ghi này bao gồm:   * Fault Control (FCT): Điều khiển các chức năng bảo vệ như chức năng bảo vệ quá áp suất (overvoltage protection) hoặc bảo vệ quá dòng điện (overcurrent protection). * Input Control (ICT): Điều khiển các chức năng bảo vệ và giám sát trạng thái cho các tín hiệu đầu vào. * Status Monitor (ST): Cung cấp thông tin về trạng thái của hệ thống bảo vệ và giám sát các trạng thái của tín hiệu đầu vào.   Các trường trong thanh ghi này được cấu hình để đảm bảo hoạt động ổn định và an toàn cho hệ thống. Chức năng bảo vệ được áp dụng để ngăn ngừa các tình huống nguy hiểm, bảo vệ hệ thống khỏi các điều kiện lạc quan hoặc xấu, và giảm thiểu các hư hỏng do điều kiện không mong muốn.  Việc cấu hình và điều khiển thanh ghi POC Control Register là rất quan trọng trong quá trình thiết kế và vận hành của S4 CAR, và nó đảm bảo rằng hệ thống sẽ luôn hoạt động ổn định và đáng tin cậy. |

**0 : 1.8V 1: 3.3V**

|  |  |  |
| --- | --- | --- |
| **Nguồn điện áp** | **Cài đặt Thanh ghi** | **Cách sử dụng** |
| 1.8V | 0 | Khả thi |
| 1.8V | 1 | Không được sử dụng |
| 3.3V | 0 | Không được cài đặt (hỏng) |
| 3.3V | 1 | Khả thi |

**0 : 2.5V 1 : 3.3V**

|  |  |  |
| --- | --- | --- |
| **Nguồn điện áp** | **Cài đặt Thanh ghi** | **Cách sử dụng** |
| 2.5V | 0 | Possible |
| 2.5V | 1 | Do not use |
| 3.3V | 0 | Do not set (broken) |
| 3.3V | 1 | Possible |

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Bit** | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|  | **POCn[31:16]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| **Bit** | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|  | **POCn[15:0]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

**Lưu ý:** Để cho phép việc thiết lập thanh ghi này, hãy thiết lập phù hợp với thanh ghi mặt nạ thiết lập chân đa chức năng (PMMR) ngay trước khi thiết lập đăng ký này.

**Lưu ý:** Lĩnh vực nguồn điện là chung cho mỗi chức năng.

Khi bạn sử dụng một cổng chưa sử dụng như GPIO, bạn phải cẩn trọng về điện áp.

**Bảng 7.29:** Configuration of Registers in POC0 , POC1

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | **POC0** | | | **POC1** | | |
| **Pin name** | **Voltage** | **Initial value** | **Pin name** | **Voltage** | **Initial value** |
| Bit 31 | — | — | 0 | — | — | 0 |
| Bit 30 | — | — | 0 | — | — | 0 |
| Bit 29 | — | — | 0 | — | — | 0 |
| Bit 28 | — | — | 0 | — | — | 0 |
| Bit 27 | — | — | 0 | — | — | 0 |
| Bit 26 | — | — | 0 | — | — | 0 |
| Bit 25 | — | — | 0 | — | — | 0 |
| Bit 24 | — | — | 0 | SD\_WP | 1.8V/3.3V | 1 |
| Bit 23 | — | — | 0 | SD\_CD | 1.8V/3.3V | 1 |
| Bit 22 | — | — | 0 | MMC-SD-CMD | 1.8V/3.3V | 1 |
| Bit 21 | — | — | 0 | MMC-D7 | 1.8V/3.3V | 1 |
| Bit 20 | IRQ3 | 1.8V/3.3V | 1 | MMC-DS | 1.8V/3.3V | 1 |
| Bit 19 | IRQ2 | 1.8V/3.3V | 1 | MMC-D6 | 1.8V/3.3V | 1 |
| Bit 18 | IRQ1 | 1.8V/3.3V | 1 | MMC\_D4 | 1.8V/3.3V | 1 |
| Bit 17 | IRQO | 1.8V/3.3V | 1 | MMC-D5 | 1.8V/3.3V | 1 |
| Bit 16 | MSIOF0\_SS2 | 1.8V/3.3V | 1 | MMC-SD-D3 | 1.8V/3.3V | 1 |
| Bit 15 | MSIOF0\_SS1 | 1.8V/3.3V | 1 | MMC-SD-D2 | 1.8V/3.3V | 1 |
| Bit 14 | MSIOF0\_SCK | 1.8V/3.3V | 1 | MMC-SD-D1 | 1.8V/3.3V | 1 |
| Bit 13 | MSIOF0\_TXD | 1.8V/3.3V | 1 | MMC-SD-D0 | 1.8V/3.3V | 1 |
| Bit 12 | MSIOF0\_RXD | 1.8V/3.3V | 1 | MMC-SD-CLK | 1.8V/3.3V | 1 |
| Bit 11 | MSIOF0\_SYNC | 1.8V/3.3V | 1 | GP1-11 | 1.8V/3.3V | 1 |
| Bit10 | CTS0# | 1.8V/3.3V | 1 | GP1\_10 | 1.8V/3.3V | 1 |
| Bit 9 | RTS0# | 1.8V/3.3V | 1 | GP1\_09 | 1.8V/3.3V | 1 |
| Bit 8 | SCK0 | 1.8V/3.3V | 1 | GP1\_08 | 1.8V/3.3V | 1 |
| Bit 7 | TX0 | 1.8V/3.3V | 1 | GP1\_07 | 1.8V/3.3V | 1 |
| Bit 6 | RX0 | 1.8V/3.3V | 1 | GP1\_06 | 1.8V/3.3V | 1 |
| Bit 5 | HRTS0# | 1.8V/3.3V | 1 | GP1\_05 | 1.8V/3.3V | 1 |
| Bit 4 | HCTS0# | 1.8V/3.3V | 1 | GP1-04 | 1.8V/3.3V | 1 |
| Bit 3 | HTX0 | 1.8V/3.3V | 1 | GP1\_03 | 1.8V/3.3V | 1 |
| Bit 2 | HRX0 | 1.8V/3.3V | 1 | GP1\_02 | 1.8V/3.3V | 1 |
| Bit 1 | HSCK0 | 1.8V/3.3V | 1 | GP1\_01 | 1.8V/3.3V | 1 |
| Bit 0 | SCIF\_CLK | 1.8V/3.3V | 1 | GP1\_00 | 1.8V/3.3V | 1 |

**Bảng 7.30:** Configuration of Registers in POC2 , POC3

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | **POC2** | | | **POC3** | | |
| **Pin name** | **Voltage** | **Initial value** | **Pin name** | **Voltage** | **Initial value** |
| Bit 31 | — | — | 0 | — | — | 0 |
| Bit 30 | — | — | 0 | — | — | 0 |
| Bit 29 | — | — | 0 | — | — | 0 |
| Bit 28 | — | — | 0 | — | — | 0 |
| Bit 27 | — | — | 0 | — | — | 0 |
| Bit 26 | — | — | 0 | — | — | 0 |
| Bit 25 | — | — | 0 | — | — | 0 |
| Bit 24 | — | — | 0 | — | — | 0 |
| Bit 23 | — | — | 0 | — | — | 0 |
| Bit 22 | — | — | 0 | — | — | 0 |
| Bit 21 | — | — | 0 | — | — | 0 |
| Bit 20 | — | — | 0 | — | — | 0 |
| Bit 19 | — | — | 0 | — | — | 0 |
| Bit 18 | — | — | 0 | TSN0-AVTP-CAPTURE | 1.8V/3.3V | 1 |
| Bit 17 | — | — | 0 | TSN0-AVTP-MATCH | 1.8V/3.3V | 1 |
| Bit 16 | — | — | 0 | TSN0-AVTP-PPS | 1.8V/3.3V | 1 |
| Bit 15 | — | — | 0 | TSN1-AVTP-CAPTURE | 1.8V/3.3V | 1 |
| Bit 14 | — | — | 0 | TSN1\_AVTP\_MATCH | 1.8V/3.3V | 1 |
| Bit 13 | — | — | 0 | TSN1\_AVTP\_PPS | 1.8V/3.3V | 1 |
| Bit 12 | — | — | 0 | TSN0\_MAGIC | 1.8V/3.3V | 1 |
| Bit 11 | — | — | 0 | TSN1\_PHY\_INT | 1.8V/3.3V | 1 |
| Bit10 | — | — | 0 | TSN0\_PHY\_INT | 1.8V/3.3V | 1 |
| Bit 9 | — | — | 0 | TSN2\_PHY\_INT | 1.8V/3.3V | 1 |
| Bit 8 | — | — | 0 | TSN0\_LINK | 1.8V/3.3V | 1 |
| Bit 7 | — | — | 0 | TSN2\_LINK | 1.8V/3.3V | 1 |
| Bit 6 | — | — | 0 | TSN1\_LINK | 1.8V/3.3V | 1 |
| Bit 5 | — | — | 0 | TSN1-MDC | 1.8V/3.3V | 1 |
| Bit 4 | — | — | 0 | TSN0\_MDC | 1.8V/3.3V | 1 |
| Bit 3 | — | — | 0 | TSN2\_MDC | 1.8V/3.3V | 1 |
| Bit 2 | — | — | 0 | TSNO\_MDIO | 1.8V/3.3V | 1 |
| Bit 1 | — | — | 0 | TSN2\_MDIO | 1.8V/3.3V | 1 |
| Bit 0 | — | — | 0 | TSN1\_MDIO | 1.8V/3.3V | 1 |

**Bảng 7.31:** Configuration of Registers in POC4 , POC5

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | **POC4** | | | **POC5** | | |
| **Pin name** | **Voltage** | **Initial value** | **Pin name** | **Voltage** | **Initial value** |
| Bit 31 | — | — | 0 | — | — | 0 |
| Bit 30 | — | — | 0 | — | — | 0 |
| Bit 29 | — | — | 0 | — | — | 0 |
| Bit 28 | — | — | 0 | — | — | 0 |
| Bit 27 | — | — | 0 | — | — | 0 |
| Bit 26 | — | — | 0 | — | — | 0 |
| Bit 25 | — | — | 0 | — | — | 0 |
| Bit 24 | — | — | 0 | — | — | 0 |
| Bit 23 | — | — | 0 | — | — | 0 |
| Bit 22 | — | — | 0 | — | — | 0 |
| Bit 21 | — | — | 0 | — | — | 0 |
| Bit 20 | — | — | 0 | — | — | 0 |
| Bit 19 | — | — | 0 | — | — | 0 |
| Bit 18 | — | — | 0 | — | — | 0 |
| Bit 17 | — | — | 0 | — | — | 0 |
| Bit 16 | — | — | 0 | — | — | 0 |
| Bit 15 | — | — | 0 | — | — | 0 |
| Bit 14 | — | — | 0 | — | — | 0 |
| Bit 13 | — | — | 0 | — | — | 0 |
| Bit 12 | — | — | 0 | — | — | 0 |
| Bit 11 | — | — | 0 | — | — | 0 |
| Bit10 | — | — | 0 | — | — | 0 |
| Bit 9 | — | — | 0 | — | — | 0 |
| Bit 8 | — | — | 0 | — | — | 0 |
| Bit 7 | — | — | 0 | — | — | 0 |
| Bit 6 | — | — | 0 | — | — | 0 |
| Bit 5 | — | — | 0 | — | — | 0 |
| Bit 4 | — | — | 0 | — | — | 0 |
| Bit 3 | — | — | 0 | — | — | 0 |
| Bit 2 | — | — | 0 | — | — | 0 |
| Bit 1 | — | — | 0 | — | — | 0 |
| Bit 0 | — | — | 0 | — | — | 0 |

**Bảng 7.32:** Configuration of Registers in POC6 , POC7

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | **POC6** | | | **POC7** | | |
| **Pin name** | **Voltage** | **Initial value** | **Pin name** | **Voltage** | **Initial value** |
| Bit 31 | — | — | 0 | — | — | 0 |
| Bit 30 | — | — | 0 | — | — | 0 |
| Bit 29 | — | — | 0 | — | — | 0 |
| Bit 28 | — | — | 0 | — | — | 0 |
| Bit 27 | — | — | 0 | — | — | 0 |
| Bit 26 | — | — | 0 | — | — | 0 |
| Bit 25 | — | — | 0 | — | — | 0 |
| Bit 24 | — | — | 0 | — | — | 0 |
| Bit 23 | — | — | 0 | — | — | 0 |
| Bit 22 | — | — | 0 | — | — | 0 |
| Bit 21 | — | — | 0 | — | — | 0 |
| Bit 20 | — | — | 0 | — | — | 0 |
| Bit 19 | — | — | 0 | — | — | 0 |
| Bit 18 | — | — | 0 | — | — | 0 |
| Bit 17 | — | — | 0 | — | — | 0 |
| Bit 16 | — | — | 0 | — | — | 0 |
| Bit 15 | — | — | 0 | — | — | 0 |
| Bit 14 | — | — | 0 | — | — | 0 |
| Bit 13 | — | — | 0 | — | — | 0 |
| Bit 12 | — | — | 0 | — | — | 0 |
| Bit 11 | — | — | 0 | — | — | 0 |
| Bit10 | — | — | 0 | — | — | 0 |
| Bit 9 | — | — | 0 | — | — | 0 |
| Bit 8 | — | — | 0 | — | — | 0 |
| Bit 7 | — | — | 0 | — | — | 0 |
| Bit 6 | — | — | 0 | — | — | 0 |
| Bit 5 | — | — | 0 | — | — | 0 |
| Bit 4 | — | — | 0 | — | — | 0 |
| Bit 3 | — | — | 0 | — | — | 0 |
| Bit 2 | — | — | 0 | — | — | 0 |
| Bit 1 | — | — | 0 | — | — | 0 |
| Bit 0 | — | — | 0 | — | — | 0 |

**Bảng 7.33:** Configuration of Registers in POCSYS

|  |  |  |  |
| --- | --- | --- | --- |
|  | **POCSYS** |  |  |
|  | **Pin name** | **Voltage** | **Initial value** |
| Bit 31 | — | — | 0 |
| Bit 30 | — | — | 0 |
| Bit 29 | — | — | 0 |
| Bit 28 | — | — | 0 |
| Bit 27 | — | — | 0 |
| Bit 26 | — | — | 0 |
| Bit 25 | — | — | 0 |
| Bit 24 | — | — | 0 |
| Bit 23 | — | — | 0 |
| Bit 22 | — | — | 0 |
| Bit 21 | — | — | 0 |
| Bit 20 | — | — | 0 |
| Bit 19 | — | — | 0 |
| Bit 18 | — | — | 0 |
| Bit 17 | — | — | 0 |
| Bit 16 | — | — | 0 |
| Bit 15 | — | — | 0 |
| Bit 14 | — | — | 0 |
| Bit 13 | — | — | 0 |
| Bit 12 | — | — | 0 |
| Bit 11 | — | — | 0 |
| Bit10 | — | — | 0 |
| Bit 9 | — | — | 0 |
| Bit 8 | — | — | 0 |
| Bit 7 | — | — | 0 |
| Bit 6 | — | — | 0 |
| Bit 5 | — | — | 0 |
| Bit 4 | — | — | 0 |
| Bit 3 | — | — | 0 |
| Bit 2 | — | — | 0 |
| Bit 1 | — | — | 0 |
| Bit 0 | — | — | 0 |

##### LSI Pin Pull-enable Register (PUENn)

**Chức năng:** PUENn/PUENSYS thực hiện điều khiển bật/tắt các điện trở kéo.

0: Chức năng kéo lên/xuống bị tắt.

1: Chức năng kéo lên/xuống được kích hoạt.

|  |
| --- |
|  |

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Bit** | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|  | **PUENn[31:16]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| **Bit** | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|  | **PUENn[15:0]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

**Bảng 7.34:** Configuration of Registers in PUEN0 , PUEN1

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | **PUEN0** | | | **PUEN1** | | |
| **Pin name** |  | **Initial value** | **Pin name** |  | **Initial value** |
| Bit 31 | — |  | 0 | — |  | 0 |
| Bit 30 | — |  | 0 | — |  | 0 |
| Bit 29 | — |  | 0 | — |  | 0 |
| Bit 28 | — |  | 0 | — |  | 0 |
| Bit 27 | — |  | 0 | — |  | 0 |
| Bit 26 | — |  | 0 | — |  | 0 |
| Bit 25 | — |  | 0 | — |  | 0 |
| Bit 24 | — |  | 0 | SD\_WP |  | 0 |
| Bit 23 | — |  | 0 | SD\_CD |  | 0 |
| Bit 22 | — |  | 0 | MMC-SD-CMD |  | 0 |
| Bit 21 | — |  | 0 | MMC.D7 |  | 0 |
| Bit 20 | IRQ3 |  | 0 | MMC-DS |  | 0 |
| Bit 19 | IRQ2 |  | 0 | MMC-D6 |  | 0 |
| Bit 18 | IRQ1 |  | 0 | MMC\_D4 |  | 0 |
| Bit 17 | IRQ0 |  | 0 | MMC.D5 |  | 0 |
| Bit 16 | MSIOFO\_SS2 |  | 0 | MMC-SD-D3 |  | 0 |
| Bit 15 | MSIOF0\_SS1 |  | 0 | MMC-SD-D2 |  | 0 |
| Bit 14 | MSIOF0\_SCK |  | 0 | MMC-SD-D1 |  | 0 |
| Bit 13 | MSIOF0\_TXD |  | 0 | MMC-SD-D0 |  | 0 |
| Bit 12 | MSIOF0\_RXD |  | 0 | MMC-SD-CLK |  | 0 |
| Bit 11 | MSIOF0\_SYNC |  | 0 | GP1-11 |  | 0 |
| Bit10 | CTS0# |  | 0 | GP1-10 |  | 0 |
| Bit 9 | RTS0# |  | 0 | GP1\_09 |  | 0 |
| Bit 8 | SCK0 |  | 0 | GP1\_08 |  | 0 |
| Bit 7 | TX0 |  | 0 | GP1\_07 |  | 0 |
| Bit 6 | RX0 |  | 0 | GP1\_06 |  | 0 |
| Bit 5 | HRTS0# |  | 0 | GP1\_05 |  | 0 |
| Bit 4 | HCTS0# |  | 0 | GP1-04 |  | 0 |
| Bit 3 | HTX0 |  | 0 | GP1\_03 |  | 0 |
| Bit 2 | HRX0 |  | 0 | GP1\_02 |  | 0 |
| Bit 1 | HSCK0 |  | 0 | GP1-01 |  | 0 |
| Bit 0 | SCIF\_CLK |  | 1 | GP1\_00 |  | 0 |

**Bảng 7.35:** Configuration of Registers in PUEN2 , PUEN3

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | **PUEN2** | | | **PUEN3** | | |
| **Pin name** |  | **Initial value** | **Pin name** |  | **Initial value** |
| Bit 31 | — |  | 0 | — |  | 0 |
| Bit 30 | — |  | 0 | — |  | 0 |
| Bit 29 | — |  | 0 | — |  | 0 |
| Bit 28 | — |  | 0 | — |  | 0 |
| Bit 27 | — |  | 0 | — |  | 0 |
| Bit 26 | — |  | 0 | — |  | 0 |
| Bit 25 | — |  | 0 | — |  | 0 |
| Bit 24 | — |  | 0 | — |  | 0 |
| Bit 23 | — |  | 0 | — |  | 0 |
| Bit 22 | — |  | 0 | — |  | 0 |
| Bit 21 | — |  | 0 | — |  | 0 |
| Bit 20 | — |  | 0 | — |  | 0 |
| Bit 19 | — |  | 0 | — |  | 0 |
| Bit 18 | — |  | 0 | TS N0\_AVTP\_CAPTU R E |  | 1 |
| Bit 17 | — |  | 0 | TSN0\_AVTP\_MATCH |  | 1 |
| Bit 16 | PCIE1-CLKREQ# |  | 0 | TSN0\_AVTP\_PPS |  | 0 |
| Bit 15 | PCIEO-CLKREQ# |  | 0 | TSN1\_AVTP\_CAPTURE |  | 1 |
| Bit 14 | QSPI0\_IO3 |  | 0 | TSN1\_AVTP\_MATCH |  | 1 |
| Bit 13 | QSPI0\_SSL |  | 0 | TSN1\_AVTP\_PPS |  | 0 |
| Bit 12 | QSPI0\_MISO\_IO1 |  | 0 | TSN0-MAGIC |  | 0 |
| Bit 11 | QSPI0\_IO2 |  | 0 | TSN1-PHY-INT |  | 1 |
| Bit10 | QSPI0\_SPCLK |  | 0 | TSN0-PHY-INT |  | 1 |
| Bit 9 | QSPI0\_MOSI\_IO0 |  | 0 | TSN2\_PHY\_INT |  | 1 |
| Bit 8 | QSPI1\_SPCLK |  | 0 | TSN0-LINK |  | 1 |
| Bit 7 | QSPI1\_MOSI\_IO0 |  | 0 | TSN2-LINK |  | 1 |
| Bit 6 | QSPI1\_IO2 |  | 0 | TSN1\_LINK |  | 1 |
| Bit 5 | QSPI1\_MISO\_IO1 |  | 0 | TSN1-MDC |  | 0 |
| Bit 4 | QSPI1\_IO3 |  | 0 | TSN0-MDC |  | 0 |
| Bit 3 | QSPI1\_SSL |  | 0 | TSN2-MDC |  | 0 |
| Bit 2 | RPC\_RESET# |  | 0 | TSN0-MDIO |  | 1 |
| Bit 1 | RPC\_WP# |  | 0 | TSN2-MDIO |  | 1 |
| Bit 0 | RPC\_INT# |  | 1 | TSN1\_MDIO |  | 1 |

**Bảng 7.36:** Configuration of Registers in PUEN4, PUEN5, PUEN6, PUEN7

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | **PUEN4** | | | **PUEN5** | | |
| **Pin name** |  | **Initial value** | **Pin name** |  | **Initial value** |
| Bit 31 | — |  | 0 | — |  | 0 |
| Bit 30 | MSPI1CSS1 |  | 0 | — |  | 0 |
| Bit 29 | MSPI1CSS2 |  | 0 | — |  | 0 |
| Bit 28 | MSPI1SC |  | 0 | — |  | 0 |
| Bit 27 | MSPI1CSS0 |  | 0 | — |  | 0 |
| Bit 26 | MSPI1SO/MSPI1DCS |  | 0 | — |  | 0 |
| Bit 25 | MSPI1SI |  | 0 | — |  | 0 |
| Bit 24 | MSPIOCSS0 |  | 0 | — |  | 0 |
| Bit 23 | MSPI0CSS1 |  | 0 | — |  | 0 |
| Bit 22 | MSPI0SO/MSPI0DCS |  | 0 | — |  | 0 |
| Bit 21 | MSPI0SI |  | 0 | — |  | 0 |
| Bit 20 | MSPI0SC |  | 0 | — |  | 0 |
| Bit 19 | GP4-19 |  | 0 | ETNB0TXD0 |  | 0 |
| Bit 18 | GP4-18 |  | 0 | ETNB0TXEN |  | 0 |
| Bit 17 | GP4-17 |  | 0 | ETNB0TXD2 |  | 0 |
| Bit 16 | GP4-16 |  | 0 | ETNB0TXD1 |  | 0 |
| Bit 15 | GP4-15 |  | 0 | ETNB0TXCLK |  | 0 |
| Bit 14 | GP4-14 |  | 0 | ETNB0TXD3 |  | 0 |
| Bit 13 | GP4-13 |  | 0 | ETNB0TXER |  | 0 |
| Bit 12 | GP4-12 |  | 0 | ETNB0RXCLK |  | 0 |
| Bit 11 | GP4-11 |  | 0 | ETNB0RXDO |  | 0 |
| Bit10 | GP4-10 |  | 0 | ETNB0RXDV |  | 0 |
| Bit 9 | GP4\_09 |  | 0 | ETNB0RXD2 |  | 0 |
| Bit 8 | GP4-08 |  | 0 | ETNB0RXD1 |  | 0 |
| Bit 7 | GP4-07 |  | 0 | ETNB0RXD3 |  | 0 |
| Bit 6 | GP4-06 |  | 0 | ETNB0RXER |  | 0 |
| Bit 5 | GP4-05 |  | 0 | ETNB0MDC |  | 0 |
| Bit 4 | GP4-04 |  | 0 | ETNB0LINKSTA |  | 0 |
| Bit 3 | GP4-03 |  | 0 | ETNB0WOL |  | 0 |
| Bit 2 | GP4-02 |  | 0 | ETNB0MD |  | 0 |
| Bit 1 | GP4\_01 |  | 0 | RIIC0SDA |  | 0 |
| Bit 0 | GP4-00 |  | 0 | RIIC0SCL |  | 0 |

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | **PUEN6** | | | **PUEN7** | | |
| **Pin name** |  | **Initial value** | **Pin name** |  | **Initial value** |
| Bit 31 | PRESETOUT1# |  | 0 | CAN15RX/INTP15 |  | 0 |
| Bit 30 | — |  | 0 | CAN15TX |  | 0 |
| Bit 29 | — |  | 0 | CAN14RX/INTP14 |  | 0 |
| Bit 28 | — |  | 0 | CAN14TX |  | 0 |
| Bit 27 | — |  | 0 | CAN13RX/INTP13 |  | 0 |
| Bit 26 | — |  | 0 | CAN13TX |  | 0 |
| Bit 25 | — |  | 0 | CAN12RX/INTP12 |  | 0 |
| Bit 24 | — |  | 0 | CAN12TX |  | 0 |
| Bit 23 | — |  | 0 | CAN11RX/INTP11 |  | 0 |
| Bit 22 | NM11 |  | 0 | CAN11TX |  | 0 |
| Bit 21 | INTP32 |  | 0 | CAN10RX/INTP10 |  | 0 |
| Bit 20 | INTP33 |  | 0 | CAN10TX |  | 0 |
| Bit 19 | INTP34 |  | 0 | CAN9RX/INTP9 |  | 0 |
| Bit 18 | INTP35 |  | 0 | CAN9TX |  | 0 |
| Bit 17 | INTP36 |  | 0 | CAN8RX/INTP8 |  | 0 |
| Bit 16 | INTP37 |  | 0 | CAN8TX |  | 0 |
| Bit 15 | RLIN30RX/INTP16 |  | 0 | CAN7RX/INTP7 |  | 0 |
| Bit 14 | RLIN30TX |  | 0 | CAN7TX |  | 0 |
| Bit 13 | RLIN31RX/INTP17 |  | 0 | CAN6RX7INTP6 |  | 0 |
| Bit 12 | RLIN31TX |  | 0 | CAN6TX |  | 0 |
| Bit 11 | RLIN32RX/INTP18 |  | 0 | CAN5RX/INTP5 |  | 0 |
| Bit10 | RLIN32TX |  | 0 | CAN5TX |  | 0 |
| Bit 9 | RLIN33RX/INTP19 |  | 0 | CAN4RX/INTP4 |  | 0 |
| Bit 8 | RLIN33TX |  | 0 | CAN4TX |  | 0 |
| Bit 7 | RLIN34RX/INTP20 |  | 0 | CAN3RX/INTP3 |  | 0 |
| Bit 6 | RLIN34TX |  | 0 | CAN3TX |  | 0 |
| Bit 5 | RLIN35RX/INTP21 |  | 0 | CAN2RX/INTP2 |  | 0 |
| Bit 4 | RLIN35TX |  | 0 | CAN2TX |  | 0 |
| Bit 3 | RLIN36RX/INTP22 |  | 0 | CAN1RX/INTP1 |  | 0 |
| Bit 2 | RLIN36TX |  | 0 | CAN1TX |  | 0 |
| Bit 1 | RLIN37RX/INTP23 |  | 0 | CAN0RX/INTPO |  | 0 |
| Bit 0 | RLIN37TX |  | 0 | CAN0TX |  | 0 |

**Bảng7.37:** Configuration of Registers in PUENSYS0, PUENSYS1

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | **PUENSYS0** | | | **PUENSYS1** | | |
| **Pin name** |  | **Initial value** | **Pin name** |  | **Initial value** |
| Bit 31 | — |  | 0 | — |  | 0 |
| Bit 30 | — |  | 0 | — |  | 0 |
| Bit 29 | — |  | 0 | — |  | 0 |
| Bit 28 | — |  | 0 | — |  | 0 |
| Bit 27 | — |  | 0 | — |  | 0 |
| Bit 26 | — |  | 0 | — |  | 0 |
| Bit 25 | — |  | 0 | — |  | 0 |
| Bit 24 | — |  | 0 | — |  | 0 |
| Bit 23 | — |  | 0 | — |  | 0 |
| Bit 22 | — |  | 0 | — |  | 0 |
| Bit 21 | — |  | 0 | — |  | 0 |
| Bit 20 | — |  | 0 | — |  | 0 |
| Bit 19 | — |  | 0 | — |  | 0 |
| Bit 18 | — |  | 0 | — |  | 0 |
| Bit 17 | — |  | 0 | — |  | 0 |
| Bit 16 | — |  | 0 | — |  | 0 |
| Bit 15 | — |  | 0 | — |  | 0 |
| Bit 14 | — |  | 0 | — |  | 0 |
| Bit 13 | — |  | 0 | — |  | 0 |
| Bit 12 | — |  | 0 | — |  | 0 |
| Bit 11 | — |  | 0 | — |  | 0 |
| Bit10 | — |  | 0 | MSYN# |  | 1 |
| Bit 9 | — |  | 0 | EVTI# |  | 1 |
| Bit 8 | — |  | 0 | DCUTCK1 |  | 1 |
| Bit 7 | — |  | 0 | DCUTDI1 |  | 1 |
| Bit 6 | — |  | 0 | DCUTMS1 |  | 1 |
| Bit 5 | — |  | 0 | DCUTMS0 |  | 1 |
| Bit 4 | — |  | 0 | DCUTDI0 |  | 1 |
| Bit 3 | — |  | 0 | DCUTCK0 |  | 1 |
| Bit 2 | — |  | 0 | DCUTRST1# |  | 1 |
| Bit 1 | EXTALR |  | 0 | DCUTRST0# |  | 1 |
| Bit 0 | PRESETOUT0# |  | 0 | ERROROUT-M# |  | 0 |

##### LSI Pin Pull-up / Down Control Register (PUDn / PUDSYS)

**Chức năng:** PUDn/PUDSYS thực hiện điều khiển pull-up/pull-down của các điện trở kéo.

0: Kéo xuống được kích hoạt.

1: Kéo lên được kích hoạt.

|  |
| --- |
|  |

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Bit** | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|  | **PUDn[31:16]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| **Bit** | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|  | **PUDn[15:0]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

**Bảng 7.38:** Configuration of Registers in PUD0, PUD1

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | **PUD0** | | | **PUD1** | | |
|  | **Pin name** |  | **Initial value** | **Pin name** |  | **Initial value** |
| Bit 31 | — |  | 0 | — |  | 0 |
| Bit 30 | — |  | 0 | — |  | 0 |
| Bit 29 | — |  | 0 | — |  | 0 |
| Bit 28 | — |  | 0 | — |  | 0 |
| Bit 27 | — |  | 0 | — |  | 0 |
| Bit 26 | — |  | 0 | — |  | 0 |
| Bit 25 | — |  | 0 | — |  | 0 |
| Bit 24 | — |  | 0 | SD-VVP |  | 0 |
| Bit 23 | — |  | 0 | SD-CD |  | 0 |
| Bit 22 | — |  | 0 | MMC-SD.CMD |  | 0 |
| Bit 21 | — |  | 0 | MMC-D7 |  | 0 |
| Bit 20 | IRQ3 |  | 0 | MMC.DS |  | 0 |
| Bit 19 | IRQ2 |  | 0 | MMC-D6 |  | 0 |
| Bit 18 | IRQ1 |  | 0 | MMC-D4 |  | 0 |
| Bit 17 | IRQO |  | 0 | MMC.D5 |  | 0 |
| Bit 16 | MSIOF0\_SS2 |  | 0 | MMC\_SD\_D3 |  | 0 |
| Bit 15 | MSIOF0\_SS1 |  | 0 | MMC\_SD\_D2 |  | 0 |
| Bit 14 | MSIOF0\_SCK |  | 0 | MMC\_SD\_D1 |  | 0 |
| Bit 13 | MSIOF0\_TXD |  | 0 | MMC-SD-D0 |  | 0 |
| Bit 12 | MSIOF0\_RXD |  | 0 | MMC-SD-CLK |  | 0 |
| Bit 11 | MSIOF0\_SYNC |  | 0 | GP1-11 |  | 0 |
| Bit10 | CTS0# |  | 0 | GP1-10 |  | 0 |
| Bit 9 | RTS0# |  | 0 | GP1-09 |  | 0 |
| Bit 8 | SCK0 |  | 0 | GP1\_08 |  | 0 |
| Bit 7 | TX0 |  | 0 | GP1-07 |  | 0 |
| Bit 6 | RX0 |  | 0 | GP1\_06 |  | 0 |
| Bit 5 | HRTS0# |  | 0 | GP1\_05 |  | 0 |
| Bit 4 | HCTS0# |  | 0 | GP1-04 |  | 0 |
| Bit 3 | HTX0 |  | 0 | GP1\_03 |  | 0 |
| Bit 2 | HRX0 |  | 0 | GP1-02 |  | 0 |
| Bit 1 | HSCK0 |  | 0 | GP1\_01 |  | 0 |
| Bit 0 | SCIF\_CLK |  | 1 | GP1-00 |  | 0 |

**Bảng7.39:** Configuration of Registers in PUD2, PUD3

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | **PUD2** | | | **PUD3** | | |
| **Pin name** |  | **Initial value** | **Pin name** |  | **Initial value** |
| Bit 31 | — |  | 0 | — |  | 0 |
| Bit 30 | — |  | 0 | — |  | 0 |
| Bit 29 | — |  | 0 | — |  | 0 |
| Bit 28 | — |  | 0 | — |  | 0 |
| Bit 27 | — |  | 0 | — |  | 0 |
| Bit 26 | — |  | 0 | — |  | 0 |
| Bit 25 | — |  | 0 | — |  | 0 |
| Bit 24 | — |  | 0 | — |  | 0 |
| Bit 23 | — |  | 0 | — |  | 0 |
| Bit 22 | — |  | 0 | — |  | 0 |
| Bit 21 | — |  | 0 | — |  | 0 |
| Bit 20 | — |  | 0 | — |  | 0 |
| Bit 19 | — |  | 0 | — |  | 0 |
| Bit 18 | — |  | 0 | TSN0\_AVTP\_CAPTURE |  | 1 |
| Bit 17 | — |  | 0 | TSN0-AVTP-MATCH |  | 0 |
| Bit 16 | PCIE1-CLKREQ# |  | 0 | TSN0\_AVTP\_PPS |  | 0 |
| Bit 15 | PCIE0-CLKREQ# |  | 0 | TSN1\_AVTP\_CAPTURE |  | 1 |
| Bit 14 | QSP10-1O3 |  | 0 | TSN1\_AVTP\_MATCH |  | 0 |
| Bit 13 | QSPI0\_SSL |  | 0 | TSN1\_AVTP\_PPS |  | 0 |
| Bit 12 | QSPI0\_MISO\_IO1 |  | 0 | TSN0\_MAGIC |  | 0 |
| Bit 11 | QSPI0\_IO2 |  | 0 | TSN1\_PHY\_INT |  | 0 |
| Bit10 | QSPI0\_SPCLK |  | 0 | TSN0\_PHY\_INT |  | 0 |
| Bit 9 | QSPI0\_MOSI\_IOO |  | 0 | TSN2\_PHY\_INT |  | 0 |
| Bit 8 | QSPI1-SPCLK |  | 0 | TSN0-LINK |  | 0 |
| Bit 7 | QSPI1\_MOSI\_IOO |  | 0 | TSN2\_LINK |  | 0 |
| Bit 6 | QSPI1\_IO2 |  | 0 | TSN1\_LINK |  | 0 |
| Bit 5 | QSPI1\_MISO\_IO1 |  | 0 | TSN1-MDC |  | 0 |
| Bit 4 | QSPI1\_IO3 |  | 0 | TSN0\_MDC |  | 0 |
| Bit 3 | QSPI1-SSL |  | 0 | TSN2\_MDC |  | 0 |
| Bit 2 | RPC\_RESET# |  | 0 | TSN0\_MDIO |  | 0 |
| Bit 1 | RPC\_WP# |  | 0 | TSN2\_MDIO |  | 0 |
| Bit 0 | RPC-INT# |  | 1 | TSN1\_MDIO |  | 0 |

**Bảng7.40:** Configuration of Registers in PUD4, PUD5, PUD6, PUD7

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | **PUD4** | | | **PUD5** | | |
| **Pin name** |  | **Initial value** | **Pin name** |  | **Initial value** |
| Bit 31 | — |  | 0 | — |  | 0 |
| Bit 30 | MSPI1CSS1 |  | 0 | — |  | 0 |
| Bit 29 | MSPI1CSS2 |  | 0 | — |  | 0 |
| Bit 28 | MSPI1SC |  | 0 | — |  | 0 |
| Bit 27 | MSPI1CSS0 |  | 0 | — |  | 0 |
| Bit 26 | MSPI1SO/MSPI1DCS |  | 0 | — |  | 0 |
| Bit 25 | MSPI1SI |  | 0 | — |  | 0 |
| Bit 24 | MSPI0CSS0 |  | 0 | — |  | 0 |
| Bit 23 | MSPI0CSS1 |  | 0 | — |  | 0 |
| Bit 22 | MSPI0SO/MSPIODCS |  | 0 | — |  | 0 |
| Bit 21 | MSPI0SI |  | 0 | — |  | 0 |
| Bit 20 | MSPI0SC |  | 0 | — |  | 0 |
| Bit 19 | GP4-19 |  | 0 | ETNB0TXD0 |  | 0 |
| Bit 18 | GP4-18 |  | 0 | ETNB0TXEN |  | 0 |
| Bit 17 | GP4-17 |  | 0 | ETNB0TXD2 |  | 0 |
| Bit 16 | GP4-16 |  | 0 | ETNB0TXD1 |  | 0 |
| Bit 15 | GP4-15 |  | 0 | ETNB0TXCLK |  | 0 |
| Bit 14 | GP4-14 |  | 0 | ETNB0TXD3 |  | 0 |
| Bit 13 | GP4-13 |  | 0 | ETNB0TXER |  | 0 |
| Bit 12 | GP4-12 |  | 0 | ETNB0RXCLK |  | 0 |
| Bit 11 | GP4-11 |  | 0 | ETNB0RXD0 |  | 0 |
| Bit10 | GP4-10 |  | 0 | ETNB0RXDV |  | 0 |
| Bit 9 | GP4\_09 |  | 0 | ETNB0RXD2 |  | 0 |
| Bit 8 | GP4-08 |  | 0 | ETNB0RXD1 |  | 0 |
| Bit 7 | GP4-07 |  | 0 | ETNB0RXD3 |  | 0 |
| Bit 6 | GP4-06 |  | 0 | ETNB0RXER |  | 0 |

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | **PUD6** | | | **PUD7** | | |
| **Pin name** |  | **Initial value** | **Pin name** |  | **Initial value** |
| Bit 31 | PRESETOUT1# |  | 0 | CAN15RX/INTP15 |  | 0 |
| Bit 30 | — |  | 0 | CAN15TX |  | 0 |
| Bit 29 | — |  | 0 | CAN14RX/INTP14 |  | 0 |
| Bit 28 | — |  | 0 | CAN14TX |  | 0 |
| Bit 27 | — |  | 0 | CAN13RX/INTP13 |  | 0 |
| Bit 26 | — |  | 0 | CAN13TX |  | 0 |
| Bit 25 | — |  | 0 | CAN12RX/INTP12 |  | 0 |
| Bit 24 | — |  | 0 | CAN12TX |  | 0 |
| Bit 23 | — |  | 0 | CAN11RX/INTP11 |  | 0 |
| Bit 22 | NMI1 |  | 0 | CAN11TX |  | 0 |
| Bit 21 | INTP32 |  | 0 | CAN1ORX/INTP1O |  | 0 |
| Bit 20 | INTP33 |  | 0 | CAN10TX |  | 0 |
| Bit 19 | INTP34 |  | 0 | CAN9RX/INTP9 |  | 0 |
| Bit 18 | INTP35 |  | 0 | CAN9TX |  | 0 |
| Bit 17 | INTP36 |  | 0 | CAN8RX/INTP8 |  | 0 |
| Bit 16 | INTP37 |  | 0 | CAN8TX |  | 0 |
| Bit 15 | RLIN30RX/INTP16 |  | 0 | CAN7RX/INTP7 |  | 0 |
| Bit 14 | RLIN30TX |  | 0 | CAN7TX |  | 0 |
| Bit 13 | RLIN31RX/INTP17 |  | 0 | CAN6RX7INTP6 |  | 0 |
| Bit 12 | RLIN31TX |  | 0 | CAN6TX |  | 0 |
| Bit 11 | RLIN32RX/INTP18 |  | 0 | CAN5RX/INTP5 |  | 0 |
| Bit10 | RLIN32TX |  | 0 | CAN5TX |  | 0 |
| Bit 9 | RLIN33RX/INTP19 |  | 0 | CAN4RX/INTP4 |  | 0 |
| Bit 8 | RLIN33TX |  | 0 | CAN4TX |  | 0 |
| Bit 7 | RLIN34RX/INTP20 |  | 0 | CAN3RX7INTP3 |  | 0 |
| Bit 6 | RLIN34TX |  | 0 | CAN3TX |  | 0 |
| Bit 5 | RLIN35RX/INTP21 |  | 0 | CAN2RX/INTP2 |  | 0 |
| Bit 4 | RLIN35TX |  | 0 | CAN2TX |  | 0 |
| Bit 3 | RLIN36RX/INTP22 |  | 0 | CAN1RX/INTP1 |  | 0 |
| Bit 2 | RLIN36TX |  | 0 | CAN1TX |  | 0 |
| Bit 1 | RLIN37RX/INTP23 |  | 0 | CAN0RX/INTPO |  | 0 |
| Bit 0 | RLIN37TX |  | 0 | CAN0TX |  | 0 |

**Bảng7.41:** Configuration of Registers in PUDSYS0, PUDSYS1

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  | **PUDSYS0** |  |  | **PUDSYS1** |  |
|  | **Pin name** |  | **Initial value** | **Pin name** |  | **Initial value** |
| Bit 31 | — |  | 0 | — |  | 0 |
| Bit 30 | — |  | 0 | — |  | 0 |
| Bit 29 | — |  | 0 | — |  | 0 |
| Bit 28 | — |  | 0 | — |  | 0 |
| Bit 27 | — |  | 0 | — |  | 0 |
| Bit 26 | — |  | 0 | — |  | 0 |
| Bit 25 | — |  | 0 | — |  | 0 |
| Bit 24 | — |  | 0 | — |  | 0 |
| Bit 23 | — |  | 0 | — |  | 0 |
| Bit 22 | — |  | 0 | — |  | 0 |
| Bit 21 | — |  | 0 | — |  | 0 |
| Bit 20 | — |  | 0 | — |  | 0 |
| Bit 19 | — |  | 0 | — |  | 0 |
| Bit 18 | — |  | 0 | — |  | 0 |
| Bit 17 | — |  | 0 | — |  | 0 |
| Bit 16 | — |  | 0 | — |  | 0 |
| Bit 15 | — |  | 0 | — |  | 0 |
| Bit 14 | — |  | 0 | — |  | 0 |
| Bit 13 | — |  | 0 | — |  | 0 |
| Bit 12 | — |  | 0 | — |  | 0 |
| Bit 11 | — |  | 0 | — |  | 0 |
| Bit10 | — |  | 0 | MSYN# |  | 1 |
| Bit 9 | — |  | 0 | EVTI# |  | 1 |
| Bit 8 | — |  | 0 | DCUTCK1 |  | 1 |
| Bit 7 | — |  | 0 | DCUTDI1 |  | 1 |
| Bit 6 | — |  | 0 | DCUTMS1 |  | 1 |
| Bit 5 | — |  | 0 | DCUTMS0 |  | 1 |
| Bit 4 | — |  | 0 | DCUTDI0 |  | 1 |
| Bit 3 | — |  | 0 | DCUTCK0 |  | 1 |
| Bit 2 | — |  | 0 | DCUTRST1# |  | 0 |
| Bit 1 | EXTALR |  | 0 | DCUTRST0# |  | 0 |
| Bit 0 | PRESETOUT0# |  | 0 | ERROROUT-M# |  | 0 |

##### Module Select Register (MODSELn)

**Chức năng:** MODSELn chọn nhóm cho nhiều chân LSI với chức năng ghép nhiều chân.

* Tế bào I2C sử dụng hai Chân của CLK và dữ liệu, và STBN để làm cho nó không sử dụng được chia sẻ bởi hai Chân của CLK và dữ liệu, vì vậy thanh ghi MODSEL1 có 2 bit cho một chức năng.
* MODSEL4 chọn xung clock MSPImSC (m=0-5) làm đầu vào hoặc đầu ra. Thanh ghi này nên được đặt trước khi đặt [**GPIO / Peripheral Function Select Register**.](#_GPIO/Peripheral_Function_Select)
* Để áp dụng kiểm soát miền, gán bit được đặt thành Nhóm cổng (GPIO).

|  |
| --- |
|  |

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Bit** | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|  | **MODSELn[31:16]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| **Bit** | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|  | **MODSELn[15:0]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

Về MODSEL0, MODSEL2, MODSEL3, MODSEL5-7 thì không có cấu hình.

**Bảng7.41:** Cấu hình thanh ghi trong MODSEL1

|  |  |  |  |
| --- | --- | --- | --- |
|  | **MODSEL1** | **Initial value** | **Description** |
| Bit 31 | Reserved | 0 | — |
| Bit 30 | Reserved | 0 | — |
| Bit 29 | Reserved | 0 | — |
| Bit 28 | Reserved | 0 | — |
| Bit 27 | Reserved | 0 | — |
| Bit 26 | Reserved | 0 | — |
| Bit 25 | Reserved | 0 | — |
| Bit 24 | Reserved | 0 | — |
| Bit 23 | Reserved | 0 | — |
| Bit 22 | Reserved | 0 | — |
| Bit 21 | Reserved | 0 | — |
| Bit 20 | Reserved | 0 | — |
| Bit 19 | Reserved | 0 | — |
| Bit 18 | Reserved | 0 | — |
| Bit 17 | Reserved | 0 | — |
| Bit 16 | Reserved | 0 | — |
| Bit 15 | Reserved | 0 | — |
| Bit 14 | Reserved | 0 | — |
| Bit 13 | Reserved | 0 | — |
| Bit 12 | Reserved | 0 | — |
| Bit 11 | MODSEL1[11] | 0 | b'11=Kích hoạt chức năng I2C5  Khác với b'11=Bật các chức năng khác với I2C5 |
| Bit10 | MODSEL1[10] | 0 |
| Bit 9 | MODSEL1[9] | 0 | b'11=Kích hoạt chức năng I2C4  Khác với b'11=Bật các chức năng khác với I2C4 |
| Bit 8 | MODSEL1[8] | 0 |
| Bit 7 | MODSEL1[7] | 0 | b'11=Kích hoạt chức năng I2C3  Khác với b'11=Bật các chức năng khác với I2C3 |
| Bit 6 | MODSEL1[6] | 0 |
| Bit 5 | MODSEL1[5] | 0 | b'11=Kích hoạt chức năng I2C2  Khác với b'11=Bật các chức năng khác với I2C2 |
| Bit 4 | MODSEL1[4] | 0 |
| Bit 3 | MODSEL1[3] | 0 | b'11=Kích hoạt chức năng I2C1  Khác với b'11=Bật các chức năng khác với I2C1 |
| Bit 2 | MODSEL1[2] | 0 |
| Bit 1 | MODSEL1[1] | 0 | b'11=Kích hoạt chức năng I2C0  Khác với b'11=Bật các chức năng khác với I2C0 |
| Bit 0 | MODSEL1[0] | 0 |

**Bảng7.43:** Configuration of Registers in MODSEL4

|  |  |  |  |
| --- | --- | --- | --- |
|  | **MODSEL4** | **Initial value** | **Description** |
| Bit 31 | Reserved | 0 |  |
| Bit 30 | Reserved | 0 |  |
| Bit 29 | Reserved | 0 |  |
| Bit 28 | Reserved | 0 |  |
| Bit 27 | Reserved | 0 |  |
| Bit 26 | Reserved | 0 |  |
| Bit 25 | Reserved | 0 |  |
| Bit 24 | Reserved | 0 |  |
| Bit 23 | Reserved | 0 |  |
| Bit 22 | Reserved | 0 |  |
| Bit 21 | Reserved | 0 |  |
| Bit 20 | Reserved | 0 |  |
| Bit 19 | Reserved | 0 |  |
| Bit 18 | Reserved | 0 |  |
| Bit 17 | Reserved | 0 |  |
| Bit 16 | Reserved | 0 |  |
| Bit 15 | Reserved | 0 |  |
| Bit 14 | Reserved | 0 |  |
| Bit 13 | Reserved | 0 |  |
| Bit 12 | Reserved | 0 |  |
| Bit 11 | Reserved | 0 |  |
| Bit10 | Reserved | 0 |  |
| Bit 9 | Reserved | 0 |  |
| Bit 8 | Reserved | 0 |  |
| Bit 7 | Reserved | 0 |  |
| Bit 6 | Reserved | 0 |  |
| Bit 5 | MODSEL4[5] | 0 | 1: Chế độ đầu ra cho chức năng MSPI5SC  0: Chế độ đầu vào cho chức năng MSPI5SC |
| Bit 4 | MODSEL4[4] | 0 | 1: Chế độ đầu ra cho chức năng MSPI4SC  0: Chế độ đầu vào cho chức năng MSPI4SC |
| Bit 3 | MODSEL4[3] | 0 | 1: Chế độ đầu ra cho chức năng MSPI3SC  0: Chế độ đầu vào cho chức năng MSPI3SC |
| Bit 2 | MODSEL4[2] | 0 | 1: Chế độ đầu ra cho chức năng MSPI2SC  0: Chế độ đầu vào cho chức năng MSPI2SC |
| Bit 1 | MODSEL4[1] | 0 | 1: Chế độ đầu ra cho chức năng MSPI1SC  0: Chế độ đầu vào cho chức năng MSPI1SC |
| Bit 0 | MODSEL4[0] | 0 | 1: Chế độ đầu ra cho chức năng MSPI0SC  0: Chế độ đầu vào cho chức năng MSPI0SC |

##### TDSEL Control Register 0-1 (TD0SELn , TD1SELn)

**Chức năng:** TD\*SELn / TD\*SELSYS kiểm soát khả năng điều khiển của các chân được sử dụng cho SDHI.

Chức năng này là điều chỉnh độ trễ của đường dẫn quay lại đồng hồ SDHI cho LSI bên trong.

|  |  |  |
| --- | --- | --- |
| **TDSEL1\*** | **TDSEL0\*** | **TDOUT** |
| **Target delay** |
| L | L | 10pF (@1.8V operation) |
| H | L | 20pF (@1.8V operation) |
| L | H | 30pF (@1.8V operation) |
| H | H | 40pF (@1.8V operation) |

Giá trị của các bit này phải là 00.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Bit** | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|  | **TD\*SELn[31:16] / TD\*SELSYS[31:16]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| **Bit** | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|  | **TD\*SELn[15:0] / TD\*SELSYS[15:0]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

**Lưu ý:** Để cho phép cài đặt thanh ghi này, hãy cài đặt thích hợp thanh ghi mặt nạ cài đặt chốt ghép kênh (PMMR) ngay trước khi cài đặt thanh ghi này.

**Bảng7.44:** Configuration of Registers in TD0SEL0, TD1SEL0

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | **TD0SEL0** | | | **TD1SEL0** | | |
| **Pin name** |  | **Initial value** | **Pin name** |  | **Initial value** |
| Bit 31 | — | — | 0 | — | — | 0 |
| Bit 30 | — | — | 0 | — | — | 0 |
| Bit 29 | — | — | 0 | — | — | 0 |
| Bit 28 | — | — | 0 | — | — | 0 |
| Bit 27 | — | — | 0 | — | — | 0 |
| Bit 26 | — | — | 0 | — | — | 0 |
| Bit 25 | — | — | 0 | — | — | 0 |
| Bit 24 | — | — | 0 | — | — | 0 |
| Bit 23 | — | — | 0 | — | — | 0 |
| Bit 22 | — | — | 0 | — | — | 0 |
| Bit 21 | — | — | 0 | — | — | 0 |
| Bit 20 | — | — | 0 | — | — | 0 |
| Bit 19 | — | — | 0 | — | — | 0 |
| Bit 18 | — | — | 0 | — | — | 0 |
| Bit 17 | — | — | 0 | — | — | 0 |
| Bit 16 | — | — | 0 | — | — | 0 |
| Bit 15 | — | — | 0 | — | — | 0 |
| Bit 14 | — | — | 0 | — | — | 0 |
| Bit 13 | — | — | 0 | — | — | 0 |
| Bit 12 | — | — | 0 | — | — | 0 |
| Bit 11 | — | — | 0 | — | — | 0 |
| Bit10 | — | — | 0 | — | — | 0 |
| Bit 9 | — | — | 0 | — | — | 0 |
| Bit 8 | — | — | 0 | — | — | 0 |
| Bit 7 | — | — | 0 | — | — | 0 |
| Bit 6 | — | — | 0 | — | — | 0 |
| Bit 5 | — | — | 0 | — | — | 0 |
| Bit 4 | — | — | 0 | — | — | 0 |
| Bit 3 | — | — | 0 | — | — | 0 |
| Bit 2 | — | — | 0 | — | — | 0 |
| Bit 1 | — | — | 0 | — | — | 0 |
| Bit 0 | — | — | 0 | — | — | 0 |

**Bảng7.45:** Configuration of Registers in TD0SEL1 , TD1SEL1

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | **TD0SEL1** | | | **TD1SEL1** | | |
| **Pin name** |  | **Initial value** | **Pin name** |  | **Initial value** |
| Bit 31 | — | — | 0 | — | — | 0 |
| Bit 30 | — | — | 0 | — | — | 0 |
| Bit 29 | — | — | 0 | — | — | 0 |
| Bit 28 | — | — | 0 | — | — | 0 |
| Bit 27 | — | — | 0 | — | — | 0 |
| Bit 26 | — | — | 0 | — | — | 0 |
| Bit 25 | MMC-SD-CLK | SD0TDSEL1 | 0 | — | — | 0 |
| Bit 24 | SD0TDSEL0 | 0 | — | — | 0 |
| Bit 23 | — | — | 0 | — | — | 0 |
| Bit 22 | — | — | 0 | — | — | 0 |
| Bit 21 | — | — | 0 | — | — | 0 |
| Bit 20 | — | — | 0 | — | — | 0 |
| Bit 19 | — | — | 0 | — | — | 0 |
| Bit 18 | — | — | 0 | — | — | 0 |
| Bit 17 | — | — | 0 | — | — | 0 |
| Bit 16 | — | — | 0 | — | — | 0 |
| Bit 15 | — | — | 0 | — | — | 0 |
| Bit 14 | — | — | 0 | — | — | 0 |
| Bit 13 | — | — | 0 | — | — | 0 |
| Bit 12 | — | — | 0 | — | — | 0 |
| Bit 11 | — | — | 0 | — | — | 0 |
| Bit10 | — | — | 0 | — | — | 0 |
| Bit 9 | — | — | 0 | — | — | 0 |
| Bit 8 | — | — | 0 | — | — | 0 |
| Bit 7 | — | — | 0 | — | — | 0 |
| Bit 6 | — | — | 0 | — | — | 0 |
| Bit 5 | — | — | 0 | — | — | 0 |
| Bit 4 | — | — | 0 | — | — | 0 |
| Bit 3 | — | — | 0 | — | — | 0 |
| Bit 2 | — | — | 0 | — | — | 0 |
| Bit 1 | — | — | 0 | — | — | 0 |
| Bit 0 | — | — | 0 | — | — | 0 |

**Bảng 7.46:** Configuration of Registers in TD0SEL2, TD1SEL3

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | **TD0SEL2** | | | **TD1SEL3** | | |
| **Pin name** |  | **Initial value** | **Pin name** |  | **Initial value** |
| Bit 31 | — | — | 0 | — | — | 0 |
| Bit 30 | — | — | 0 | — | — | 0 |
| Bit 29 | — | — | 0 | — | — | 0 |
| Bit 28 | — | — | 0 | — | — | 0 |
| Bit 27 | — | — | 0 | — | — | 0 |
| Bit 26 | — | — | 0 | — | — | 0 |
| Bit 25 | — | — | 0 | — | — | 0 |
| Bit 24 | — | — | 0 | — | — | 0 |
| Bit 23 | — | — | 0 | — | — | 0 |
| Bit 22 | — | — | 0 | — | — | 0 |
| Bit 21 | — | — | 0 | — | — | 0 |
| Bit 20 | — | — | 0 | — | — | 0 |
| Bit 19 | — | — | 0 | — | — | 0 |
| Bit 18 | — | — | 0 | — | — | 0 |
| Bit 17 | — | — | 0 | — | — | 0 |
| Bit 16 | — | — | 0 | — | — | 0 |
| Bit 15 | — | — | 0 | — | — | 0 |
| Bit 14 | — | — | 0 | — | — | 0 |
| Bit 13 | — | — | 0 | — | — | 0 |
| Bit 12 | — | — | 0 | — | — | 0 |
| Bit 11 | — | — | 0 | — | — | 0 |
| Bit10 | — | — | 0 | — | — | 0 |
| Bit 9 | — | — | 0 | — | — | 0 |
| Bit 8 | — | — | 0 | — | — | 0 |
| Bit 7 | — | — | 0 | — | — | 0 |
| Bit 6 | — | — | 0 | — | — | 0 |
| Bit 5 | — | — | 0 | — | — | 0 |
| Bit 4 | — | — | 0 | — | — | 0 |
| Bit 3 | — | — | 0 | — | — | 0 |
| Bit 2 | — | — | 0 | — | — | 0 |
| Bit 1 | — | — | 0 | — | — | 0 |
| Bit 0 | — | — | 0 | — | — | 0 |

**Bảng7.47:** Configuration of Registers in TD0SEL4, TD1SEL5

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | **TD0SEL4** | | | **TD1SEL5** | | |
| **Pin name** |  | **Initial value** | **Pin name** |  | **Initial value** |
| Bit 31 | — | — | 0 | — | — | 0 |
| Bit 30 | — | — | 0 | — | — | 0 |
| Bit 29 | — | — | 0 | — | — | 0 |
| Bit 28 | — | — | 0 | — | — | 0 |
| Bit 27 | — | — | 0 | — | — | 0 |
| Bit 26 | — | — | 0 | — | — | 0 |
| Bit 25 | — | — | 0 | — | — | 0 |
| Bit 24 | — | — | 0 | — | — | 0 |
| Bit 23 | — | — | 0 | — | — | 0 |
| Bit 22 | — | — | 0 | — | — | 0 |
| Bit 21 | — | — | 0 | — | — | 0 |
| Bit 20 | — | — | 0 | — | — | 0 |
| Bit 19 | — | — | 0 | — | — | 0 |
| Bit 18 | — | — | 0 | — | — | 0 |
| Bit 17 | — | — | 0 | — | — | 0 |
| Bit 16 | — | — | 0 | — | — | 0 |
| Bit 15 | — | — | 0 | — | — | 0 |
| Bit 14 | — | — | 0 | — | — | 0 |
| Bit 13 | — | — | 0 | — | — | 0 |
| Bit 12 | — | — | 0 | — | — | 0 |
| Bit 11 | — | — | 0 | — | — | 0 |
| Bit10 | — | — | 0 | — | — | 0 |
| Bit 9 | — | — | 0 | — | — | 0 |
| Bit 8 | — | — | 0 | — | — | 0 |
| Bit 7 | — | — | 0 | — | — | 0 |
| Bit 6 | — | — | 0 | — | — | 0 |
| Bit 5 | — | — | 0 | — | — | 0 |
| Bit 4 | — | — | 0 | — | — | 0 |
| Bit 3 | — | — | 0 | — | — | 0 |
| Bit 2 | — | — | 0 | — | — | 0 |
| Bit 1 | — | — | 0 | — | — | 0 |
| Bit 0 | — | — | 0 | — | — | 0 |

**Bảng7.48:** Configuration of Registers in TD0SEL6, TD1SEL7

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | **TD0SEL6** | | | **TD1SEL7** | | |
|  | **Pin name** |  | **Initial value** | **Pin name** |  | **Initial value** |
| Bit 31 | — | — | 0 | — | — | 0 |
| Bit 30 | — | — | 0 | — | — | 0 |
| Bit 29 | — | — | 0 | — | — | 0 |
| Bit 28 | — | — | 0 | — | — | 0 |
| Bit 27 | — | — | 0 | — | — | 0 |
| Bit 26 | — | — | 0 | — | — | 0 |
| Bit 25 | — | — | 0 | — | — | 0 |
| Bit 24 | — | — | 0 | — | — | 0 |
| Bit 23 | — | — | 0 | — | — | 0 |
| Bit 22 | — | — | 0 | — | — | 0 |
| Bit 21 | — | — | 0 | — | — | 0 |
| Bit 20 | — | — | 0 | — | — | 0 |
| Bit 19 | — | — | 0 | — | — | 0 |
| Bit 18 | — | — | 0 | — | — | 0 |
| Bit 17 | — | — | 0 | — | — | 0 |
| Bit 16 | — | — | 0 | — | — | 0 |
| Bit 15 | — | — | 0 | — | — | 0 |
| Bit 14 | — | — | 0 | — | — | 0 |
| Bit 13 | — | — | 0 | — | — | 0 |
| Bit 12 | — | — | 0 | — | — | 0 |
| Bit 11 | — | — | 0 | — | — | 0 |
| Bit10 | — | — | 0 | — | — | 0 |
| Bit 9 | — | — | 0 | — | — | 0 |
| Bit 8 | — | — | 0 | — | — | 0 |
| Bit 7 | — | — | 0 | — | — | 0 |
| Bit 6 | — | — | 0 | — | — | 0 |
| Bit 5 | — | — | 0 | — | — | 0 |
| Bit 4 | — | — | 0 | — | — | 0 |
| Bit 3 | — | — | 0 | — | — | 0 |
| Bit 2 | — | — | 0 | — | — | 0 |
| Bit 1 | — | — | 0 | — | — | 0 |
| Bit 0 | — | — | 0 | — | — | 0 |

**Bảng7.49:** Configuration of Registers in TD0SELSYS , TD1SELSYS

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | **TD0SELSYS** | | | **TD1SELSYS** | | |
|  | **Pin name** |  | **Initial value** | **Pin name** |  | **Initial value** |
| Bit 31 | — | — | 0 | — | — | 0 |
| Bit 30 | — | — | 0 | — | — | 0 |
| Bit 29 | — | — | 0 | — | — | 0 |
| Bit 28 | — | — | 0 | — | — | 0 |
| Bit 27 | — | — | 0 | — | — | 0 |
| Bit 26 | — | — | 0 | — | — | 0 |
| Bit 25 | — | — | 0 | — | — | 0 |
| Bit 24 | — | — | 0 | — | — | 0 |
| Bit 23 | — | — | 0 | — | — | 0 |
| Bit 22 | — | — | 0 | — | — | 0 |
| Bit 21 | — | — | 0 | — | — | 0 |
| Bit 20 | — | — | 0 | — | — | 0 |
| Bit 19 | — | — | 0 | — | — | 0 |
| Bit 18 | — | — | 0 | — | — | 0 |
| Bit 17 | — | — | 0 | — | — | 0 |
| Bit 16 | — | — | 0 | — | — | 0 |
| Bit 15 | — | — | 0 | — | — | 0 |
| Bit 14 | — | — | 0 | — | — | 0 |
| Bit 13 | — | — | 0 | — | — | 0 |
| Bit 12 | — | — | 0 | — | — | 0 |
| Bit 11 | — | — | 0 | — | — | 0 |
| Bit10 | — | — | 0 | — | — | 0 |
| Bit 9 | — | — | 0 | — | — | 0 |
| Bit 8 | — | — | 0 | — | — | 0 |
| Bit 7 | — | — | 0 | — | — | 0 |
| Bit 6 | — | — | 0 | — | — | 0 |
| Bit 5 | — | — | 0 | — | — | 0 |
| Bit 4 | — | — | 0 | — | — | 0 |
| Bit 3 | — | — | 0 | — | — | 0 |
| Bit 2 | — | — | 0 | — | — | 0 |
| Bit 1 | — | — | 0 | — | — | 0 |
| Bit 0 | — | — | 0 | — | — | 0 |

##### General IO / Interrupt Switching Register (IOINTSELn) (n = 0 to 3)

IOINTSELn chọn chế độ đầu vào/đầu ra chung hoặc chế độ đầu vào ngắt cho từng chân cổng từ 0 đến 31 của nhóm GPIO. Khi chế độ đầu vào/đầu ra chung được chọn cho một cổng, cũng cần phải chọn chế độ đầu vào hoặc đầu ra cho cổng bằng cách sử dụng bit tương ứng trong thanh ghi chuyển đổi đầu vào/đầu ra chung. Khi chế độ đầu vào ngắt được chọn cho một cổng, cài đặt của thanh ghi chuyển đổi đầu vào/đầu ra chung cho cổng sẽ bị bỏ qua.

[Giá trị mặc định của phần cứng:H'0000 0000 = chế độ đầu vào/đầu ra chung được chọn cho tất cả các cổng.]

|  |
| --- |
| Thanh ghi 32 bit General IO / Interrupt Switching Register (IOINTSELn) trong S4 CAR của hãng Renesas là thanh ghi điều khiển cho phép lựa chọn chế độ hoạt động của các chân GPIO (General Purpose Input Output) và các chức năng liên quan đến interrupt (ngắt) trên S4 CAR.  Các trường trong thanh ghi này bao gồm:   * IO Port Selection (IOSEL): Trường này được sử dụng để chọn chế độ hoạt động của các chân GPIO. Các chế độ này bao gồm đầu vào, đầu ra, đầu vào kéo lên / kéo xuống và đầu vào ADC. * Interrupt Selection (INTSEL): Trường này được sử dụng để chọn nguồn interrupt (ngắt) cho các chân GPIO. * Interrupt Edge Selection (INTEDG): Trường này được sử dụng để chọn cạnh trigger (sự kích hoạt) cho interrupt (ngắt) được kích hoạt trên các chân GPIO.   Các trường trong thanh ghi này được cấu hình để đảm bảo việc sử dụng các chức năng GPIO và interrupt (ngắt) là chính xác và hiệu quả. Việc chọn chế độ hoạt động, nguồn interrupt (ngắt) và cạnh trigger (sự kích hoạt) phù hợp sẽ đảm bảo rằng hệ thống sẽ hoạt động đúng cách và đáng tin cậy.  Việc cấu hình thanh ghi General IO / Interrupt Switching Register (IOINTSELn) là một phần quan trọng của thiết kế hệ thống S4 CAR, và nó đảm bảo rằng các chân GPIO và interrupt (ngắt) được sử dụng đúng cách, đồng thời đảm bảo hiệu suất và độ ổn định của hệ thống. |

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Bit** | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|  | **IOINTSELn[31:16]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| **Bit** | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|  | **IOINTSELn[15:0]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Bit** | **Bit Name** | **Initial Value** | **R/W** | **Description** |
| 31 0 | IOINTSELn [31:0] | H'0000 0000 | R/W | Chọn chế độ đầu vào/đầu ra chung hoặc chế độ đầu vào ngắt cho mỗi cổng bằng cách sử dụng các bit tương ứng với số cổng.  0: Chế độ đầu vào/đầu ra chung.  1: Chế độ đầu vào interupt |

Lưu ý: Các bit không sử dụng phải được đặt thành giá trị ban đầu.

|  |  |  |  |
| --- | --- | --- | --- |
| **Bit** | **lOINTSELn** | **Bit** | **lOINTSELn** |
| **GPIO** | **GPIO** |
| Bit 31 | GPn\_31 | Bit 15 | GPn\_15 |
| Bit 30 | GPn\_30 | Bit 14 | GPn\_14 |
| Bit 29 | GPn\_29 | Bit 13 | GPn\_13 |
| Bit 28 | GPn\_28 | Bit 12 | GPn\_12 |
| Bit 27 | GPn\_27 | Bit 11 | GPn\_11 |
| Bit 26 | GPn\_26 | Bit10 | GPn\_10 |
| Bit 25 | GPn\_25 | Bit 9 | GPn\_9 |
| Bit 24 | GPn\_24 | Bit 8 | GPn\_8 |
| Bit 23 | GPn\_23 | Bit 7 | GPn\_7 |
| Bit 22 | GPn\_22 | Bit 6 | GPn\_6 |
| Bit 21 | GPn\_21 | Bit 5 | GPn\_5 |
| Bit 20 | GPn\_20 | Bit 4 | GPn\_4 |
| Bit 19 | GPn\_19 | Bit 3 | GPn\_3 |
| Bit 18 | GPn\_18 | Bit 2 | GPn\_2 |
| Bit 17 | GPn\_17 | Bit 1 | GPn\_1 |
| Bit 16 | GPn 16 | Bit 0 | GPn 0 |

##### General Input/Output Switching Register (INOUTSELn)

INOUTSELn chỉ có hiệu lực đối với các cổng mà chế độ đầu vào/đầu ra chung được chọn bởi thanh ghi chuyển mạch IO/ngắt chung. Cụ thể, INOUTSEL chọn chế độ đầu vào chung hoặc đầu ra chung cho một cổng bằng cách sử dụng bit tương ứng với số cổng. Các bit INOUTSEL chỉ có thể được ghi vào khi các bit tương ứng trong thanh ghi chuyển đổi IO/ngắt chung là 0. Lưu ý rằng sau khi chế độ đầu vào/đầu ra chung được thay đổi thành chế độ đầu vào ngắt, INOUTSEL giữ nguyên cài đặt nhưng được đọc là 0.

[Giá trị mặc định của phần cứng: H'0000 0000 = chế độ đầu vào chung được chọn cho tất cả các cổng.]

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Bit** | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|  | **INOUTSELn[31:16]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| **Bit** | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|  | **INOUTSELn[15:0]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Bit** | **Bit Name** | **Initial Value** | **R/W** | **Description** |
| 31 0 | IOINTSELn [31:0] | H'0000 0000 | R/W | Chọn chế độ đầu vào/đầu ra chung hoặc chế độ đầu vào ngắt cho mỗi cổng bằng cách sử dụng các bit tương ứng với số cổng.  0: Chế độ đầu vào/đầu ra chung. |

Lưu ý: Các bit không sử dụng phải được đặt thành giá trị ban đầu.

##### General Output Register (OUTDTn)

OUTDTn chỉ hợp lệ cho các cổng mà chế độ đầu vào/đầu ra chung được chọn bởi thanh ghi chuyển mạch IO/ngắt chung và sau đó chế độ đầu ra chung được chọn bởi thanh ghi chuyển đổi đầu vào/đầu ra chung. Cụ thể, giá trị của bit trong OUTDTn tương ứng với số cổng được đảo ngược hoặc không đảo ngược tùy thuộc vào cài đặt của thanh ghi chọn logic dương/âm trước khi được xuất ra từ chân cổng tương ứng. Lưu ý rằng cực tính của tín hiệu đầu ra phải được đặt trước bằng cách sử dụng bit tương ứng trong thanh ghi chọn logic dương/âm. Thanh ghi này phải được đặt sau khi thanh ghi chọn dữ liệu đầu ra được đặt thích hợp để chọn mức dữ liệu đầu ra.

[Giá trị mặc định của phần cứng: H'0000 0000 = 0 được xuất ra từ tất cả các cổng.]

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Bit** | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|  | **OUTDTn[31:16]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| **Bit** | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|  | **OUTDTn[15:0]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Bit** | **Bit Name** | **Initial Value** | **R/W** | **Description** |
| 31  0 | OUTDTn[31:0] | H'0000 0000 | R/W | Allows the port to output the value set in the bit corresponding to the port number when the port is appropriately set by IOINTSEL, INOUTSEL and OUTDTSEL.  0: 0 is output. |

**Lưu ý:**

* Các giá trị được thiết lập trong OUTDT không được trực tiếp đưa ra từ các chân GPIO; các giá trị được thiết lập trên đó sẽ được xử lý theo cài đặt của thanh ghi chọn logic dương / âm trước khi đưa ra.
* Các bit không được sử dụng nên được thiết lập với các giá trị ban đầu.
* Về việc ghi dữ liệu đầu ra: Dữ liệu đầu ra có thể được chọn độc quyền từ OUTDT hoặc OUTDTH / OUTDTL, dựa trên cài đặt OUTDTSEL.
* Về việc đọc dữ liệu đầu ra: OUTDT và OUTDTH / OUTDTL đọc như là dữ liệu đầu ra thực tế.

##### General Input Register (INDTn)

INDTn là một thanh ghi có thể đọc trạng thái của các Cổng vào/ra mục đích chung.

Mỗi bit phản ánh giá trị nhận được thông qua chân cổng tương ứng.

Lưu ý rằng khi một bit trong thanh ghi chọn logic dương/âm là 1, thì bit tương ứng trong INDT biểu thị giá trị đảo ngược của tín hiệu đầu vào.

Giá trị mặc định của phần cứng: trạng thái của tín hiệu đầu vào các chân cổng.]

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Bit** | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|  | **INDTn[31:16]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| **Bit** | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|  | **INDTn[15:0]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Bit** | **Bit Name** | **Initial Value** | **R/W** | **Description** |
| 31  0 | INDTn[31:0] | \* | R | Mỗi bit phản ánh giá trị nhận được thông qua chân cổng tương ứng.  0: Đầu vào là 0. (giả sử logic dương) |

**Lưu ý:**

Các bit không sử dụng phải được đặt thành giá trị ban đầu.

\* Trạng thái của các tín hiệu đầu vào các chân cổng.

##### Interrupt Display Register (INTDTn) (n = 0 to 3)

INTDTn chỉ có giá trị khi chế độ đầu vào ngắt được chọn bằng thanh ghi chuyển đổi IO / ngắt tổng quát. Cụ thể, khi một ngắt được đưa vào thông qua chân cổng khi INTDTn có giá trị, bit trong INTDTn tương ứng với cổng sẽ cho biết cổng đã nhận được ngắt hay chưa. Trong chế độ đầu vào ngắt, điều kiện cực và phát hiện (một cạnh / cả hai cạnh hoặc mức) của tín hiệu đầu vào bên ngoài có thể được thiết lập cho mỗi chân cổng. Trước khi sử dụng một chân cổng cho đầu vào ngắt, các bit tương ứng trong thanh ghi chọn logic dương / âm và thanh ghi chọn mức / cạnh (một thanh ghi cạnh / cả hai cạnh nên được cấu hình phù hợp nếu chế độ phát hiện cạnh được chọn) phải được thiết lập.

Nếu một cổng được đặt cho phát hiện cạnh bằng cách sử dụng bit tương ứng trong thanh ghi chọn mức / cạnh, thì ngay cả khi một tín hiệu ngắt xung bên ngoài được đưa vào, bit tương ứng trong INTDTn giữ đầu vào bằng FF và cho phép tín hiệu ngắt mức được đưa ra đến khối điều khiển ngắt.

Để dừng tất cả các đầu ra tín hiệu ngắt, tất cả các bit trong thanh ghi xóa ngắt tương ứng với các bit trong INTDTn hiện đang chỉ ra việc nhận các tín hiệu ngắt tương ứng nên được xóa để trở thành giá trị 0. Lưu ý rằng nếu một cổng được đặt cho phát hiện mức bằng cách sử dụng bit tương ứng trong thanh ghi chọn mức / cạnh và một tín hiệu ngắt mức bên ngoài được đưa vào, bit tương ứng trong INTDTn không sử dụng FF để giữ đầu vào. Do đó, khi một tín hiệu đầu vào bên ngoài bị dừng, bit tương ứng trong INTDTn sẽ tự động được xóa. Khi tất cả các bit trong INTDTn được tắt (= 0), GPIO sẽ dừng phát ra tất cả các tín hiệu ngắt.

[Giá trị mặc định phần cứng: H’0000 0000 = không có tín hiệu ngắt nào được đưa vào từ các cổng.]

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Bit** | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|  | **INTDTn[31:16]** | | | | | | | | | | | | | | | |
| **R/W:** | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| **Bit** | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|  | **INTDTn[15:0]** | | | | | | | | | | | | | | | |
| **R/W:** | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Bit** | **Bit Name** | **Initial Value** | **R/W** | **Description** |
| 31  0 | INTDTn[31:0] | H'0000 0000 | R | Mỗi bit cho biết đầu vào của tín hiệu ngắt trên chân cổng tương ứng.  0: Không có tín hiệu ngắt nào được đưa vào. |

Điều kiện hiển thị tín hiệu ngắt:

1. Đối với đầu vào ngắt có tính chất cấp mức (EDGLEVEL = 0)

* Tín hiệu đầu vào bên ngoài được giám sát liên tục và được hiển thị. (Khi chọn logic âm, giá trị đảo của tín hiệu đầu vào bên ngoài được hiển thị.)

1. Đối với đầu vào ngắt có tính chất cạnh (EDGLEVEL = 1)

* Điều kiện xóa: Khi thanh ghi xóa ngắt được xóa, hiển thị sẽ bị xóa mà không phụ thuộc vào thanh ghi chọn logic dương/hay âm.
* Điều kiện cài đặt: Với logic dương (POSNEG = 0), khi phát hiện cạnh dương của tín hiệu ngắt bên ngoài, ngắt đầu vào được hiển thị. Với logic âm (POSNEG = 1), khi phát hiện cạnh âm của tín hiệu ngắt bên ngoài, ngắt đầu vào được hiển thị. Trong chế độ cả hai cạnh (BOTHEDGE = 1), khi phát hiện cả cạnh dương và cạnh âm, ngắt đầu vào được hiển thị.

##### Interrupt Clear Register (INTCLRn) (n = 0 to 3)

Khi thanh ghi hiển thị ngắt hiện tại đang chỉ ra việc nhận ngắt đối với cổng được chọn bằng cách cấu hình cho đăng ký lựa chọn mức độ/đường biên mà được chọn bằng cách cấu hình cho đăng ký lựa chọn một đường biên/hai đường biên trong chế độ nhập ngắt, INTCLRn sẽ xóa chỉ báo. Cụ thể, việc viết 1 vào các bit trong INTCLRn tương ứng với số cổng có thể xóa các bit tương ứng trong thanh ghi hiển thị ngắt.

Tuy nhiên, khi thanh ghi hiển thị ngắt hiện tại chỉ ra việc nhận ngắt đối với cổng được chọn bằng cách cấu hình cho đăng ký lựa chọn mức độ, việc viết 1 vào các bit tương ứng trong INTCLRn không thể xóa các bit tương ứng trong thanh ghi hiển thị ngắt. Chỉ việc viết 1 vào INTCLRn mới có hiệu lực; INTCLRn luôn được đọc là 0.

[Giá trị mặc định phần cứng: H'0000 0000 = chỉ báo ngắt đã bị xóa cho không có cổng nào.]

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Bit** | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|  | **INTCLRn[31:16]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| **Bit** | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|  | **INTCLRn[15:0]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Bit** | **Bit Name** | **Initial Value** | **R/W** | **Description** |
| 31  0 | INTCLRn [31:0] | H'0000 0000 | R/W | Ghi 1 vào các bit tương ứng với số cổng sẽ xóa các bit tương ứng trong thanh ghi hiển thị ngắt.  0: Không ảnh hưởng |

**Lưu ý:** Các bit không sử dụng phải được đặt thành giá trị ban đầu.

##### Interrupt Mask Register (INTMSKn) (n = 0 to 3)

Chức năng của INTMSKn trong việc giới hạn các yêu cầu ngắt tín hiệu được chỉ định bởi thanh ghi hiển thị ngắt của GPIO.ch. Các yêu cầu ngắt có thể được giới hạn bằng cách sử dụng các bit tương ứng trong INTMSKn. Khi tất cả các bit đang chỉ ra việc nhận các tín hiệu ngắt bị giới hạn, không có tín hiệu ngắt được đưa ra tới khối điều khiển ngắt. Các mặt nạ có thể được hủy bỏ bằng cách viết 1 vào các bit tương ứng trong thanh ghi xóa mặt nạ ngắt. Chỉ viết 0 vào thanh ghi này là hiệu quả.

[Giá trị mặc định phần cứng: H'0000 0000 = tất cả các cổng đều bị giới hạn.]

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Bit** | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|  | **INTMSKn[31:16]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| **Bit** | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|  | **INTMSKn[15:0]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Bit** | **Bit Name** | **Initial Value** | **R/W** | **Description** |
| 31  0 | INTMSKn [31:0] | H'0000 0000 | R/W | "Việc thiết lập mặt nạ (mask) cho bit sẽ vô hiệu hóa tín hiệu ngắt tương ứng để đưa ra cho khối điều khiển ngắt.  0: Tín hiệu ngắt bị mặt nạ." |

**Lưu ý:** Các bit không sử dụng phải được đặt thành giá trị ban đầu.

##### Interrupt Mask Clear Register (MSKCLRn) (n = 0 to 3)

MSKCLRn là việc hủy các mặt nạ (masks) được thiết lập bởi thanh ghi mặt nạ ngắt của GPIO.ch \* A. Mỗi mặt nạ có thể được hủy bỏ (xóa) bằng cách ghi 1 vào bit tương ứng trong MSKCLRn. Chỉ việc ghi 1 vào MSKCLRn mới có hiệu lực; MSKCLRn luôn đọc là 0. [Giá trị mặc định của phần cứng: H'0000 0000 = các mặt nạ ngắt thay thế được xóa cho không có cổng nào.]

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Bit** | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|  | **MSKCLRn[31:16]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| **Bit** | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|  | **MSKCLRn[15:0]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Bit** | **Bit Name** | **Initial Value** | **R/W** | **Description** |
| 31  0 | MSKCLRn [31:0] | H'0000 0000 | R/W | Đặt mặt nạ cho bit sẽ vô hiệu hóa tín hiệu ngắt thay thế tương ứng được xuất ra khối điều khiển ngắt.  0: Không ảnh hưởng |

**Lưu ý:** Các bit không sử dụng phải được đặt thành giá trị ban đầu. (Khi GPIO không được chọn bởi cài đặt ghép kênh chân, không hủy mặt nạ ngắt thay thế.)

##### Positive / Negative Logic Select Register (POSNEGn)

POSNEGn chọn cực (logic dương hoặc âm) của mỗi chân cổng trên chế độ đầu vào tổng quát, đầu ra tổng quát hoặc chế độ đầu vào ngắt. POSNEGn cần được thiết lập trước khi chọn chế độ. [Giá trị mặc định phần cứng: H'0000 0000 = chọn logic dương cho tất cả các cổng.]

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Bit** | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|  | **POSNEGn[31:16]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| **Bit** | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|  | **POSNEGn[15:0]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Bit** | **Bit Name** | **Initial Value** | **R/W** | **Description** |
| 31  0 | POSNEGn [31:0] | H'0000 0000 | R/W | Chọn cực tính (logic dương hoặc âm) của mỗi chân cổng.  0: Logic tích cực |

**Lưu ý:** Các bit không sử dụng phải được đặt thành giá trị ban đầu.

##### Edge / Level Select Register (EDGLEVELn) (n = 0 to 3)

EDGLEVELn chỉ có hiệu lực đối với các cổng mà chế độ đầu vào ngắt được chọn bởi thanh ghi chuyển đổi ngắt IO/ngắt chung. Cụ thể, EDGLEVELn được sử dụng để lựa chọn điều kiện phát hiện (độ dốc hoặc mức) của tín hiệu ngắt đầu vào trên mỗi chân cổng cho phép chọn chế độ đầu vào ngõ vào ngắt. EDGLEVELn nên được thiết lập trước khi chọn chế độ đầu vào ngõ vào ngắt. [Giá trị mặc định phần cứng: H'0000 0000 = chọn chế độ phát hiện mức cho tất cả các cổng.]

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Bit** | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|  | **EDGLEVELn[31:16]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| **Bit** | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|  | **EDGLEVELn[15:0]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Bit** | **Bit Name** | **Initial Value** | **R/W** | **Description** |
| 31  0 | EDGLEVELn [31:0] | H'0000 0000 | R/W | Chọn mức hoặc cạnh làm điều kiện phát hiện của tín hiệu đầu vào ngắt trên mỗi chân cổng mà chế độ đầu vào ngắt được chọn. 0: Cấp độ |

Lưu ý: Các bit không sử dụng phải được đặt thành giá trị ban đầu.

##### Chattering Prevention On / Off Register (FILONOFFn)

FILONOFFn ngăn chặn các tín hiệu nhiễu tạp vào các chân cổng vào của mỗi nhóm GPIO. Để biết chi tiết, vui lòng tham khảo phần 7.3.6, Xử lý tín hiệu vào trên các chân cổng. [Giá trị mặc định của phần cứng: H’0000 0000 = chức năng ngăn chặn nhiễu tạp được tắt cho tất cả các cổng.]

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Bit** | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|  | **FILONOFFn[31:16]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| **Bit** | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|  | **FILONOFFn[15:0]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Bit** | **Bit Name** | **Initial Value** | **R/W** | **Description** |
| 31  0 | FILONOFFn [31:0] | H'0000 0000 | R/W | Điều khiển chức năng chống đảo tín hiệu trên các chân cổng GPIO. 0: Chức năng chống đảo tín hiệu bị tắt. |

##### Chattering Prevention Clock Select Register (FILCLKSELn)

FILCLKSELn điều khiển tỷ lệ chia của đồng hồ CPϕ để ngăn ngừa tín hiệu đầu vào đang rung động vào nhóm chân GPIO.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Bit** | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|  | **FILCLKSELn[31:16]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| **Bit** | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|  | **FILCLKSELn[15:0]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Bit** | **Bit Name** | **Initial Value** | **R/W** | **Description** |
| 15  0 | FILCLKSELn [15:0] | H'0000 | R/W | Đặt tỷ lệ phân chia của bộ lọc xung CLOCK.  d: CPϕ / (d + 1) |

##### Output Data Select Register (OUTDTSELn)

OUTDTSELn chỉ có giá trị khi các cổng GPIO được chọn ở chế độ đầu vào/đầu ra thông thường thông qua thanh ghi chuyển đổi GPIO tổng quát và sau đó chế độ đầu ra thông thường được chọn thông qua thanh ghi chuyển đổi đầu vào/đầu ra thông thường. OUTDTSELn lựa chọn liệu OUTDTn hoặc OUTDTHn / OUTDTLn sẽ là dữ liệu đầu ra của GPIO. Khi lựa chọn OUTDTn, cấu hình được thực hiện như mô tả trong phần 7.2.14, Đăng ký đầu ra thông thường (OUTDTn). Khi lựa chọn OUTDTHn / OUTDTLn, dữ liệu đầu ra sẽ được đưa ra bằng cách viết dữ liệu tương ứng vào các bit tương ứng trong OUTDTHn hoặc OUTDTLn. Lưu ý rằng cần thiết phải thiết lập trước đó cực của tín hiệu đầu ra bằng cách sử dụng bit tương ứng trong thanh ghi lựa chọn logic dương hoặc âm. Hơn nữa, thanh ghi này nên được thiết lập trước khi viết dữ liệu vào các thanh ghi OUTDTHn / OUTDTLn.

[Giá trị mặc định phần cứng: H’0000 0000 = Đăng ký dữ liệu đầu ra được sử dụng để đưa ra dữ liệu.]

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Bit** | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|  | OUTDTSELn[31:16] | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| **Bit** | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|  | OUTDTSELn**[15:0]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Bit** | **Bit Name** | **Initial Value** | **R/W** | **Description** |
| 31  0 | OUTDTSELn [31:0] | H'0000 0000 | R/W | Lựa chọn cách đầu ra dữ liệu được đưa ra bởi thanh ghi đầu ra tổng quát OUTDTn hay bởi thanh ghi dữ liệu đầu ra cao OUTDTHn/ thanh ghi dữ liệu đầu ra thấp OUTDTLn.  0: Sử dụng thanh ghi đầu ra tổng quát để đưa ra dữ liệu. |

**Lưu ý:** Các bit không sử dụng phải được đặt thành giá trị ban đầu.

##### Output Data High Register (OUTDTHn)

OUTDTHn chỉ có giá trị hợp lệ đối với các cổng mà trong đó chế độ đầu vào/đầu ra chung được chọn bằng thanh ghi chuyển đổi ngõ vào/ ngắt chung và sau đó chế độ đầu ra chung được chọn bằng thanh ghi chuyển đổi đầu vào/đầu ra chung. Nếu đã cấu hình thanh ghi lựa chọn dữ liệu đầu ra GPIO OUTDTSELn để chọn thanh ghi OUTDTHn / OUTDTLn để đưa dữ liệu ra, thì chỉ việc ghi 1 vào thanh ghi OUTDTHn mới có tác dụng. Nếu không, việc thiết lập sẽ không thay đổi gì. Việc đọc OUTDTHn sẽ trả về giá trị của dữ liệu mới nhất được thiết lập vào OUTDTHn hoặc OUTDTLn ngay trước đó. Lưu ý rằng cực của tín hiệu đầu ra nên được thiết lập trước đó bằng cách sử dụng bit tương ứng trong thanh ghi chọn logic dương/âm. Hơn nữa, thanh ghi này phải được cấu hình trước khi viết hoặc đọc dữ liệu từ thanh ghi OUTDTHn / OUTDTLn. Việc đọc OUTDTHn mà chưa cấu hình OUTDTSELn có thể trả về giá trị của thanh ghi OUTDTn.

[Giá trị mặc định của phần cứng: H'0000 0000 = 0 được đưa ra từ tất cả các cổng khi cấu hình OUTDTSELn.]

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Bit** | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|  | **OUTDTHn[31:16]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| **Bit** | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|  | **OUTDTHn[15:0]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Bit** | **Bit Name** | **Initial Value** | **R/W** | **Description** |
| 31 0 | OUTDTHn [31:0] | H'0000 0000 | R/W | Xuất dữ liệu có giá trị cao.  0: Dữ liệu không hợp lệ. |

**Lưu ý:** Các bit không sử dụng phải được đặt thành giá trị ban đầu.

##### Output Data Low Register (OUTDTLn)

OUTDTLn chỉ có hiệu lực đối với các cổng mà chế độ đầu vào/đầu ra chung được chọn bằng thanh ghi chuyển đổi ngõ vào/ra chung và sau đó chế độ đầu ra chung được chọn bằng thanh ghi chuyển đổi đầu vào/ra chung, và thanh ghi chọn dữ liệu đầu ra OUTDTSELn được cấu hình để chọn thanh ghi OUTDTHn/OUTDTLn để đầu ra dữ liệu của GPIO. Chỉ việc ghi 0 vào OUTDTLn có hiệu lực. Nếu không, việc cài đặt sẽ không thay đổi. Đọc OUTDTLn trả về giá trị của dữ liệu mới nhất được đặt cho OUTDTLn hoặc OUTDTHn trước đó. Lưu ý rằng cực của tín hiệu đầu ra nên được thiết lập trước đó bằng cách sử dụng bit tương ứng trong thanh ghi chọn mạch lựa chọn dương/âm. Hơn nữa, thanh ghi này phải được ghi và đọc sau khi thanh ghi chọn dữ liệu đầu ra OUTDTSELn được thiết lập. Đọc OUTDTLn mà không cấu hình OUTDTSELn một cách thích hợp có thể trả về giá trị của thanh ghi OUTDTn.

[Giá trị mặc định phần cứng: H’0000 0000 = 0 được đầu ra từ tất cả các cổng với cài đặt OUTDTSELn.]

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Bit** | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|  | OUTDTLn[31:16] | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| **Bit** | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|  | OUTDTLn**[15:0]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Bit** | **Bit Name** | **Initial Value** | **R/W** | **Description** |
| 31 0 | OUTDTLn [31:0] | H'0000 0000 | R/W | Xuất dữ liệu giá trị thấp.  0: Dữ liệu hợp lệ |

Lưu ý: Các bit không sử dụng phải được đặt thành giá trị ban đầu.

##### One Edge / Both Edge Select Register (BOTHEDGEn) (n = 0 to 3)

BOTHEDGEn chỉ có hiệu lực khi chế độ phát hiện cạnh được chọn bằng các thanh ghi lựa chọn cạnh / mức. Đặc biệt, BOTHEDGEn chọn điều kiện phát hiện (một cạnh hoặc cả hai cạnh) của tín hiệu đầu vào ngắt trên mỗi chân cổng cho chế độ đầu vào ngắt (được chọn bởi thanh ghi chuyển đổi IO / ngắt tổng quát) và chế độ phát hiện cạnh được chọn. BOTHEDGEn nên được đặt trước khi chọn chế độ đầu vào ngắt.

[Giá trị mặc định phần cứng: H’0000 0000 = chế độ phát hiện cạnh cả hai bị vô hiệu hóa cho tất cả các cổng.]

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Bit** | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|  | **BOTHEDGEn[31:16]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| **Bit** | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|  | **BOTHEDGEn[15:0]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Bit** | **Bit Name** | **Initial Value** | **R/W** | **Description** |
| 31 0 | BOTHEDGEn [31:0] | H'0000 0000 | R/W | Chọn một cạnh hoặc cả hai điều kiện phát hiện cạnh của tín hiệu đầu vào ngắt trên mỗi chân cổng mà chế độ đầu vào ngắt và chế độ phát hiện cạnh được chọn.  0: Một cạnh. |

Lưu ý: Các bit không sử dụng phải được đặt thành giá trị ban đầu.

##### General Input Enable Register (INENn)

Tạo các thanh ghi để điều khiển IE trong GPIO. Gán 1 bit của thanh ghi cho 1 chân cho IE của tất cả các chân được gán cho GPIO. Ngoài ra, để duy trì tính tương thích phần mềm, thiết lập giá trị ban đầu của IE ở trạng thái cao (đầu vào BẬT). Các thông số kỹ thuật thanh ghi được hiển thị bên dưới. Tạo một thanh ghi (32 bit) cho mỗi Nhóm Cổng. Giá trị thiết lập: 0 = Tắt Chế độ kích hoạt đầu vào / 1 = Bật Chế độ kích hoạt đầu vào Giá trị ban đầu: 0 = Tắt Chế độ kích hoạt đầu vào

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Bit** | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|  | **INENn[31:16]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| **Bit** | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|  | **INENn[15:0]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Bit** | **Bit Name** | **Initial Value** | **R/W** | **Description** |
| 31 0 | INENn [31:0] | H'0000 0000 | R/W | 0: Vô hiệu hóa đầu vào.  1: Kích hoạt đầu vào. |

##### Port Safe State Select Register0-1 (PS0SRn , PS1SRn)

Registers (PS\*SRn) that select 4 types of Port Safe State (initial state or HiZ or Pull-Down or Pull-Up) with 2 bits.

Note: \* 0 to 1

Note: It applies to Pin which multiplex with GPIO function

|  |
| --- |
| Đây là một đoạn mô tả về các thanh ghi (Registers) có tên là PS\*SRn (với \* là số từ 0 đến 1), được sử dụng để chọn 4 loại trạng thái an toàn của cổng (Port Safe State). Mỗi thanh ghi có 2 bit được sử dụng để chọn trạng thái an toàn của cổng, bao gồm trạng thái ban đầu (initial state), HiZ, Pull-Down hoặc Pull-Up. |

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Bit** | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|  | **PS\*SRn[31:16]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| **Bit** | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|  | **PS\*SRn[15:0]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

**Bảng7.50:** Configuration of Registers in PsiSRn

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Bit | Bit Name | Initial Value | R/W | Description |
| 31  0 | PS\*SRn[mx2+1:mx2] m = 0 to 15 | b'00 | R/W | b'00=initial State b'01=HiZ |

**Bảng7.51:** Configuration of Registers in PS0SRn , PS1SRn

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Table 7.51 | | Conỉĩguration of Registers in PSOSRn , PSlSRn PSISRn | | | | |
|  | PSOSRn |
|  |  |  |  |  |  |
|  |  |  |  |  |  |
| GPIO | Description | Initial value | GPIO | Description | Initial value |
| bit31 bit30 | -GPn\_15 | b'00=initial State / b'01=HiZ b'10=Pull-Down / b'11=Pull-Up | b'OO | GPn\_31 | b'00=initial State / b'01=HiZ b'10=Pull-Down / b'11=Pull-Up | b'OO |
| bit29 bit28 | -GPn\_14 | b'00=initial State / b'01=HiZ b'10=Pull-Down / b'11=Pull-Up | b'OO | GPn\_30 | b'00=initial State / b'01=HiZ b'10=Pull-Down / b'11 =Pull-Up | b'OO |
| bit27 bit26 | -GPn\_13 | b'00=initial State / b'01=HiZ b'10=Pull-Down / b'11=Pull-llp | b'OO | GPn\_29 | b'00=initial State / b'01=HiZ b'10=Pull-Down / b'11 =Pull-Up | b'OO |
| bit25 bit24 | -GPn\_12 | b'00=initial State / b'01=HiZ b'10=Pull-Down / b'11=Pull-Up | b'OO | GPn\_28 | b'00=initial State / b'01=HiZ b'10=Pull-Down / b'11 =Pull-Up | b'OO |
| bit23 bit22 | -GPn\_11 | b'00=initial State / b'01=HiZ b'10=Pull-Down / b'11=Pull-Up | b'OO | GPn\_27 | b'00=initial State / b'01=HiZ b'10=Pull-Down / b'11 =Pull-Up | b'OO |
| bit21 bit20 | -GPn\_10 | b'00=initial State / b'01=HiZ b'10=Pull-Down / b'11=Pull-Up | b'OO | GPn\_26 | b'00=initial State / b'01=HiZ b'10=Pull-Down / b'11 =Pull-Up | b'OO |
| bit19 bit18 | -GPn\_9 | b'00=initial State / b'01=HiZ b'10=Pull-Down / b'11=Pull-Up | b'OO | GPn\_25 | b'00=initial State / b'01=HiZ b'10=Pull-Down / b'11 =Pull-Up | b'OO |
| bit17 bit16 | -GPn\_8 | b'00=initial State / b'01=HiZ b'10=Pull-Down / b'11=Pull-Up | b'OO | GPn\_24 | b'00=initial State / b'01=HiZ b'10=Pull-Down / b'11 =Pull-Up | b'OO |
| bit15 bit14 | -GPn\_7 | b'00=initial State / b'01=HiZ b'10=Pull-Down / b'11=Pull-Up | b'OO | GPn\_23 | b'00=initial State / b'01=HiZ b'10=Pull-Down / b'11 =Pull-Up | b'OO |
| bit13 bit12 | -GPn\_6 | b'00=initial State / b'01=HiZ b'10=Pull-Down / b'11=Pull-Up | b'OO | GPn\_22 | b'00=initial State / b'01=HiZ b'10=Pull-Down / b'11 =Pull-Up | b'OO |
| bitỊỊ bitio | -GPn\_5 | b'00=initial State / b'01=HiZ b'10=Pull-Down / b'11=Pull-Up | b'OO | GPn\_21 | b'00=initial State / b'01=HiZ b'10=Pull-Down / b'11 =Pull-Up | b'OO |
| bit9 bit8 | -GPn\_4 | b'00=initial State / b'01=HiZ b'10=Pull-Down / b'11=Pull-Up | b'OO | GPn\_20 | b'00=initial State / b'01=HiZ b'10=Pull-Down / b'11 =Pull-Up | b'OO |
| bit7 bit6 | -GPn\_3 | b'00=initial State / b'01=HiZ b'10=Pull-Down / b'11=Pull-Up | b'OO | GPn\_19 | b'00=initial State / b'01=HiZ b'10=Pull-Down / b'11 =Pull-Up | b'OO |
| bit5 bit4 | -GPn\_2 | b'00=initial State / b'01=HiZ b'10=Pull-Down / b'11=Pull-Up | b'OO | GPn\_18 | b'00=initial State / b'01=HiZ b'10=Pull-Down / b'11 =Pull-Up | b'OO |
| bit3 bit2 | -GPn\_1 | b'00=initial State / b'01=HiZ b'10=Pull-Down / b'11=Pull-Up | b'OO | GPn\_17 | b'00=initial State / b'01=HiZ b'10=Pull-Down / b'11=Pull-Up | b'OO |
| bit1 bito | -GPn\_0 | b'00=initial State / b'01=HiZ b'10=Pull-Down / b'11=Pull-Up | b'OO | GPn\_16 | b'00=initial State / b'01=HiZ b'10=Pull-Down / b'11 =Pull-Up | b'OO |
|  |  |  |  |  |  |  |

##### Port Safe State Enable Register (PSERn)

Thanh ghi (PSERn) để bật/tắt PSS Rregister.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Bit** | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|  | PSERn[31:16] | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| **Bit** | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|  | PSERn**[15:0]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

**Bảng7.52:** Configuration of Registers in PSER

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Bit | PSERn |  | |  | PSERn |  | |  |
|  | GPIO | Description |  | Bit | GPIO | Description | |  |
| bit31 | GPn\_31 | 0 1 | PS1SRn[31:30] disable PS1 SRn[31:30] enable | bit15 | GPn\_15 | 0 1 | PS0SRn[31:30] disable PS0SRn[31:30] enable | |
| bit30 | GPn\_30 | 0 1 | PS1SRn[29:28] disable PS1SRn[29:28] enable | bit14 | GPn\_14 | 0 1 | PS0SRn[29:28] disable PS0SRn[29:28] enable | |
| bit29 | GPn\_29 | 0 1 | PS1SRn[27:26] disable PS1SRn[27:26] enable | bit13 | GPn\_13 | 0 1 | PS0SRn[27:26] disable PS0SRn[27:26] enable | |
| bit28 | GPn\_28 | 0 1 | PS1SRn[25:24] disable PS1SRn[25:24] enable | bit12 | GPn\_12 | 0 1 | PS0SRn[25:24] disable PS0SRn[25:24] enable | |
| bit27 | GPn\_27 | 0 1 | PS1SRn[23:22] disable PS1SRn[23:22] enable | bit11 | GPn\_11 | 0 1 | PS0SRn[23:22] disable PS0SRn[23:22] enable | |
| bit26 | GPn\_26 | 0 1 | PS1SRn[21:20] disable PS1SRn[21:20] enable | bitio | GPn\_10 | 0 1 | PS0SRn[21:20] disable PS0SRn[21:20] enable | |
| bit25 | GPn\_25 | 0 1 | PS1SRn[19:18] disable PS1SRn[19:18] enable | bit9 | GPn\_9 | 0 1 | PS0SRn[19:18] disable PS0SRn[19:18] enable | |
| bit24 | GPn\_24 | 0 1 | PS1SRn[17:16] disable PS1SRn[17:16] enable | bit8 | GPn\_8 | 0 1 | PS0SRn[17:16] disable PS0SRn[17:16] enable | |
| bit23 | GPn\_23 | 0 1 | PS1SRn[15:14] disable PS1SRn[15:14] enable | bit7 | GPn\_7 | 0 1 | PS0SRn[15:14] disable PS0SRn[15:14] enable | |
| bit22 | GPn\_22 | 0 1 | PS1SRn[13:12] disable PS1SRn[13:12] enable | bit6 | GPn\_6 | 0 1 | PS0SRn[13:12] disable PS0SRn[13:12] enable | |
| bit21 | GPn\_21 | 0 1 | PS1SRn[11:10] disable PS1SRn[11:10] enable | bit5 | GPn\_5 | 0 1 | PS0SRn[11:10] disable PS0SRn[11:10] enable | |
| bit20 | GPn\_20 | 0 1 | PS1SRn[9:8] disable PS1SRn[9:8] enable | bit4 | GPn\_4 | 0 1 | PS0SRn[9:8] dísable PS0SRn[9:8] enable | |
| bit19 | GPn\_19 | 0 1 | PS1SRn[7:6] disable PS1SRn[7:6] enable | bit3 | GPn\_3 | 0 1 | PS0SRn[7:6] disable PS0SRn[7:6] enable | |
| bit18 | GPn\_18 | 0 1 | PS1SRn[5:4] disable PS1SRn[5:4] enable | bit2 | GPn\_2 | 0 1 | PS0SRn[5:4] disable PS0SRn[5:4] enable | |
| bit17 | GPn\_17 | 0 1 | PS1SRn[3:2] disable PS1SRn[3:2] enable | bit1 | GPn\_1 | 0 1 | PS0SRn[3:2] disable PS0SRn[3:2] enable | |
| bit16 | GPn\_16 | 0 1 | PS1SRn[1:0] disable PS1SRn[1:0] enable | bito | GPn\_0 | 0 1 | PS0SRn[1:0] disable PS0SRn[1:0] enable | |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Bit** | **Bit Name** | **Initial Value** | **R/W** | **Description** |
| 31  0 | PSERn [31:0] | H'0000 0000 | R/W | 0: Tắt PSSR.  1: Kích hoạt PSSR. |

##### Port NOT Register(PNOTn)

Thanh ghi này cung cấp một phương thức để lật các giá trị bit của thanh ghi OUTDTn. Các bit của thanh ghi OUTDTn bị lật nếu thanh ghi PNOTn được ghi với các giá trị bit tương ứng là 1.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Bit** | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|  | **PNOTn[31:16]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| **Bit** | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|  | **PNOTn[15:0]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Bit** | **Bit Name** | **Initial Value** | **R/W** | **Description** |
| 31  0 | PNOTn[31:0] | H'0000 0000 | W | 0: Không ảnh hưởng đến giá trị của OUTDTn  1: Giá trị của OUTDTn bị lật |

##### Port Output Value Inversion Register (PINVn)

Thanh ghi này (PINVn) đảo ngược giá trị đầu ra của cổng.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Bit** | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|  | **PINVn[31:16]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| **Bit** | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|  | **PINVn[15:0]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Bit** | **Bit Name** | **Initial Value** | **R/W** | **Description** |
| 31  0 | PINVn[31:0] | H'0000 0000 | R/W | 0: Vô hiệu hóa đảo ngược  1: Kích hoạt đảo ngược |

**Bảng7.53:** Configuration of Registers in PINV4, PINV5

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | PINV4 | PINV5 |  |  | |
|  | Pin name | Initial value | Pin name | | Initial value |
| bit31 | — | 0 | — | | 0 |
| bit30 | MSPI1CSS1 | 0 | — | | 0 |
| bit29 | MSPI1CSS2 | 0 | — | | 0 |
| bit28 | MSPI1SC | 0 | — | | 0 |
| bit27 | MSPI1CSS0 | 0 | — | | 0 |
| bit26 | MSPI1SO/MSPI1DCS | 0 | — | | 0 |
| bit25 | MSPI1SI | 0 | — | | 0 |
| bit24 | MSPIOCSSO | 0 | — | | 0 |
| bit23 | MSPI0CSS1 | 0 | — | | 0 |
| bit22 | MSPIOSO/MSPIODCS | 0 | — | | 0 |
| bit21 | MSPIOSI | 0 | — | | 0 |
| bit20 | MSPIOSC | 0 | — | | 0 |
| bit19 | GP4\_19 | 0 | ETNBOTXDO | | 0 |
| bit18 | GP4\_18 | 0 | ETNBOTXEN | | 0 |
| bit17 | GP4\_17 | 0 | ETNB0TXD2 | | 0 |
| bit16 | GP4\_16 | 0 | ETNB0TXD1 | | 0 |
| bit15 | GP4\_15 | 0 | ETNBOTXCLK | | 0 |
| bit14 | GP4\_14 | 0 | ETNB0TXD3 | | 0 |
| bit13 | GP4\_13 | 0 | ETNBOTXER | | 0 |
| bit12 | GP4\_12 | 0 | ETNBORXCLK | | 0 |
| bit11 | GP4\_11 | 0 | ETNBORXDO | | 0 |
| bitio | GP4\_10 | 0 | ETNBORXDV | | 0 |
| bit9 | GP4\_09 | 0 | ETNB0RXD2 | | 0 |
| bit8 | GP4\_08 | 0 | ETNB0RXD1 | | 0 |
| bit7 | GP4-07 | 0 | ETNB0RXD3 | | 0 |
| bit6 | GP4\_06 | 0 | ETNBORXER | | 0 |
| bit5 | GP4-05 | 0 | ETNBOMDC | | 0 |
| bit4 | GP4-04 | 0 | ETNBOLINKSTA | | 0 |
| bit3 | GP4\_03 | 0 | ETNBOVVOL | | 0 |
| bit2 | GP4\_02 | 0 | ETNBOMD | | 0 |
| bit1 | GP4\_01 | 0 | RIICOSDA | | 0 |
| bito | GP4\_00 | 0 | RIICOSCL | | 0 |

**Bảng7.54:** Configuration of Registers in PINV6, PINV7

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | PINV6 | | PINV7 |  |
| Pin name | Inĩtial value | Pin name | Initial value |
| bit31 | PRESETOUT1# | 0 | CAN15RX/INTP15 | 0 |
| bit30 | — | 0 | CAN15TX | 0 |
| bit29 | — | 0 | CAN14RX/INTP14 | 0 |
| bit28 | — | 0 | CAN14TX | 0 |
| bit27 | — | 0 | CAN13RX/INTP13 | 0 |
| bit26 | — | 0 | CAN13TX | 0 |
| bit25 | — | 0 | CAN12RX/INTP12 | 0 |
| bit24 | — | 0 | CAN12TX | 0 |
| bit23 | — | 0 | CAN11RX/INTP11 | 0 |
| bit22 | NMI1 | 0 | CAN11TX | 0 |
| bit21 | INTP32 | 0 | CAN10RX/INTP10 | 0 |
| bit20 | INTP33 | 0 | CAN10TX | 0 |
| bit19 | INTP34 | 0 | CAN9RX/INTP9 | 0 |
| bit18 | INTP35 | 0 | CAN9TX | 0 |
| bit17 | INTP36 | 0 | CAN8RX/INTP8 | 0 |
| bit16 | INTP37 | 0 | CAN8TX | 0 |
| bit15 | RLIN30RX/INTP16 | 0 | CAN7RX/INTP7 | 0 |
| bit14 | RLIN30TX | 0 | CAN7TX | 0 |
| bit13 | RLIN31RX/INTP17 | 0 | CAN6RX/INTP6 | 0 |
| bit12 | RLIN31TX | 0 | CAN6TX | 0 |
| bit11 | RLIN32RX/INTP18 | 0 | CAN5RX/INTPS | 0 |
| bitio | RLIN32TX | 0 | CAN5TX | 0 |
| bit9 | RLIN33RX/INTP19 | 0 | CAN4RX/INTP4 | 0 |
| bit8 | RLIN33TX | 0 | CAN4TX | 0 |
| bit7 | RLIN34RX/INTP20 | 0 | CAN3RX/INTP3 | 0 |
| bit6 | RLIN34TX | 0 | CAN3TX | 0 |
| bit5 | RLIN35RX/INTP21 | 0 | CAN2RX/INTP2 | 0 |
| bit4 | RLIN35TX | 0 | CAN2TX | 0 |
| bit3 | RLIN36RX/INTP22 | 0 | CAN1RX/INTP1 | 0 |
| bit2 | RLIN36TX | 0 | CAN1TX | 0 |
| bit1 | RLIN37RX/INTP23 | 0 | CANORX/INTPO | 0 |
| bito | RLIN37TX | 0 | CANOTX | 0 |

##### Port Input Buffer Selection Register (PISn)

Thanh ghi này chỉ định các đặc tính của bộ đệm đầu vào. Cài đặt đặc tính đầu vào cụ thể có thể được yêu cầu, tùy thuộc vào chức năng chân được sử dụng. Để biết chi tiết, hãy tham khảo Đặc tính điện.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Bit** | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|  | **PISn[31:16]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| **Bit** | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|  | **PISn[15:0]** | | | | | | | | | | | | | | | |
| **R/W:** | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Bit** | **Bit Name** | **Initial Value** | **R/W** | **Description** |
| 31  0 | PISn[31:0] | H'0000 0000 | R/W | Nhìn vào bảng |

**Bảng7.55:** Configuration of Registers in PIS5

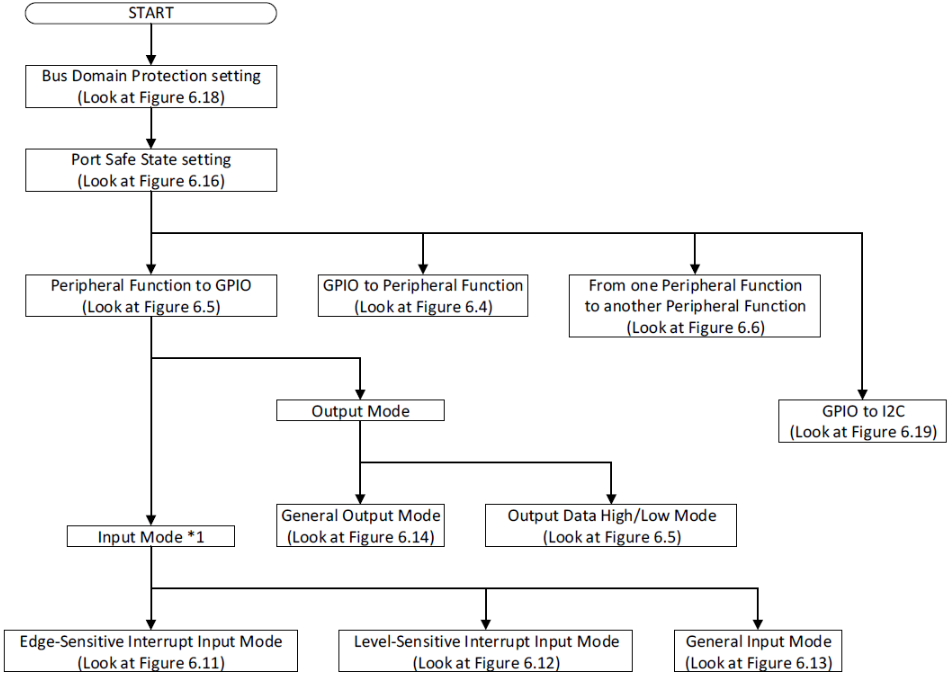
|  |  |  |
| --- | --- | --- |
|  | PIS5 |  |
|  | Pin name | Initial value |
| bit31 | — | 0 |
| bit30 | — | 0 |
| bit29 | — | 0 |
| bit28 | — | 0 |
| bit27 | — | 0 |
| bit26 | — | 0 |
| bit25 | — | 0 |
| bit24 | — | 0 |
| bit23 | — | 0 |
| bit22 | — | 0 |
| bit21 | — | 0 |
| bit2O | — | 0 |
| bit19 | ETNBOTXDO | 0 |
| bit18 | ETNBOTXEN | 0 |
| bit17 | ETNB0TXD2 | 0 |
| bit16 | ETNB0TXD1 | 0 |
| bit15 | ETNBOTXCLK | 0 |
| bit14 | ETNB0TXD3 | 0 |
| bit13 | ETNBOTXER | 0 |
| bit12 | ETNBORXCLK | 0 |
| bit11 | ETNBORXDO | 0 |
| bitio | ETNBORXDV | 0 |
| bit9 | ETNB0RXD2 | 0 |
| bit8 | ETNB0RXD1 | 0 |
| bit7 | ETNB0RXD3 | 0 |
| bit6 | ETNBORXER | 0 |
| bit5 | ETNBOMDC | 0 |
| bit4 | ETNBOLINKSTA | 0 |
| bit3 | ETNBOVVOL | 0 |
| bit2 | ETNBOMD | 0 |
| bit1 | — | 0 |
| bito | — | 0 |

#### 

#### Hoạt động

##### Tổng quan

Đây là đề xuất về quy trình cài đặt Chức năng chân cắm, “Hình 6.3 Đề xuất quy trình thiết lập Chức năng chân cắm”



**Hình7.4:** Recomendation of Pin Function setting flow

##### Function Setting for Multiplexed Pins

Việc thiết lập thanh ghi mặt nạ thiết lập chân ghép kênh LSI (PMMRn) là cần thiết trước khi thiết lập từng GPIO/thanh ghi chọn chức năng ngoại vi GPSRn, các thanh ghi chọn chức năng ngoại vi IP0SRn đến IP3SRn, các thanh ghi điều khiển DRV DRV0CTRLn đến DRV3CTRLn, các thanh ghi điều khiển TDSEL TD0SELn và TD1SELn, điều khiển POC đăng ký POCn và mô-đun chọn đăng ký MODSELn. Cụ thể, nghịch đảo của giá trị được đặt trong thanh ghi chọn phải được ghi vào thanh ghi mặt nạ cài đặt chân ghép kênh LSI. Mặt khác, không thể đặt thanh ghi chọn GPIO/chức năng ngoại vi (GPSRn) và các thanh ghi chọn chức năng ngoại vi 0 đến 3 (IP0SRn đến IP3SRn).

###### Procedure for Changing Pin Function from GPIO to Peripheral Function

Graphical user interface

Description automatically generated

**Hình 7.5:** Procedure for Changing Pin Function from GPIO to Peripheral Function

###### Procedure for Changing Pin Function from Peripheral Function to GPIO

Graphical user interface, application

Description automatically generated

**Hình 7.6:** Procedure for Changing Pin Function from Peripheral functionto GPIO

###### Procedure 1 for Changing Pin Function from One Peripheral Function to Another Peripheral Function

Graphical user interface, text, application

Description automatically generated

**Hình 7.7:** Procedure for Changing Pin Function from One Peripheral Function to Another Peripheral Function (with GPIO Setting)

##### Setting Pull-Up / Down Resistors

Thanh ghi điều khiển kéo lên/tắt chân LSI (PUENn) và thanh ghi điều khiển kéo lên/xuống (PUDn) được sử dụng.

Diagram

Description automatically generated

##### Port Pin Specifications

Mỗi nhóm GPIO được cung cấp tối đa 32 chân cổng cho các cổng vào/ra chung và các cổng vào ngắt ngoài.

**Bảng 7.55**: chỉ định các chân này.

|  |  |  |  |
| --- | --- | --- | --- |
| **Block** | **Abbreviation** | **Name** | **Descriptions** |
| GPIO\_0 | GP0\_00 | IO/interrupt input port GP0\_00 | * Either general input / output mode or interrupt input mode can be set for each port. |
| GP0\_01 | IO/interrupt input port GP0\_01 |
| GP0\_02 | IO/interrupt input port GP0\_02 |
| GP0\_03 | IO/interrupt input port GP0\_03 |
| GP0\_04 | IO/interrupt input port GP0\_04 | * In general input mode, the polarity of input signals can be set for each port. |
| GP0\_05 | IO/interrupt input port GP0\_05 |
| GP0\_06 | IO/interrupt input port GP0\_06 |
| GP0\_07 | IO/interrupt input port GP0\_07 |
| GP0\_08 | IO/interrupt input port GP0\_08 |
| GP0\_09 | IO/interrupt input port GP0\_09 |
| GP0\_10 | IO/interrupt input port GP0\_10 |
| GP0\_11 | IO/interrupt input port GP0\_11 |
| GP0\_12 | IO/interrupt input port GP0\_12 |
| GP0\_13 | IO/interrupt input port GP0\_13 |
| GP0\_14 | IO/interrupt input port GP0\_14 |
| GP0\_15 | IO/interrupt input port GP0\_15 |
| GP0\_16 | IO/interrupt input port GP0\_16 |
| GP0\_17 | IO/interrupt input port GP0\_17 |
| GP0\_18 | IO/interrupt input port GP0\_18 |
| GP0\_19 | IO/interrupt input port GP0\_19 |
| GP0\_20 | IO/interrupt input port GP0\_20 |
| GPIO\_1 | GP1\_00 | IO/interrupt input port GP1\_00 | * Either general input / output mode or interrupt input mode can be set for each port. * In general input mode, the polarity of input signals can be set for each port. |
| GP1\_01 | IO/interrupt input port GP1\_01 |
| GP1\_02 | IO/interrupt input port GP1\_02 |
| GP1\_03 | IO/interrupt input port GP1\_03 |
| GP1\_04 | IO/interrupt input port GP1\_04 |
| GP1\_05 | IO/interrupt input port GP1\_05 |
| GP1\_06 | IO/interrupt input port GP1\_06 |
| GP1\_07 | IO/interrupt input port GP1\_07 |
| GP1\_08 | IO/interrupt input port GP1\_08 |
| GP1\_09 | IO/interrupt input port GP1\_09 |
| GP1\_10 | IO/interrupt input port GP1\_10 |
| GP1\_11 | IO/interrupt input port GP1\_11 |
| GP1\_12 | IO/interrupt input port GP1\_12 |
| GP1\_13 | IO/interrupt input port GP1\_13 |
| GP1\_14 | IO/interrupt input port GP1\_14 |
| GP1\_15 | IO/interrupt input port GP1\_15 |
| GP1\_16 | IO/interrupt input port GP1\_16 |
| GP1\_17 | IO/interrupt input port GP1\_17 |
| GP1\_18 | IO/interrupt input port GP1\_18 |
| GP1\_19 | IO/interrupt input port GP1\_19 |
| GP1\_20 | IO/interrupt input port GP1\_20 |
| GP1\_21 | IO/interrupt input port GP1\_21 |
| GP1\_22 | IO/interrupt input port GP1\_22 |
| GP1\_23 | IO/interrupt input port GP1\_23 |
| GP1\_24 | IO/interrupt input port GP1\_24 |
| GPIO\_2 | GP2\_00 | IO/interrupt input port GP2\_00 | * Either general input / output mode or interrupt input mode can be set for each port. * In general input mode, the polarity of input signals can be set for each port. |
| GP2\_01 | IO/interrupt input port GP2\_01 |
| GP2\_02 | IO/interrupt input port GP2\_02 |
| GP2\_03 | IO/interrupt input port GP2\_03 |
| GP2\_04 | IO/interrupt input port GP2\_04 |
| GP2\_05 | IO/interrupt input port GP2\_05 |
| GP2\_06 | IO/interrupt input port GP2\_06 |
| GP2\_07 | IO/interrupt input port GP2\_07 |
| GP2\_08 | IO/interrupt input port GP2\_08 |
| GP2\_09 | IO/interrupt input port GP2\_09 |
| GP2\_10 | IO/interrupt input port GP2\_10 |
| GP2\_11 | IO/interrupt input port GP2\_11 |
| GP2\_12 | IO/interrupt input port GP2\_12 |
| GP2\_13 | IO/interrupt input port GP2\_13 |
| GP2\_14 | IO/interrupt input port GP2\_14 |
| GP2\_15 | IO/interrupt input port GP2\_15 |
| GP2\_16 | IO/interrupt input port GP2\_16 |
| GPIO\_3 | GP3\_00 | IO/interrupt input port GP3\_00 | * In general input mode, the polarity of input signals can be set for each port. |
| GP3\_01 | IO/interrupt input port GP3\_01 |
| GP3\_02 | IO/interrupt input port GP3\_02 |
| GP3\_03 | IO/interrupt input port GP3\_03 |
| GP3\_04 | IO/interrupt input port GP3\_04 |
| GP3\_05 | IO/interrupt input port GP3\_05 |
| GP3\_06 | IO/interrupt input port GP3\_06 |
| GP3\_07 | IO/interrupt input port GP3\_07 |
| GP3\_08 | IO/interrupt input port GP3\_08 |
| GP3\_09 | IO/interrupt input port GP3\_09 |
| GP3\_10 | IO/interrupt input port GP3\_10 |
| GP3\_11 | IO/interrupt input port GP3\_11 |
| GP3\_12 | IO/interrupt input port GP3\_12 |
| GP3\_13 | IO/interrupt input port GP3\_13 |
| GP3\_14 | IO/interrupt input port GP3\_14 |
| GP3\_15 | IO/interrupt input port GP3\_15 |
| GP3\_16 | IO/interrupt input port GP3\_16 |
| GP3\_17 | IO/interrupt input port GP3\_17 |
| GP3\_18 | IO/interrupt input port GP3\_18 |
| GPIO\_4 | GP4\_00 | IO port GP4\_00 | * In general input mode, the polarity of input signals can be set for each port. * In general output mode, the polarity of output signals can be set for each port. |
| GP4\_01 | IO port GP4\_01 |
| GP4\_02 | IO port GP4\_02 |
| GP4\_03 | IO port GP4\_03 |
| GP4\_04 | IO port GP4\_04 |
| GP4\_05 | IO port GP4\_05 |
| GP4\_06 | IO port GP4\_06 |
| GP4\_07 | IO port GP4\_07 |
| GP4\_08 | IO port GP4\_08 |
| GP4\_09 | IO port GP4\_09 |
| GP4\_10 | IO port GP4\_10 |
| GP4\_11 | IO port GP4\_11 |
| GP4\_12 | IO port GP4\_12 |
| GP4\_13 | IO port GP4\_13 |
| GP4\_14 | IO port GP4\_14 |
| GP4\_15 | IO port GP4\_15 |
| GP4\_16 | IO port GP4\_16 |
| GP4\_17 | IO port GP4\_17 |
| GP4\_18 | IO port GP4\_18 |
| GP4\_19 | IO port GP4\_19 |
| GP4\_20 | IO port GP4\_20 |
| GP4\_21 | IO port GP4\_21 |
| GP4\_22 | IO port GP4\_22 |
| GP4\_23 | IO port GP4\_23 |
| GP4\_24 | IO port GP4\_24 |
| GP4\_25 | IO port GP4\_00 |
| GP4\_26 | IO port GP4\_01 |
| GP4\_27 | IO port GP4\_02 |
| GP4\_28 | IO port GP4\_03 |
| GP4\_29 | IO port GP4\_04 |
| GP4\_30 | IO port GP4\_05 |
| GPIO\_5 | GP5\_00 | IO port GP5\_00 | * In general input mode, the polarity of input signals can be set for each port. * In general output mode, the polarity of output signals can be set for each port. |
| GP5\_01 | IO port GP5\_01 |
| GP5\_02 | IO port GP5\_02 |
| GP5\_03 | IO port GP5\_03 |
| GP5\_04 | IO port GP5\_04 |
| GP5\_05 | IO port GP5\_05 |
| GP5\_06 | IO port GP5\_06 |
| GP5\_07 | IO port GP5\_07 |
| GP5\_08 | IO port GP5\_08 |
| GP5\_09 | IO port GP5\_09 |
| GP5\_10 | IO port GP5\_10 |
| GP5\_11 | IO port GP5\_11 |
| GP5\_12 | IO port GP5\_12 |
| GP5\_13 | IO port GP5\_13 |
| GP5\_14 | IO port GP5\_14 |
| GP5\_15 | IO port GP5\_15 |
| GP5\_16 | IO port GP5\_16 |
| GP5\_17 | IO port GP5\_17 |
| GP5\_18 | IO port GP5\_18 |
| GP5\_19 | IO port GP5\_19 |
| GPIO\_6 | GP6\_00 | IO port GP6\_00 | * In general input mode, the polarity of input signals can be set for each port. * In general output mode, the polarity of output signals can be set for each port. |
| GP6\_01 | IO port GP6\_01 |
| GP6\_02 | IO port GP6\_02 |
| GP6\_03 | IO port GP6\_03 |
| GP6\_04 | IO port GP6\_04 |
| GP6\_05 | IO port GP6\_05 |
| GP6\_06 | IO port GP6\_06 |
| GP6\_07 | IO port GP6\_07 |
| GP6\_08 | IO port GP6\_08 |
| GP6\_09 | IO port GP6\_09 |
| GP6\_10 | IO port GP6\_10 |
| GP6\_11 | IO port GP6\_11 |
| GP6\_12 | IO port GP6\_12 |
| GP6\_13 | IO port GP6\_13 |
| GP6\_14 | IO port GP6\_14 |
| GP6\_15 | IO port GP6\_15 |
| GP6\_16 | IO port GP6\_16 |
| GP6\_17 | IO port GP6\_17 |
| GP6\_18 | IO port GP6\_18 |
| GP6\_19 | IO port GP6\_19 |
| GP6\_20 | IO port GP6\_20 |
| GP6\_21 | IO port GP6\_21 |
| GP6\_22 | IO port GP6\_22 |
| GP6\_23 | IO port GP6\_23 |
| GP6\_24 | IO port GP6\_24 |
| GP6\_25 | IO port GP6\_00 |
| GP6\_26 | IO port GP6\_01 |
| GP6\_27 | IO port GP6\_02 |
| GP6\_28 | IO port GP6\_03 |
| GP6\_29 | IO port GP6\_04 |
| GP6\_30 | IO port GP6\_05 |
| GP6\_31 | IO port GP6\_31 |
| GPIO\_7 | GP7\_00 | IO port GP7\_00 | * In general input mode, the polarity of input signals can be set for each port. * In general output mode, the polarity of output signals can be set for each port. |
| GP7\_01 | IO port GP7\_01 |
| GP7\_02 | IO port GP7\_02 |
| GP7\_03 | IO port GP7\_03 |
| GP7\_04 | IO port GP7\_04 |
| GP7\_05 | IO port GP7\_05 |
| GP7\_06 | IO port GP7\_06 |
| GP7\_07 | IO port GP7\_07 |
| GP7\_08 | IO port GP7\_08 |
| GP7\_09 | IO port GP7\_09 |
| GP7\_10 | IO port GP7\_10 |
| GP7\_11 | IO port GP7\_11 |
| GP7\_12 | IO port GP7\_12 |
| GP7\_13 | IO port GP7\_13 |
| GP7\_14 | IO port GP7\_14 |
| GP7\_15 | IO port GP7\_15 |
| GP7\_16 | IO port GP7\_16 |
| GP7\_17 | IO port GP7\_17 |
| GP7\_18 | IO port GP7\_18 |
| GP7\_19 | IO port GP7\_19 |
| GP7\_20 | IO port GP7\_20 |
| GP7\_21 | IO port GP7\_21 |
| GP7\_22 | IO port GP7\_22 |
| GP7\_23 | IO port GP7\_23 |
| GP7\_24 | IO port GP7\_24 |
| GP7\_25 | IO port GP7\_25 |
| GP7\_26 | IO port GP7\_26 |
| GP7\_27 | IO port GP7\_27 |
| GP7\_28 | IO port GP7\_28 |
| GP7\_29 | IO port GP7\_29 |
| GP7\_30 | IO port GP7\_30 |
| GP7\_31 | IO port GP7\_31 |

##### Operations in Each Mode

###### Mode Switching

Hai thanh ghi được sử dụng để chuyển chế độ của các chân đầu vào IO/ngắt chung của các nhóm GPIO. Mỗi thanh ghi được cung cấp tối đa 32 bit, mỗi thanh ghi điều khiển một trong các chân cổng GPIOn\*. Thanh ghi chuyển đổi IO/ngắt chung trước tiên được sử dụng để chọn chế độ đầu vào/đầu ra chung hoặc chế độ đầu vào ngắt cho mỗi chân cổng. Khi chế độ đầu vào/đầu ra chung được chọn, cài đặt của bit liên quan trong thanh ghi thứ hai, nghĩa là, thanh ghi chuyển đổi đầu vào/đầu ra chung, được sử dụng. Cụ thể, khi một bit trong thanh ghi chuyển đổi đầu vào/đầu ra chung được đặt cho chế độ đầu ra chung, chân cổng tương ứng sẽ được chuyển sang hướng đầu ra và tuyến đường được hình thành sao cho giá trị đặt trong bit tương ứng trong thanh ghi đầu ra chung sẽ được xuất ra thông qua pin. Tương tự như vậy, khi được đặt cho chế độ đầu vào chung, chân cổng tương ứng được chuyển sang hướng đầu vào và tuyến đường được hình thành sao cho giá trị nhận được thông qua chân phải được biểu thị bằng bit tương ứng trong thanh ghi đầu vào chung. Khi chế độ đầu vào ngắt được chọn, chân cổng tương ứng được chuyển sang hướng đầu vào và tuyến đường được hình thành sao cho việc nhận tín hiệu đầu vào qua chân phải được chỉ báo bởi thanh ghi hiển thị ngắt. Ở đây, cài đặt của thanh ghi thứ hai, tức là, thanh ghi chuyển đổi đầu vào/đầu ra chung, không hợp lệ.

Lưu ý: \* n = 0 đến 7 (Các nhóm GP4 đến GP7 không có chế độ đầu vào ngắt.)

Có hai thanh ghi được sử dụng để chuyển đổi chế độ của các chân GPIO đầu vào tổng quát / ngắt của các nhóm GPIO. Mỗi thanh ghi được cung cấp với tối đa 32 bit, mỗi bit điều khiển một trong các chân cổng GPIOn\*. Thanh ghi chuyển đổi đầu vào / ngắt tổng quát được sử dụng đầu tiên để chọn chế độ đầu vào / đầu ra tổng quát hoặc chế độ đầu vào ngắt cho mỗi chân cổng. Khi chế độ đầu vào / đầu ra tổng quát được chọn, phải sử dụng thiết lập của bit tương ứng trong thanh ghi thứ hai, tức là thanh ghi chuyển đổi đầu vào / đầu ra tổng quát. Cụ thể, khi một bit trong thanh ghi chuyển đổi đầu vào / đầu ra tổng quát được thiết lập cho chế độ đầu ra tổng quát, chân cổng tương ứng được chuyển đến hướng đầu ra và tạo thành đường đi để giá trị được thiết lập trong bit tương ứng trong thanh ghi đầu ra tổng quát được đưa ra qua chân. Tương tự, khi được thiết lập cho chế độ đầu vào tổng quát, chân cổng tương ứng được chuyển sang hướng đầu vào và tạo thành đường đi để giá trị nhận được qua chân sẽ được chỉ ra bởi bit tương ứng trong thanh ghi đầu vào tổng quát. Khi chế độ đầu vào ngắt được chọn, chân cổng tương ứng được chuyển sang hướng đầu vào và tạo thành đường đi để tín hiệu đầu vào được chỉ ra bởi thanh ghi hiển thị ngắt. Ở đây, thiết lập của thanh ghi thứ hai, tức là thanh ghi chuyển đổi đầu vào / đầu ra tổng quát, là không hợp lệ. Lưu ý: \* n = 0 đến 7 (Các nhóm GP4 đến GP7 không có chế độ đầu vào ngắt.)

###### General Input / Output Mode

Khi đặt cổng cho đầu vào chung, hãy đặt giá trị cao thành INEN để bật đầu vào chung. Khi một cổng được đặt cho chế độ đầu vào/đầu ra chung bằng cách sử dụng bit tương ứng trong thanh ghi chuyển đổi ngắt/ngắt IO chung, thì cổng tương ứng sẽ đóng vai trò là chân đầu vào/đầu ra chung. Trong chế độ đầu vào/đầu ra chung, có thể chọn một trong hai chế độ bằng cách sử dụng bit tương ứng trong thanh ghi chuyển đổi đầu vào/đầu ra chung. Khi một cổng được đặt cho chế độ đầu ra chung, cổng sẽ xuất giá trị được đặt trong bit tương ứng trong thanh ghi đầu ra chung hoặc thanh ghi dữ liệu đầu ra cao/dữ liệu đầu ra thấp với cấu hình thích hợp trong thanh ghi chọn dữ liệu đầu ra. Ở đây, cực tính của tín hiệu đầu ra thực tế được xác định bởi cài đặt của bit tương ứng trong thanh ghi chọn logic dương/âm. Khi một cổng được đặt cho chế độ đầu vào chung, cực tính của tín hiệu đầu vào cũng được xác định bằng cách đặt bit tương ứng trong thanh ghi chọn logic dương/âm. Thanh ghi đầu vào chung cho biết giá trị tương ứng. Lưu ý rằng thanh ghi đầu vào chung không giữ tín hiệu đầu vào sử dụng FF.

Khi thiết lập một cổng cho đầu vào tổng quát, hãy đặt giá trị cao cho INEN để cho phép đầu vào tổng quát. Khi một cổng được thiết lập cho chế độ đầu vào/đầu ra tổng quát bằng cách sử dụng bit tương ứng trong thanh đổi chế độ đầu vào/tín hiệu ngắt đầu vào tổng quát, cổng tương ứng phục vụ như một chân đầu vào/đầu ra tổng quát. Trong chế độ đầu vào/đầu ra tổng quát, chế độ nào cũng có thể được lựa chọn bằng cách sử dụng bit tương ứng trong thanh đổi chế độ đầu vào/đầu ra tổng quát. Khi một cổng được thiết lập cho chế độ đầu ra tổng quát, cổng xuất ra giá trị được thiết lập trong bit tương ứng trong bộ đăng ký đầu ra tổng quát hoặc đăng ký dữ liệu đầu ra cao/dữ liệu đầu ra thấp với cấu hình phù hợp trong bộ đăng ký lựa chọn dữ liệu đầu ra. Ở đây, độ lệch của tín hiệu đầu ra thực sự được xác định bởi cài đặt của bit tương ứng trong bộ đăng ký lựa chọn logic dương/âm. Khi một cổng được thiết lập cho chế độ đầu vào tổng quát, độ lệch của tín hiệu đầu vào cũng được xác định bởi cài đặt của bit tương ứng trong bộ đăng ký lựa chọn logic dương/âm. Bộ đăng ký đầu vào tổng quát chỉ ra giá trị tương ứng. Lưu ý rằng bộ đăng ký đầu vào tổng quát không giữ tín hiệu đầu vào sử dụng FF.

###### Interrupt Input Mode

Khi một cổng được đặt cho chế độ đầu vào ngắt bằng cách sử dụng bit tương ứng trong thanh ghi chuyển mạch ngắt/IO chung, thì cổng tương ứng sẽ đóng vai trò là chân đầu vào ngắt. Ở chế độ đầu vào ngắt, khi cổng nhận được một ngắt bên ngoài, bit tương ứng trong thanh ghi hiển thị ngắt cho biết đầu vào của tín hiệu ngắt trên chân cổng tương ứng và tín hiệu ngắt được xuất ra khối điều khiển ngắt. Trong chế độ này, các điều kiện phân cực và phát hiện (cạnh hoặc mức) của tín hiệu đầu vào bên ngoài có thể được đặt cho mỗi cổng. Các bit tương ứng trong thanh ghi chọn logic dương/âm và thanh ghi chọn cạnh/mức, thanh ghi chọn một cạnh/cả hai cạnh nên được sử dụng để đặt các điều kiện phân cực và phát hiện tương ứng. Nếu một cổng được đặt để phát hiện cạnh sử dụng bit tương ứng trong thanh ghi chọn cạnh/mức, ngay cả khi tín hiệu ngắt xung bên ngoài được đưa vào, thì bit tương ứng trong thanh ghi hiển thị ngắt sẽ giữ đầu vào bằng FF và cho phép tín hiệu ngắt mức được xuất ra khối điều khiển ngắt. Để dừng tất cả các đầu ra tín hiệu ngắt, tất cả các bit trong thanh ghi xóa ngắt tương ứng với các bit trong thanh ghi hiển thị ngắt hiện cho biết việc nhận các tín hiệu ngắt tương ứng phải được xóa về 0. Lưu ý rằng nếu một cổng được đặt để phát hiện mức bằng cách sử dụng bit tương ứng trong thanh ghi chọn cạnh/mức và tín hiệu ngắt mức bên ngoài được đưa vào, thì bit tương ứng trong thanh ghi hiển thị ngắt không sử dụng FF để giữ đầu vào. Các ngắt được chỉ báo bởi thanh ghi hiển thị ngắt có thể được che dấu riêng biệt bằng cách sử dụng các bit tương ứng trong thanh ghi mặt nạ ngắt. Khi tất cả các bit hiện đang cho biết việc nhận các tín hiệu ngắt được che đi, thì không có tín hiệu ngắt nào được xuất ra khối điều khiển ngắt. Có thể hủy mặt nạ bằng cách ghi 1 vào các bit tương ứng trong thanh ghi xóa mặt nạ ngắt tùy thuộc vào thanh ghi mặt nạ ngắt được sử dụng.

Khi một cổng được đặt ở chế độ ngắt nhập liệu bằng cách sử dụng bit tương ứng trong thanh ghi chuyển đổi đầu vào / ngắt tổng quát, cổng tương ứng hoạt động như một chân ngắt. Ở chế độ ngắt nhập liệu, khi cổng nhận một ngắt ngoài, bit tương ứng trong thanh ghi hiển thị ngắt cho thấy đầu vào của tín hiệu ngắt trên chân cổng tương ứng, và tín hiệu ngắt được đưa ra đến khối điều khiển ngắt. Ở chế độ này, cực và điều kiện phát hiện (sườn hoặc mức) của tín hiệu đầu vào có thể được đặt cho mỗi cổng. Các bit tương ứng trong thanh ghi lựa chọn phép tính dương / âm và thanh ghi lựa chọn sườn / mức, thanh ghi lựa chọn sườn / cả hai sườn phải được sử dụng để đặt cực và điều kiện phát hiện.

Nếu một cổng được đặt để phát hiện sườn bằng cách sử dụng bit tương ứng trong thanh ghi lựa chọn sườn / mức, thậm chí khi một tín hiệu ngắt xung ngoài được đưa vào, bit tương ứng trong thanh ghi hiển thị ngắt giữ đầu vào bằng cách sử dụng Flip-Flop (FF) và cho phép tín hiệu ngắt mức được đưa ra đến khối điều khiển ngắt. Để dừng tất cả các tín hiệu ngắt được đưa ra, tất cả các bit trong thanh ghi xóa ngắt tương ứng với các bit trong thanh ghi hiển thị ngắt hiện tại cho thấy sự nhận của các tín hiệu ngắt tương ứng phải được xóa về 0. Lưu ý rằng nếu một cổng được đặt để phát hiện mức sử dụng bit tương ứng trong thanh ghi lựa chọn sườn / mức và một tín hiệu ngắt mức ngoài được đưa vào, bit tương ứng trong thanh ghi hiển thị ngắt không sử dụng FF để giữ đầu vào.

Các ngắt được chỉ định bởi thanh ghi hiển thị ngắt có thể được ẩn riêng biệt bằng cách sử dụng các bit tương ứng trong thanh ghi ẩn ngắt. Khi tất cả các bit hiện tại đang chỉ ra sự nhận tín hiệu ngắt bị ẩn đi, không có tín hiệu ngắt nào được đưa ra đến khối điều khiển ngắt.

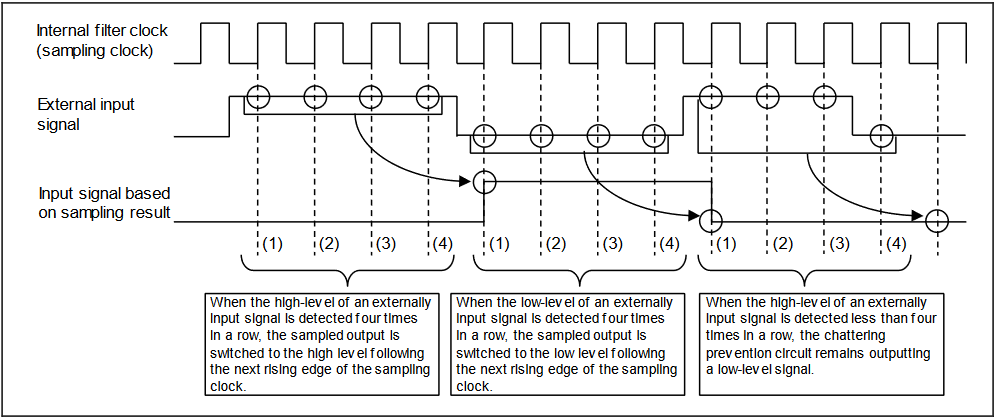
Các bộ lọc có thể được hủy bỏ bằng cách viết 1 vào các bit tương ứng trong thanh ghi hủy bỏ bộ lọc tùy thuộc vào loại thanh ghi bộ lọc được sử dụng.

##### Handling of Input Signals on Port Pins

###### Chattering

Ở chế độ đầu vào chung và chế độ đầu vào ngắt, chức năng lọc có thể được sử dụng cho các chân cổng từ 0 đến 3 của mỗi nhóm GPIO để ngăn đầu vào nhiễu bên ngoài. Cụ thể, khi một bit trong thanh ghi bật / tắt ngăn nhiễu được thiết lập để sử dụng chức năng, đầu vào bên ngoài tới chân cổng tương ứng được lấy mẫu bốn lần liên tiếp dựa trên tín hiệu đồng hồ bộ lọc do GPIO tạo ra bên trong. Đầu vào bên ngoài bị hủy trừ khi đầu vào hoạt động được phát hiện bốn lần liên tiếp. Do đó, khi chức năng lọc được sử dụng, đầu vào các chân cổng từ 0 đến 3 của mỗi nhóm GPIO cần có ít nhất bốn chu kỳ đồng hồ lấy mẫu (Đồng hồ lấy mẫu được tạo từ đồng hồ ngoại vi/k, trong đó k được xác định bởi FILONOFFn. CLKSEL.).

Ở chế độ đầu vào chung và chế độ ngắt, có thể sử dụng chức năng lọc để ngăn chặn tạp âm đầu vào từ các chân cổng 0 đến 3 của mỗi nhóm GPIO. Cụ thể, khi một bit trong bộ đăng ký chống độ rung được thiết lập để sử dụng chức năng, đầu vào từ bên ngoài vào chân cổng tương ứng được lấy mẫu liên tiếp bốn lần dựa trên tín hiệu đồng hồ lọc, được tạo ra bên trong GPIO. Đầu vào từ bên ngoài sẽ bị hủy bỏ trừ khi đầu vào hoạt động được phát hiện liên tiếp bốn lần. Do đó, khi sử dụng chức năng lọc, đầu vào vào các chân cổng 0 đến 3 của mỗi nhóm GPIO cần ít nhất là bốn chu kỳ đồng hồ lấy mẫu (Chu kỳ lấy mẫu được tạo ra từ xung đồng hồ ngoại vi / k, trong đó k được xác định bởi FILONOFFn.CLKSEL.).Top of Form



**Hình 7.8:** Sampling Timing Chart

###### Input Signal Synchronization

Chế độ đầu vào chung và chế độ đầu vào ngắt, tín hiệu đầu vào bên ngoài trên tất cả các chân của cổng được đồng bộ hóa với đồng hồ GPIO (CPφ).

Trong chế độ đầu vào chung và chế độ đầu vào ngắt, tín hiệu đầu vào bên ngoài trên tất cả các chân cổng được đồng bộ hóa với xung đồng hồ GPIO (CPφ).

##### Interrupt Display Timing Charts

Hình 7.9 hiển thị thời gian hiển thị ngắt và Hình 7.10 hiển thị lưu ý về thời gian. Trong cả hai hình, logic dương và đầu vào nhạy với cạnh đều được giả định.

Diagram

Description automatically generated

**Hình 7.9**: Interrupt Display Timing

Diagram

Description automatically generated

**Hình 7.10:** Note on Interrupt Display Timing

##### Using GPIO

Các phần sau mô tả cách sử dụng GPIO. Nếu GPIO không được sử dụng theo các quy trình được hiển thị ở đây, các hoạt động sẽ không được đảm bảo.  
  
Các phần sau mô tả cách sử dụng GPIO. Nếu không sử dụng GPIO theo các quy trình được hiển thị ở đây, thì không đảm bảo hoạt động.

###### Setting Edge-Sensitive Interrupt Input Mode

Để cài đặt chế độ đầu vào ngắt nhạy với cạnh, hãy tham khảo quy trình được minh họa trong Hình 7.11. Lưu ý rằng một ngắt không mong muốn có thể được tạo ra trong mô-đun nếu cài đặt (1), (2), (3) hoặc (4) trong lưu đồ bị thay đổi. Khi thay đổi cài đặt, (5) và (6) nên được thực hiện.  
  
Để thiết lập chế độ ngắt dữ liệu dựa trên cạnh, hãy tham khảo quy trình được hiển thị trong Hình 7.11. Lưu ý rằng một ngắt dữ liệu không mong muốn có thể được tạo ra trong mô-đun nếu thiết lập (1), (2), (3) hoặc (4) trong sơ đồ dòng. Khi thay đổi cài đặt, cần thực hiện (5) và (6).

Diagram

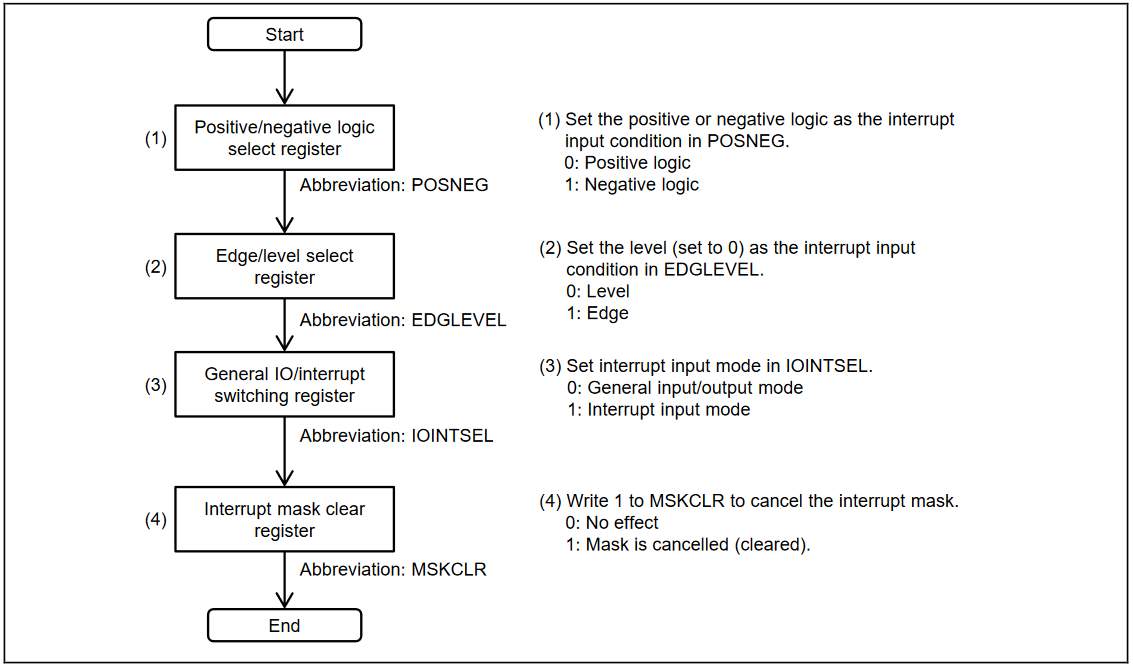
Description automatically generated with medium confidence

**Hình 7.11:** Flowchart of Setting the GPIO to Edge-Sensitive Interrupt Input Mode

###### Setting Level-Sensitive Interrupt Input Mode

Để cài đặt chế độ đầu vào ngắt nhạy cảm theo mức, hãy tham khảo quy trình được minh họa trong Hình 7.12. Lưu ý rằng khi tín hiệu đầu vào ngắt nhạy cảm với mức bên ngoài bị dừng, ngắt tương ứng sẽ tự động bị hủy. Chế độ đầu vào ngắt nhạy cảm với mức độ, thanh ghi xóa ngắt không hợp lệ.

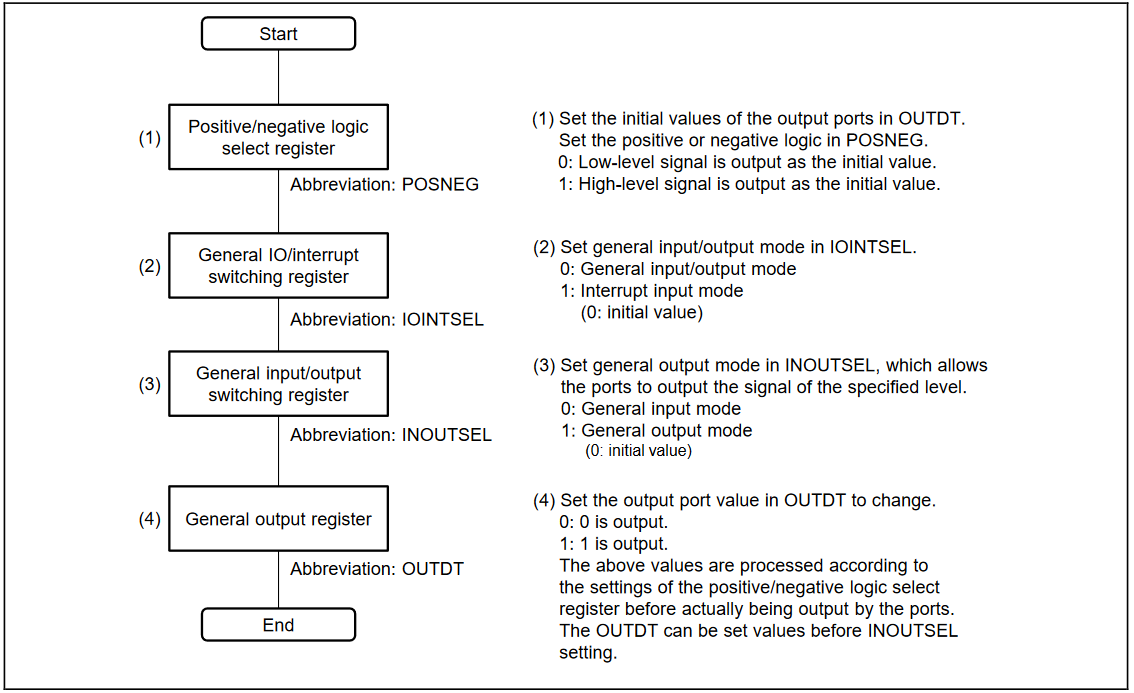
Để thiết lập chế độ ngắt đầu vào nhạy cảm mức, xem quy trình được hiển thị trong Hình 7.12. Lưu ý rằng khi tín hiệu đầu vào ngắt nhạy cảm mức từ bên ngoài bị ngừng, ngắt tương ứng sẽ tự động bị hủy bỏ. Trong chế độ ngắt đầu vào nhạy cảm mức, thanh ghi làm sạch ngắt là không hợp lệ.



**Hình 7.12:** Flowchart of Setting the GPIO to Level-Sensitive Interrupt Input Mode

###### Setting General Output Mode

Để cài đặt chế độ đầu ra chung, hãy tham khảo quy trình được minh họa trong Hình 7.13.



**Hình 7.13:** Flowchart of Setting the GPIO to General Output Mode

###### Setting Output Data High / Output Data Low Mode

Để cài đặt chế độ dữ liệu đầu ra cao/dữ liệu đầu ra thấp, hãy tham khảo quy trình được minh họa trong Hình 7.14.

Diagram

Description automatically generated

**Hình 7.14:** Flowchart of Setting the GPIO to Output data high / Output data low Mode.

###### Setting General Input Mode

Để cài đặt chế độ đầu vào chung, hãy tham khảo quy trình được minh họa trong Hình 7.15.

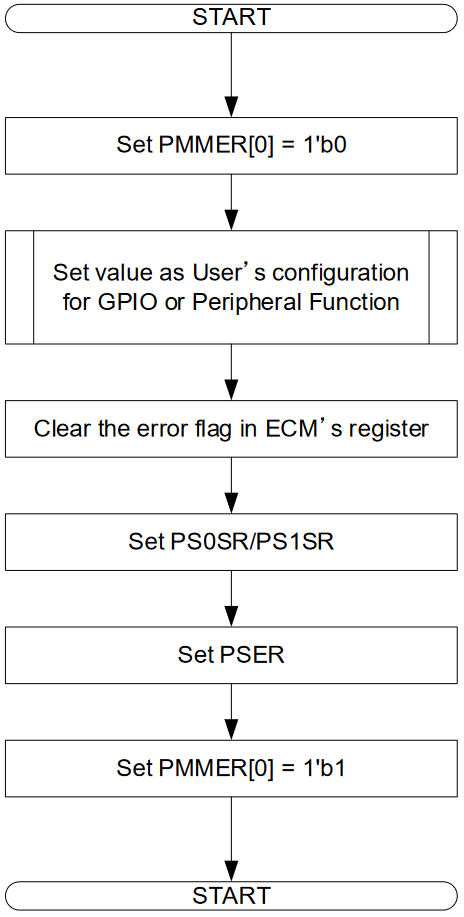
Diagram

Description automatically generated

**Hình 7.15:** Flowchart of Setting the GPIO to General Input Mode

###### Setting Port Safe State

Để cài đặt chế độ đầu vào chung, hãy tham khảo quy trình được minh họa trong Hình 7.16.



**Hình 7.16:** Flowchart of Setting the Port Safe State

###### Switching GPIO to I2C

R-Car S4 có chân dành riêng cho I2C. Hình minh họa ví dụ về quy trình cài đặt.

##### Port Safe State Function

Để giữ trạng thái vận hành an toàn (Port Safe State) trong trường hợp hỏng hóc rồi dừng lại, Port Safe State hoạt động để nhận thông tin lỗi từ ECM và thực hiện Pin cho từng miền. Xuất tín hiệu thông tin sự cố cho từng miền từ ECM. Điều này được PFC nhận và nó được kiểm soát cho từng Pin để nó trở thành Trạng thái An toàn của Cổng. Các thanh ghi (PSSR 0, 1) chọn 4 loại Trạng thái an toàn cổng với 2 bit. Cung cấp một thanh ghi (PSER) để bật/tắt thanh ghi này.

**Bảng7.57:** Port Safe State function

##### RESETOUT1# Function

Hình dưới đây cho thấy hành vi của PRESETOUT#.

Hình 7.17 Biểu đồ thời gian của chức năng PRESETOUT1# cho mỗi hệ số đặt lại

THẬN TRỌNG: Để tránh xung đột dữ liệu, mạch bên ngoài được kết nối với chân này không được điều khiển ở mức cao trong mọi trường hợp.