

## TLC1549C, TLC1549I, TLC1549M

## 带串行控制的 10 位模数转换器

## 一、概述

## 1.1 一般说明

TLC1549C, TLC1549I 和 TLC1549M 是 10 位、开关电容、逐次逼近模数转换器。这些器件具有两个数字输入端和一个 3 态输出端[芯片选择 ( $\overline{CS}$ )，输入——输出时钟 (I/O CLOCK) 以及数据输出 (DATA OUT)]，它们提供了与主处理器串行端口的 3 线接口。

采样-保持功能是自动的。组合在这些器件中的转换器具有以下特点：易于比率转换的差分高阻抗基准输入，定标 (scaling) 以及模拟电路与逻辑和电源噪声相隔离。开关电容设计可在整个工作温度范围内 (自然通风) 实现低误差的转换。

TLC1549C 的工作温度范围为 0 至 70。TLC1549I 的工作温度范围为 -40 至 85。TLC1549M 工作于 -55 至 125 的整个军品温度范围。

## 可选项

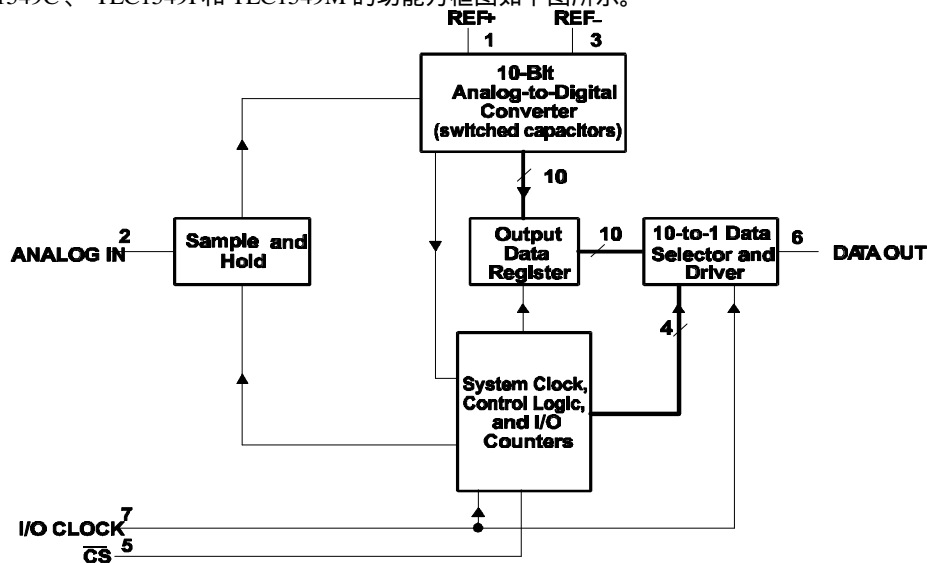
T <sub>A</sub>	封装			
	小型 (D)	芯片支座 (FK)	陶瓷 DIP (JG)	塑料 DIP (P)
0 至 70	TLC1549CD	—	—	TLC1549CP
-40 至 85	TLC1549ID	—	—	TLC1549IP
-55 至 125	—	TLC1549MFK	TLC1549MJG	—

## 1.2 特点

- 10 位分辨率 A/D 转换器
- 内在的采样和保持
- 总不可调整误差  $\pm 1\text{LSB Max}$
- 片内系统时钟
- 引脚与 TLC1549 和 TLV1549 兼容
- CMOS 工艺

## 1.3 功能方框图

TLC1549C、TLC1549I 和 TLC1549M 的功能方框图如下图所示。

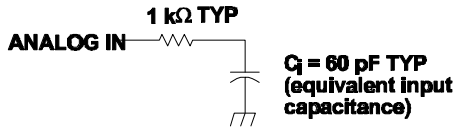


所示引脚号仅适用于 D、JG 和 P 封装。

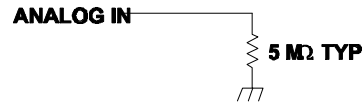
### 1.4 典型等效输入

TLC1549C、TLC1549I 和 TLC1549M 在采样方式期间和保持方式期间的输入电路阻抗分别如下面两图所示。

采样方式期内的输入电路阻抗

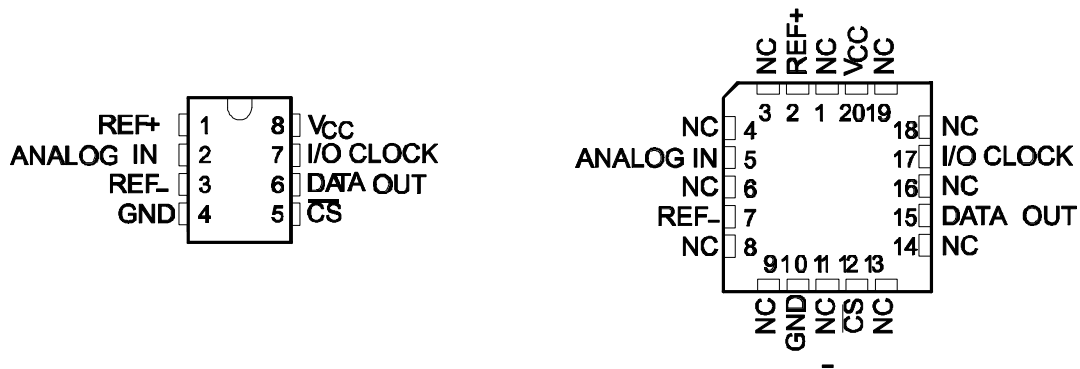


保持方式期内的输入电路阻抗



### 1.5 引脚排列和引脚功能

D、JG 或 P 封装和 FK 封装的 TLC1549 的引脚排列分别如下面两图所示。



TLC1549 的引脚功能如下表所示。

引脚功能

引脚 名称	编号	I/O	说 明
ANALOG IN	2	I	模拟信号输入端。驱动源阻抗应 $1k\Omega$ 。接至 ANALOG IN 的外部驱动源应具有 $10mA$ 的电流驱动能力
$\overline{CS}$	5	I	芯片选择。 $\overline{CS}$ 端高电平至低电平的跳变将在最大建立时间加内部系统时钟两个下降沿之内复位内部计数器和控制电路并使能 DATA OUT 和 I/O CLOCK。低电平至高电平的跳变将在建立时间加内部系统时钟两个下降沿之内禁止 I/O CLOCK
DATA OUT	6	O	当 $\overline{CS}$ 为高电平时，这个 A/D 转换结果的 3 态串行输出端处于高阻状态；当 $\overline{CS}$ 为低电平时，此端有效（active）。在芯片选择有效的情况下，DATA OUT 脱离高阻状态并被驱动至与前次转换结果的 MSB 值相对应的逻辑电平。I/O CLOCK 的下一个下降沿把 DATA OUT 驱动至与次最高有效位相对应的逻辑电平，其余的位被依次移出，LSB 出现在 I/O CLOCK 的第 9 个下降沿。在 I/O CLOCK 的第 10 个下降沿，DATA OUT 被驱动至低逻辑电平，因此，大于 10 个时钟的串行数据传送将产生零作为未用的 LSB
GND	4		内部电路的地返回端。除非另有说明，所有电压测量值均相对于 GND
I/O CLOCK	7	I	输入/输出时钟。I/O CLOCK 接收串行 I/O 时钟并实现下列三个功能： 1) 在 I/O CLOCK 的第 3 个下降沿 模拟输入电压开始对电容阵列充电并一直充电到 I/O CLOCK 的第 10 个下降沿 2) 把前次转换结果的其余 9 位移出至 DATA OUT 端上 3) 在第 10 个时钟下降沿把转换的控制传送到内部状态控制器
REF+	1	I	基准电压的高端（upper）值（通常为 $V_{CC}$ ）加至 REF+。最大输入电压范围由加至 REF+ 的电压与加至 REF- 的电压之间的差值决定

REF-	3	I	基准电压的低端（lower）值（通常为地）加至 REF-
Vcc	8		正电源电压

## 二、详细说明

在芯片选择（ $\overline{\text{CS}}$ ）无效（高电平）情况下，I/O CLOCK 最初被禁止且 DATA OUT 处于高阻状态。当串行接口把  $\overline{\text{CS}}$  拉至有效（低电平）时，转换时序开始允许 I/O CLOCK 工作并使 DATA OUT 脱离高阻状态。串行接口然后把 I/O CLOCK 序列提供给 I/O CLOCK 并从 DATA OUT 接收前次转换结果。I/O CLOCK 从主机串行接口接收长度在 10 和 16 个时钟之间的输入序列。开始 10 个 I/O 时钟提供采样模拟输入的控制时序。

TLC1549 有 6 种基本的串行接口定时方式可供使用。如表 1 所示，这些方式由 I/O CLOCK 的速度和  $\overline{\text{CS}}$  的操作所决定。这些方式是（1）10 个时钟传送（transfer），在传送（转换）之间  $\overline{\text{CS}}$  无效（高电平）的快速方式，（2）10 个时钟传送， $\overline{\text{CS}}$  连续有效（低电平）的快速方式，（3）11 至 16 个时钟传送，在传送（转换）之间  $\overline{\text{CS}}$  无效（高电平）的快速方式，（4）16 个时钟传送， $\overline{\text{CS}}$  连续有效（低电平）的快速方式，（5）11 至 16 个时钟传送，在传送（转换）之间  $\overline{\text{CS}}$  无效（高电平）的慢速方式以及（6）16 个时钟传送， $\overline{\text{CS}}$  连续有效（低电平）的慢速方式。

在方式 1、方式 3 和方式 5 中，在  $\overline{\text{CS}}$  的下降沿，前次转换的 MSB 出现在 DATA OUT 端；在方式 2 和方式 4 中，从第 10 个 I/O CLOCK 下降沿开始 21  $\mu\text{s}$  之内，前次转换的 MSB 出现在 DATA OUT 端；在方式 6 中，后随于第 16 个时钟的下降沿，前次转换的 MSB 出现在 DATA OUT 端。其余 9 位在接着的 9 个 I/O CLOCK 下降沿被送出。10 位数据通过 DATA OUT 被发送到主机串行接口。所使用串行时钟脉冲数也取决于工作方式，但为了开始转换，最少需要 10 个时钟脉冲。如果 I/O CLOCK 传送大于 10 个时钟长度，那么在第 10 个时钟的下降沿，内部逻辑把 DATA OUT 拉至低电平以确保其余位的值为零。

表 1 列出了工作方式，它们与  $\overline{\text{CS}}$  的状态、可以使用的 I/O 串行传送时钟个数以及前次转换的 MSB 出现在输出端的时序有关。

表 1 工作方式

方式		$\overline{\text{CS}}$	I/O 时钟数	引脚 6 处出现 MSB <sup>+</sup>	时序图
快速方式	方式 1	转换周期之间为高电平	10	$\overline{\text{CS}}$ 下降沿	图 6
	方式 2	连续低电平	10	在 21 $\mu\text{s}$ 内	图 7
	方式 3	转换周期之间为高电平	11 至 16*	$\overline{\text{CS}}$ 下降沿	图 8
	方式 4	连续低电平	16*	在 21 $\mu\text{s}$ 内	图 9
慢速方式	方式 5	转换周期之间为高电平	11 至 16*	$\overline{\text{CS}}$ 下降沿	图 10
	方式 6	连续低电平	16*	第 16 个时钟下降沿	图 11

+ 此时序也初始化串行接口通信。

\* 应当使用不超过 16 个的时钟。

在新的传送时序可以开始之前，在第 10 个 I/O CLOCK 下降沿之后，所有方式都要求最少为 21  $\mu\text{s}$  的时间。在串行 I/O CLOCK 数据传送期间内， $\overline{\text{CS}}$  必须有效（低电平）以便 I/O CLOCK 被使能。当数据传送之间  $\overline{\text{CS}}$  发生跳转时（方法 1、3 和 5），仅当跳变之后电平保持时间最少为 1.425  $\mu\text{s}$  时  $\overline{\text{CS}}$  的跳变才被识别为有效。如果传送大于 10 个 I/O 时钟（方式 3、4、5 和 6），那么第 11 个时钟的上升沿必须发生在第 10 个 I/O 时钟下降沿之后的 9.5  $\mu\text{s}$  以内；否则，器件可能失去与主机串行接口的同步且  $\overline{\text{CS}}$  必须跳转以恢复正常操作。

### 2.1 快速方式

当从第 10 个 I/O CLOCK 下降沿起 21  $\mu\text{s}$  之内完成串行 I/O CLOCK 数据传送时，TLC1549 处于快速方式。采用 10 个时钟的串行传送，器件只能运行在快速方式。

#### 2.1.1 方式 1：快速方式，传送之间 $\overline{\text{CS}}$ 无效（高电平），10 个时钟传送

在此方式中，各次串行 I/O 时钟传送之间  $\overline{CS}$  无效（高电平），每一次传送为 10 个时钟长度。 $\overline{CS}$  的下降沿通过使 DATA OUT 脱离高阻状态而使指令序列开始。 $\overline{CS}$  的上升沿通过在规定延迟时间内使 DATA OUT 返回到高阻状态而终止序列。此外， $\overline{CS}$  的上升沿在建立时间加内部系统时钟两个下降沿之内禁止 I/O CLOCK。

#### 2.1.2 方式 2：快速方式， $\overline{CS}$ 连续有效（低电平），10 个时钟传送

在此方式中，各次串行 I/O CLOCK 传送之间  $\overline{CS}$  有效（低电平）且每次传送为 10 个时钟长。在初始转换周期之后， $\overline{CS}$  为后续的转换保持有效（低电平）。在第 10 个 I/O CLOCK 下降沿之后的 21  $\mu s$  之内，前次转换的 MSB 出现在 DATA OUT。

#### 2.1.3 方式 3：快速方式，传送之间 $\overline{CS}$ 无效（高电平），11 至 16 个时钟传送

在此方式中，各次串行 I/O 时钟传送之间  $\overline{CS}$  无效（高电平），每次传送可以是 11 至 16 个时钟长度。 $\overline{CS}$  的下降沿通过使 DATA OUT 脱离高阻状态而使指令序列开始。 $\overline{CS}$  的上升沿通过在规定延迟时间内使 DATA OUT 返回到高阻状态而终止序列。此外， $\overline{CS}$  的上升沿在建立时间加内部系统时钟两个下降沿之内禁止 I/O CLOCK。

#### 2.1.4 方式 4：快速方式， $\overline{CS}$ 连续有效（低电平），16 个时钟传送

在此方式中，各次串行 I/O CLOCK 传送之间  $\overline{CS}$  有效（低电平）且每次传送必须是严格的 16 个时钟长。在初始转换周期之后， $\overline{CS}$  为后续的转换保持有效（低电平）。在第 10 个 I/O CLOCK 下降沿之后的 21  $\mu s$  之内，前次转换的 MSB 出现在 DATA OUT。

### 2.2 慢速方式

在低速方式中，串行 I/O CLOCK 数据传送在离第 10 个 I/O CLOCK 下降沿 21  $\mu s$  之后才被完成。

#### 2.2.1 方式 5：慢速方式，传送之间 $\overline{CS}$ 无效（高电平），11 至 16 个时钟传送

在此方式中，各次串行 I/O 时钟传送之间  $\overline{CS}$  无效（高电平），每次传送可以是 11 至 16 个时钟长度。 $\overline{CS}$  的下降沿通过使 DATA OUT 脱离高阻状态而使指令序列开始。 $\overline{CS}$  的上升沿通过在规定延迟时间之内使 DATA OUT 返回到高阻状态而终止序列。此外， $\overline{CS}$  的上升沿在建立时间加内部系统时钟两个下降沿之内禁止 I/O CLOCK。

#### 2.2.2 方式 6：慢速方式， $\overline{CS}$ 连续有效（低电平），16 个时钟传送

在此方式中，各次串行 I/O CLOCK 传送之间  $\overline{CS}$  有效（低电平）且每次传送必须是严格的 16 个时钟长。在初始转换周期之后， $\overline{CS}$  为后续的转换保持有效（低电平）。接着第 16 个 I/O CLOCK 的下降沿通过使 DATA OUT 脱离低电平而开始每一个序列，使前次转换的 MSB 立即出现在 DATA OUT。然后器件为由串行接口所启动的下一 16 个时钟传送作好准备。

### 2.3 模拟输入采样

模拟输入的采样开始于第 3 个 I/O CLOCK 的下降沿，采样持续 7 个 I/O CLOCK 周期。在第 10 个 I/O CLOCK 的下降沿采样被保持。

### 2.4 转换器和模拟输入

逐次逼近转换系统中的 CMOS 门限检测器通过检查一系列二进制加权（binary-weighted）电容器上的电荷来确定每一位（见图 1）。在转换过程的第 1 个节拍内，通过同时闭合  $S_c$  开关和所有的  $S_T$  开关对模拟输入采样。此动作把所有电容器充电至输入电压。

在转换过程的下一个节拍内，所有的  $S_T$  和  $S_c$  开关被打开，门限检测器通过相对于基准（REF-）电压鉴别每一个电容器上的电荷（电压）开始确定每一位。在开关时序中，10 个电容器分别被检测，直至所有 10 位被确定并接着重复充电-转换时序为止。在转换节拍的第一步，门限检测器观察第 1 个电容器（权重=512）。此电容器的结点 512 被拉至 REF<sub>+</sub> 电压，而梯形网络中所有其余电容器的相应结点被接至 REF<sub>-</sub>。如果总和（summing）结点上的电压大于门限检测器的转换点（约为  $V_{cc}$  的一半），那么位 0 置入输出寄存器且 512 加权（512-weight）电容器被切换至 REF<sub>-</sub>。如果总和结点上的电压小于门限检测器的转换点，那么位 1 置

入寄存器且在逐次逼近过程的剩余期间内 512 加权电容器保持连接至  $REF_+$ 。对于 256 加权电容器、128 加权电容器以及沿线其余的电容器，此过程将被重复，直至所有位被确定为止。

在逐次逼近过程的每一步，初始电荷（initial charge）在电容器之间重新分配。转换过程依靠电荷的重新分配来确定从 MSB 到 LSB 的各位。

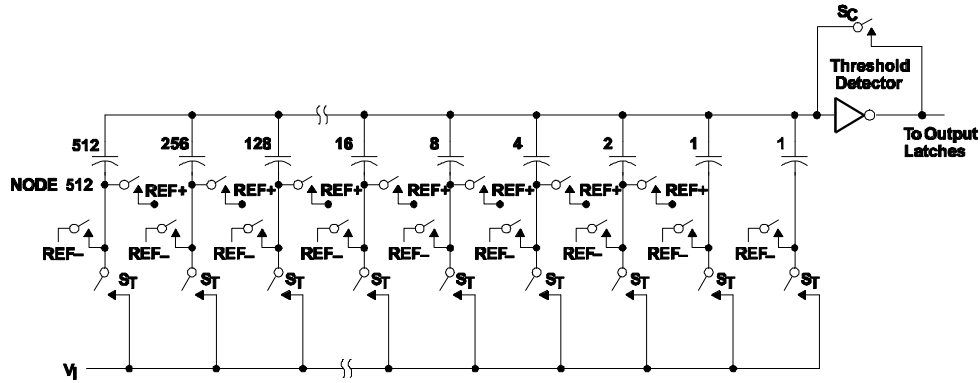


图 1 逐次逼近系统的简化模型

## 2.5 芯片选择操作

$\overline{CS}$  的下降沿启动所有工作方式，且在任何方式中  $\overline{CS}$  均可使转换序列失败。在正在进行的转换周期内，规定时间内  $\overline{CS}$  端高电平至低电平的跳变可中止该周期，器件返回初始状态（输出数据寄存器的内容保持为前次转换结果）。由于可能破坏输出数据，所以在接近转换完成时要小心防止  $\overline{CS}$  被拉至低电平。

## 2.6 基准电压输入

TLC1549 有两个基准输入端： $REF_+$  和  $REF_-$ 。这些电压值建立了分别产生满度（full-scale）和零读数的模拟电压的上限和下限。 $REF_+$ 、 $REF_-$  以及模拟输入应当符合规定的极限参数，不超过正电源电压或低于 GND，当输入信号等于或高于  $REF_+$  时，数字输出为满度；当输入信号等于或低于  $REF_-$  时，数字输出为零。

## 三、特性

### 3.1 工作温度范围内（自然通风）的极限参数（除非另有说明）+

电源电压范围， $V_{CC}$ （见注释 1）：

TLC1549C，TLC1549I

-0.5V 至 6.5V

TLC1549M

-0.5V 至 6V

输入电压范围， $V_I$ （任何输入端）

-0.3V 至  $V_{CC}+0.3V$

输出电压范围， $V_O$

-0.3V 至  $V_{CC}+0.3V$

正基准电压， $V_{REF+}$

$V_{CC}+0.1V$

负基准电压， $V_{REF-}$

-0.1V

峰值输入电流（任何输入端）

$\pm 20mA$

峰值总输入电流（所有输入端）

$\pm 30mA$

工作温度范围（自然通风）， $T_A$ ：

TLC1549C

0 至 70

TLC1549I

-40 至 85

TLC1549M

-65 至 125

储存温度范围， $T_{STG}$

-65 至 150

引线温度，离外壳 1.6mm（1/16 英寸），10 秒

260

+ 强度超出所列的极限参数可能导致器件的永久性损坏。这些仅仅是权限参数，并不意味着在极限参数条件下或在任何其它超出推荐工作条件下所示参数的情况下器件能有效地工作。延长在极限参数条件下的工作时间会影响器件的可靠性。

注释 1：在  $REF_-$  和 GND 连接在一起的情况下所有电压值均相对于地（除非另有说明）。

### 3.2 推荐工作条件

		MIN	NOM	MAX	单位
电源电压, $V_{cc}$		4.5	5	5.5	V
正基准电压, $V_{ref+}$ ( 见注释 2 )		$V_{cc}$			V
负基准电压, $V_{ref-}$ ( 见注释 2 )		0			V
差分基准电压, $V_{ref+} - V_{ref-}$ ( 见注释 2 )		2.5	$V_{cc}$	$V_{cc}+0.2$	V
模拟输入电压 ( 见注释 2 )		0	$V_{cc}$		V
高电平控制输入电压, $V_{IH}$	$V_{cc}=4.5V$ 至 $5.5V$	2			V
低电平控制输入电压, $V_{IL}$	$V_{cc}=4.5V$ 至 $5.5V$			0.8	V
I/O CLOCK 处的时钟频率 ( 见注释 3 )		0	2.1		MHz
建立时间,在第 1 个 I/O CLOCK 之前 $\overline{CS}$ 为低电平, $t_{SU} ( \overline{CS} )$ ( 见注释 4 )		1.425			$\mu s$
保持时间,在最后 1 个 I/O CLOCK 之后 $\overline{CS}$ 为低电平, $t_h ( \overline{CS} )$		0			ns
脉冲宽度, I/O CLOCK 为高电平, $t_{WH} ( I/O )$		190			ns
脉冲宽度, I/O CLOCK 为低电平, $t_{WL} ( I/O )$		190			ns
跳变时间, I/O CLOCK , $t_t ( I/O )$ ( 见注释 5 和图 5 )				1	$\mu s$
跳变时间, $\overline{CS}$ , $t_t ( \overline{CS} )$				10	$\mu s$
工作温度 ( 自然通风 ) , $T_A$	TLC1549C	0	70		
	TLC1549I	-40	85		
	TLC1549M	-55	125		

注释 2 : 大于加至 REF+端电压的模拟输入电压转换为全 1 ( 1111 1111 11 ); 小于加至 REF-端电压的输入电压转换为全零 ( 0000 0000 00 )。基准电压降至 1V (  $V_{ref+} - V_{ref-}$  ) TLC1549 仍保持其功能 ; 但是 , 电特性参数不再可用。

3 : 对于 11 至 16 位传送 , 在第 10 个 I/O CLOCK 下降沿 (  $\downarrow$  2V ) 之后 ,  $9.5 \mu s$  以内至少 1 个 I/O CLOCK 的上升沿 (  $\uparrow$  2V ) 必须发生。

4 : 为了使  $\overline{CS}$  端噪声所引起的误差为最小 , 在响应 I/O CLOCK 之前内部电路等待建立时间加内部系统时钟两个下降沿。在经历最小  $\overline{CS}$  建立时间之前 , 不要试图由时钟同步输出数据。

5 : 这是时钟输入信号从  $V_{IH \min}$  降至  $V_{IL \max}$  或从  $V_{IL \max}$  升至  $V_{IH \min}$  所需的时间。在正常室温附近 , 对于远程数据采集应用 ( 在这些应用中 , 传感器和 A/D 转换器放在离控制微处理器几英尺远处 ) , 在输入时钟跳变时间慢至  $1 \mu s$  的情况下器件可保持其功能。

### 3.3 电特性

3.3.1 在推荐的工作温度范围内 ( 自然通风 ) ,  $V_{CC}=V_{ref+}=4.5V$  至  $5.5V$  , I/O 时钟频率=2.1MHz 时的电特性 ( 除非另有说明 )

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$V_{OH}$ High-level output voltage	$V_{CC}=4.5V$ $I_{OH}=-1.6mA$	2.4			V
	$V_{CC}=4.5V$ to $5.5V$ $I_{OH}=-20\mu A$	$V_{CC}-0.1$			
$V_{OL}$ Low-level output voltage	$V_{CC}=4.5V$ $I_{OL}=1.6mA$			0.4	V
	$V_{CC}=4.5V$ to $5.5V$ $I_{OL}=20\mu A$			0.1	
$I_{OZ}$ Off-state (high-impedance-state) output current	$V_O=V_{CC}$ $\overline{CS} \text{ Sat } V_{CC}$			10	$\mu A$
	$V_O=0$ , $\overline{CS} \text{ Sat } V_{CC}$			-10	
$I_{IH}$ High-level input current	$V_I=V_{CC}$		0.005	2.5	$\mu A$
$I_{IL}$ Low-level input current	$V_I=0$		-0.005	-2.5	$\mu A$
$I_{CC}$ Operating supply current	$\overline{CS} \text{ Sat } 0V$		0.8	2.5	mA
Analog input leakage current	$V_I=V_{CC}$			1	$\mu A$
	$V_I=0$			-1	
Maximum static analog reference current into REF+	$V_{ref+}=V_{CC}$ $V_{ref-}=GND$			10	$\mu A$
$C_i$ Input capacitance	TLC1549C, I(Analog) During sample cycle		30	55	pF
	TLC1549M (Analog) During sample cycle		30		
	TLC1549C, I(Control)		5	15	
	TLC1549M (Control)		5		

+ 所有典型值为  $V_{CC}=5V$  ,  $T_A=25$  时的数据。

### 3.3.2 在推荐的工作温度范围内（自然通风）， $V_{CC}=V_{REF+}=4.5V$ 至 $5.5V$ ，I/O CLOCK 频率=2.1MHz 时的工作特性

PARAMETER	TEST CONDITIONS	MIN	MAX	UNIT
$E_L$ Linearity error (see Note 6)			$\pm 1$	LSB
$E_{ZS}$ Zero-scale error (see Note 7)	See Note 2		$\pm 1$	LSB
$E_{FS}$ Full-scale error (see Note 7)	See Note 2		$\pm 1$	LSB
Total unadjusted error (see Note 8)			$\pm 1$	LSB
$t_{conv}$ Conversion time	See Figures 6-10		21	$\mu s$
$t_c$ Total cycle time (access, sample, and conversion)	See Figures 6-10, See Note 9		21 +10 I/O CLOCK periods	$\mu s$
$t_v$ Valid time, DATA OUT remains valid after I/O CLOCK $\downarrow$	See Figure 5	10		ns
$t_{d(I/O-DATA)}$ Delay time, I/O CLOCK $\downarrow$ to DATA OUT valid	See Figure 5		240	ns
$t_{PZH}, t_{PZL}$ Enable time, $\overline{CS}\downarrow$ to DATA OUT (MSB driven)	See Figure 3		1.3	$\mu s$
$t_{PHZ}, t_{PLZ}$ Disable time, $\overline{CS}\uparrow$ to DATA OUT (high impedance)	See Figure 3		180	ns
$t_r(bus)$ Rise time, data bus	See Figure 5		300	ns
$t_f(bus)$ Fall time, data bus	See Figure 5		300	ns
$t_{d(I/O-CS)}$ Delay time, tenth I/O CLOCK $\downarrow$ to $\overline{CS}\downarrow$ to abort conversion (see Note 10)			9	$\mu s$

注释：2. 大于加至 REF+端电压的模拟输入电压转换为全 1（1111 1111 11）；小于加至 REF-端电压的输入电压转换为全零（0000 0000 00）。基准电压降至 1V（ $V_{REF+} - V_{REF-}$ ）TLC1549 仍保持其功能；但是，电特性参数不再可用。

6. 线性度误差是在整个 A/D 转换特性范围内偏离最佳直线的最大偏移量。

7. 零点误差是 0000 0000 00 和零输入电压的转换输出之间的差值；满度误差是 1111 1111 11 与满度输入电压的转换输出之间的差值。

8. 总不可调整误差（total unadjusted error）是线性度、零点和满度误差之和。

9. I/O CLOCK 周期=1/（I/O CLOCK 频率）。采样开始于第 3 个 I/O CLOCK 的下降沿，持续 7 个 I/O CLOCK 周期，并终止于第 10 个 I/O CLOCK 的下降沿（见图 5）。

10. 仅当跳变之后电平保持时间达最小建立时间加内部时钟两个下降沿（ $1.425 \mu s$ ）的情况下  $\overline{CS}$  的任何跳变才被鉴别为有效。

### 3.4 参数测量资料

TLC1549 的负载电路、电压波形和时序图分别如图 2、图 3-5 和图 6-11 所示。

#### 3.4.1 负载电路

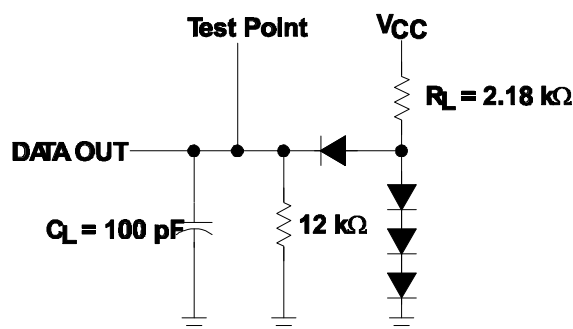


图 2 负载电路

#### 3.4.2 电压波形

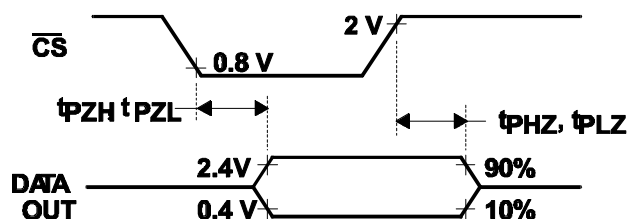


图 3 DATA OUT（数据输出）至 Hi-Z（高阻）的电压波形

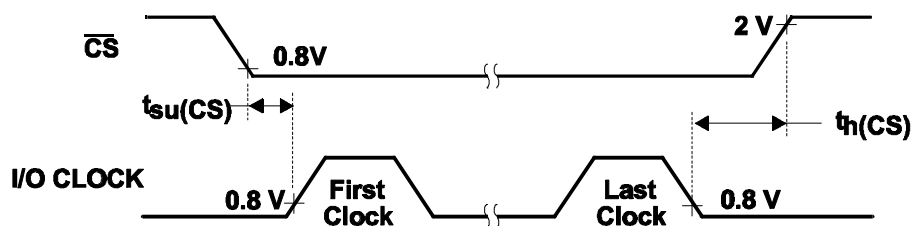
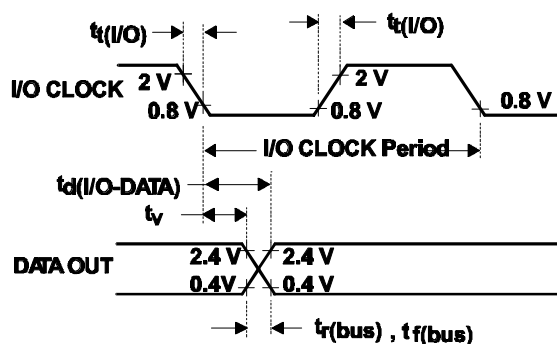
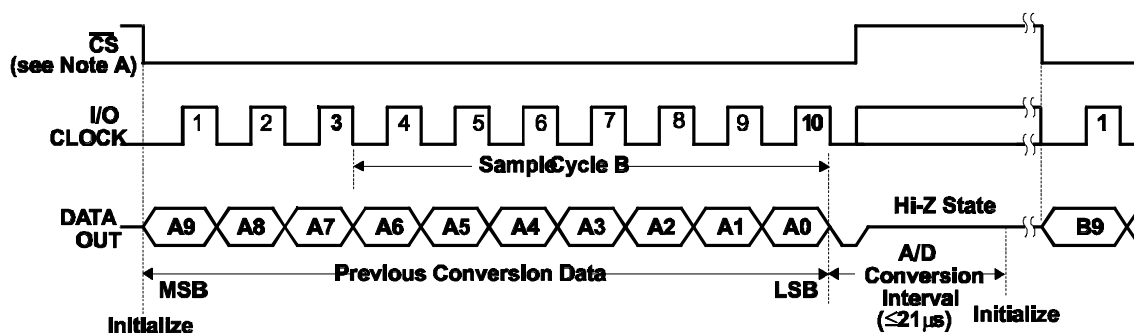
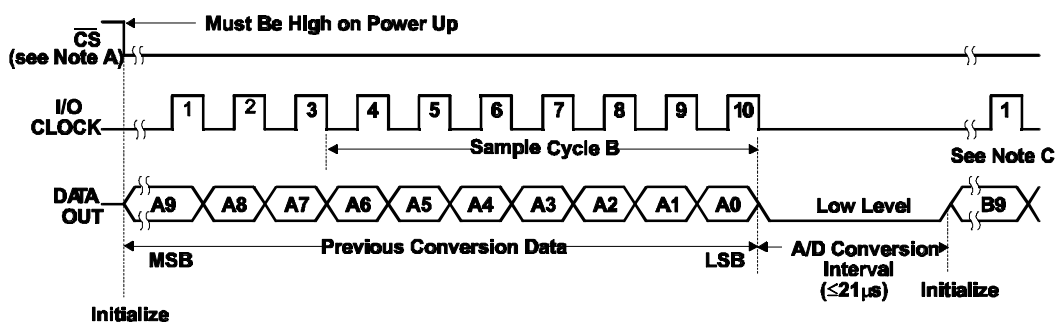
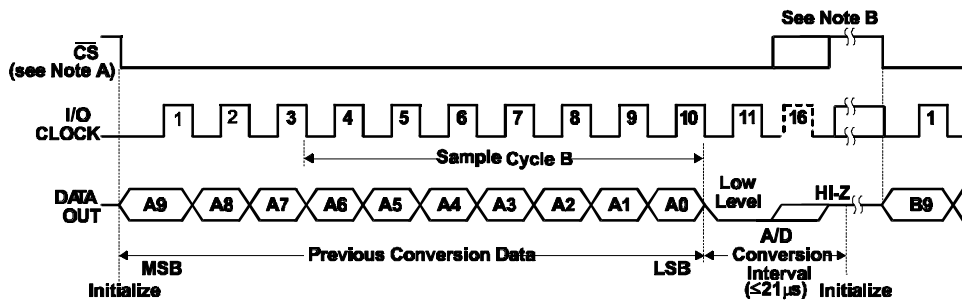
图4  $\overline{\text{CS}}$  至 I/O CLOCK 电压波形

图5 I/O CLOCK 和 DATA OUT 电压波形

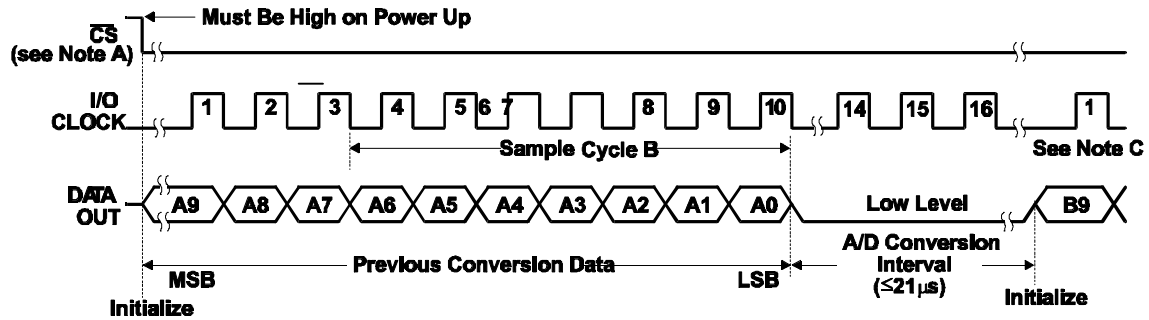
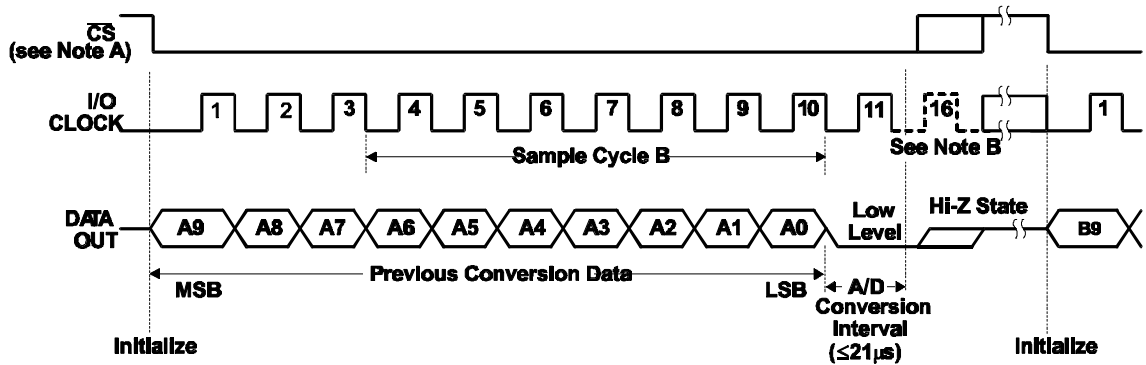
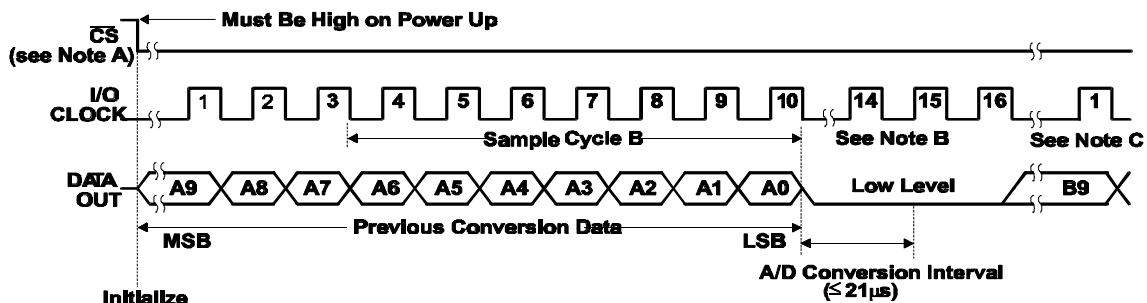
## 3.4.3 时序图

图6 使用  $\overline{\text{CS}}$ 、10 时钟传送的时序图7 不使用  $\overline{\text{CS}}$ 、10 时钟传送的时序图



图8 使用 $\overline{CS}$ 、11至16时钟传送的时序图(串行传送在 $21 \mu s$ 之内完成)

注释：A. 为了使 $\overline{CS}$ 端噪声所产生的误差为最小，在响应I/O CLOCK之前，内部电路在 $\overline{CS}$ 之后等待建立时间加内部系统时钟两个下降沿。在经历最小 $\overline{CS}$ 建立时间之前，不要试图由时钟同步输出数据。  
B.  $\overline{CS}$ 低电平至高电平的跳变在最大建立时间加内部系统时钟两个下降沿之内禁止I/O CLOCK。  
C. 在前次转换结束之后，第一个I/O CLOCK必须发生。

图9 不使用 $\overline{CS}$ 、16时钟传送的时序图(在 $21 \mu s$ 之内完成串行传送)图10 使用 $\overline{CS}$ 、11至16时钟传送的时序图(在 $21 \mu s$ 之后完成串行传送)图11 不使用 $\overline{CS}$ 、16时钟传送的时序图(在 $21 \mu s$ 之后完成串行传送)

注释：A. 为了使  $\overline{CS}$  端噪声所产生的误差为最小，在响应 I/O CLOCK 之前，内部电路在  $\overline{CS}$  之后等待建立时间加内部系统时钟两个下降沿。在经历最小  $\overline{CS}$  建立时间之前，不要试图由时钟同步输出数据。

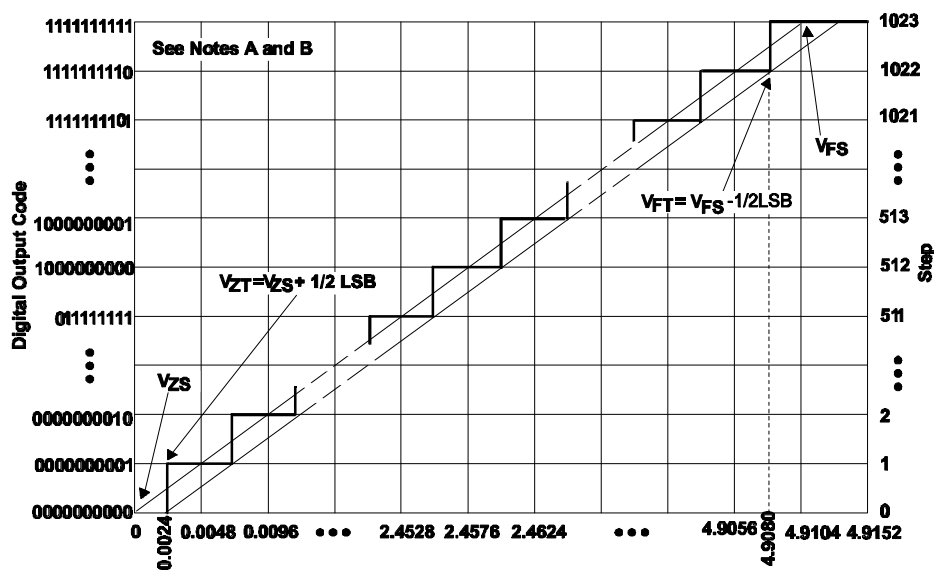
B.  $\overline{CS}$  低电平至高电平的跳变在最大建立时间加内部系统时钟两个下降沿之内禁止 I/O CLOCK。

C. 在前次转换结束之后，第 1 个 I/O CLOCK 必须发生。

## 四、应用资料

### 4.1 理想转换特性

TLC1549 的理想转换特性如图 12 所示。



注释：A. 此曲线基于下列假设： $V_{ref+}$  和  $V_{ref-}$  已被调整以便从数字 0 至 1 跳变的电压 ( $V_{ZT}$ ) 为 0.0024V，满度跳变电压 ( $V_{FT}$ ) 为 4.908V。1LSB=4.8mV。

B. 满度值 ( $V_{FS}$ ) 是指其额定中点 (midstep) 值具有最高的绝对值的那级台阶。零度值 ( $V_{ZS}$ ) 是指其额定中点 (midstep) 值等于零的那级台阶。

图 12 理想转换特性

### 4.2 典型串行接口

图 13 所示为典型的串行接口。

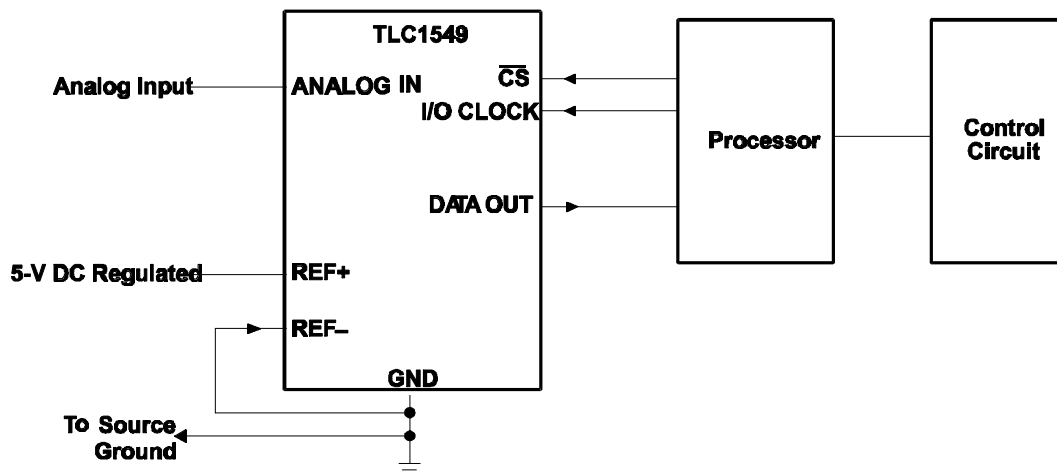


图 13 典型串行接口

### 4.3 简化模拟输入分析

利用图 14 的等效电路，模拟输入电容从 0 充电至  $V_s$ （在  $1/2\text{LSB}$  之内）所需的时间可推导如下：

电容充电电压由下式给出：

$$V_c = V_s (1 - e^{-t_c/R_i C_i}) \quad (1)$$

其中： $R_i = R_s + r_i$

离  $V_s$   $1/2\text{LSB}$  的最终电压由下式给出：

$$V_c (1/2\text{LSB}) = V_s - (V_s/2048) \quad (2)$$

使式 (1) 和式 (2) 相等并求解时间  $t_c$  可给出：

$$V_s - (V_s/2048) = V_s (1 - e^{-t_c/R_i C_i}) \quad (3)$$

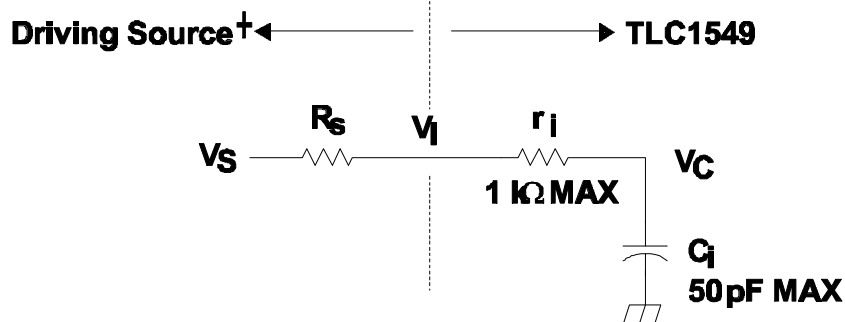
和

$$t_c (1/2\text{LSB}) = R_i \times C_i \times \ln (2048) \quad (4)$$

因此，在给定数值的情况下，模拟输入信号建立的时间为：

$$t_c (1/2\text{LSB}) = (R_s + 1k) \times 60\text{pF} \times \ln (2048) \quad (5)$$

此时间必须小于时序图中所示的转换器采样时间。



$V_i$ =ANALOG IN 端的输入电压

$V_s$ =外部驱动源电压

$R_s$ =源电阻

$r_i$ =内部电阻

$C_i$ =等效输入电容

+ 驱动源要求：

- 源的噪声和失真必须与转换器的分辨率相当。
- 在输入频率上  $R_s$  必须为实数。

图 14 驱动源的等效输入电路