

# 256 级灰度 LED 点阵屏显示原理及基于 FPGA 的电路设计

**摘 要:**本文提出了一种LED点阵屏实现256级灰度显示的新方法。详细分析了其工作原理。并依据其原理,设计出了基于FPGA 的控制电路。

**关键词:**256级灰度;LED点阵屏;FPGA;电路设计

## 引言

256级灰度LED点阵屏在很多领域越来越显示出其广阔的应用前景,本文提出一种新的控制方式,即逐位分时控制方式。随着大规模可编程逻辑器件的出现,由纯硬件完成的高速、复杂控制成为可能。

## 逐位分时点亮工作原理

所谓逐位分时点亮,即从一个字节数据中依次提取出一位数据,分8次点亮对应的像素,每一位对应的每一次点亮时间与关断时间的占空比不同。如果点亮时间从低位到高位依次递增,则合成的点亮时间将会有256种组合。定义点亮时间加上关断时间为一个时间单位,设为 $T$ 。表1列出了每一位的点亮与关断的时间分配。

如果定义数据位“1”有效(点亮)，“0”无效(熄灭),则表2列出了数据从00H到FFH

时的不同点亮时间。由表2可知:数据每增1,点亮时间增加 $T/128$ 。根据点亮时间与亮度基本为线性关系的原理,从0~255 $T/128$ 的点亮时间则对应256级亮度。当然,这个亮度是时间上的累加效果。如果把一个LED点阵屏所有像素对应的同一数据位点亮一遍称为一场的话,那么8位数据共需8场显示完,称为“8场原理”。

理论上讲,8场即可显示出256级灰度,然而通过表2可看出,即使数据为FFH时,在8 $T$ 时间内也只是

点亮了255 $T/128$ 时间。关断时间可接近6 $T$ ,点亮时间仅为总时间的约25%,因此,8场原理虽也能实现256级灰度显示,但亮度损失太大。为了提高亮度,可采用“19场原理”,即8位数据分19场显示完,其中D7位数据连续显示8场,D6位连续显示4场,依次递减。表3列出了各位的点亮与关断时间。

由表3可推导出数据从00H~FFH范围的总点亮时间,如表4所示。在19 $T$ 时间内,最大点亮时间可达近16 $T$ ,占总时间的84.21%,

表1 数据位点亮与关断的时间分配

数据位	点亮时间	关断时间	总时间
D0	$T/128$	$T-T/128$	$T$
D1	$T/64$	$T-T/64$	$T$
D2	$T/32$	$T-T/32$	$T$
D3	$T/16$	$T-T/16$	$T$
D4	$T/8$	$T-T/8$	$T$
D5	$T/4$	$T-T/4$	$T$
D6	$T/2$	$T-T/2$	$T$
D7	$T$	0	$T$

表3 分19场显示时各位的点亮与关断时间

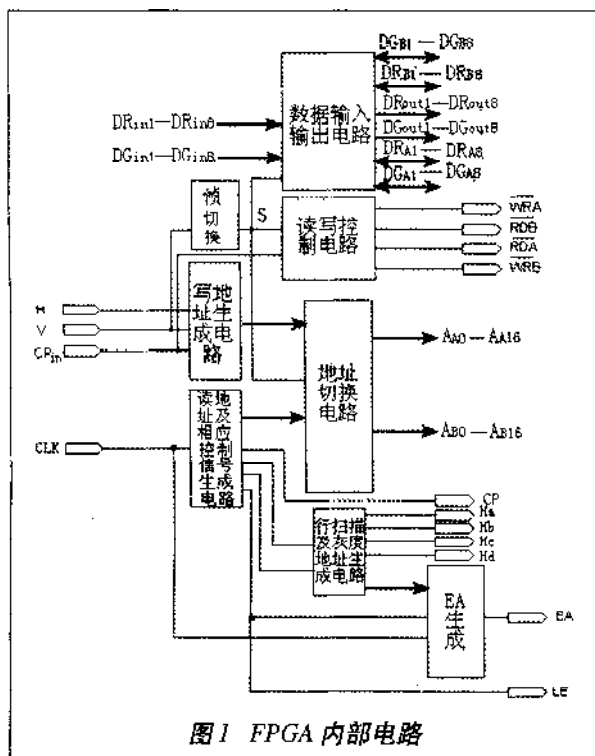
数据位	点亮时间	关断时间	总时间
D7	8 $T$	0	8 $T$
D6	4 $T$	0	4 $T$
D5	2 $T$	0	2 $T$
D4	$T$	0	$T$
D3	$T/2$	$T/2$	$T$
D2	$T/4$	$3T/4$	$T$
D1	$T/8$	$7T/8$	$T$
D0	$T/16$	$15T/16$	$T$

表2 00H到FFH时的不同点亮时间

数据	点亮时间	关断时间	总时间
00H	0	8 $T$	8 $T$
01H	$T/128$	$8T-T/128$	8 $T$
02H	2 $T/128$	$8T-2T/128$	8 $T$
03H	3 $T/128$	$8T-3T/128$	8 $T$
...	...	...	...
FFH	255 $T/128$	$8T-255T/128$	8 $T$

表4 19场显示时00H~FFH范围的总点亮时间

数据	点亮时间	总时间
00H	0	19 $T$
01H	$T/16$	19 $T$
02H	2 $T/16$	19 $T$
03H	3 $T/16$	19 $T$
...	...	...
FFH	255 $T/16$	19 $T$



远大于“8场原理”的25%。数据每增1,点亮时间增加了T/16,该值大于“8场原理”的T/128。所以,“19场原理”较“8场原理”的对比度更明显,图像层次分明、表现力强。

## 电路设计

256级灰度LED点阵屏通常要具有能远程同步实时显示计算机视频信号的功能,涉及到的电路包括:数字视频信号的采集、数字信号的格式转换及非线性校正、远程传输及接收、灰度显示控制电路、LED点阵显示电路等。本文重点讨论“灰度显示控制电路”的设计。控制对象以红、绿双基色LED点阵屏、1/16扫描显示电路为例。FPGA内部电路如图1所示。

因为被控对象为1/16扫描显示电路,所以显示屏每16行只需要一路数据信号即可。 $DR_{out1}$ 、 $DG_{out1}$ 即

为第一个16行的红、绿基色输出信号； $DR_{out2}$ 、 $DG_{out2}$ 为第2个16行的红、绿基色输出信号。以此类推。

$H_a$ 、 $H_b$ 、 $H_c$ 、 $H_d$  的二进制编码, 定义当前的数据输出应是 16 行中的哪一行。CP 信号为数据串行输出的同步移位脉冲。LE 信号为一行串行数据输出结束后的锁存脉冲, LE 每有效一次,  $H_a$ 、 $H_b$ 、 $H_c$ 、 $H_d$  二进制编码状态增 1。EA 为灰度控制信号, 其

宽度为在一个时间单位T内LED的点亮时间。当然,不同的数据位其宽度不同,具体由表3决定。一个时间单位T即一行串行数据的传输时间,也即LE信号的周期,其大小取决于屏宽的像素点数量和CP信号的频率。

DR<sub>in1-8</sub> 和 DG<sub>in1-8</sub> 为红、绿数据输入信号,分别对应第1个16行点阵区到第8个16行点阵区。C<sub>pin</sub> 为同步脉冲,一个脉冲对应一位数据,8个脉冲对应一个像素点的8位数据输入。H信号为行同步脉冲,一行数据输入结束,H信号有效一次。V为帧同步脉冲,一帧(16行)数据输入结束,V信号有效一次。上述信号均为前级系统提供的信号。

FPGA 外部接有两组高速静态 RAM(图中未画出),  $DR_{A1-8}$ 、 $DG_{A1-8}$  为 A 组 RAM 的红、绿数据线,  $DR_{B1-8}$ 、 $DG_{B1-8}$  为 B 组 RAM 的红、绿数据线; /WRA、/RDA 为 A 组的读、

写控制信号，/WRB、/RDB为B组的读、写控制信号； $A_{A0-16}$ 为A组的地址线， $A_{B0-16}$ 为B组的地址线。使用两组RAM的目的是保证对RAM的读写操作能同时进行。当写RAM(A)时，读RAM(B)；当写RAM(B)时，读RAM(A)。二者的写/读切换由帧信号V控制。V每有效一次就进行一次切换。

$C_{pin}$  为上级系统提供的写脉冲，同时亦作为写地址生成电路的计数脉冲，计数地址范围为A0~A16，共128K字节，其中A0~A2为灰度位数据地址(决定访问8位的哪一位)。A3~A12为X方向的像素地址，A13~A16为Y方向的像素地址，即行地址。H信号到来时，清零A0~A12，同时A13~A16地址加1。V信号到来时，A0~A12及A13~A16全部清零。上述地址作为RAM的写地址。

求。用Synario软件设计驱动电路时,可以采用原理图、ABEL-HDL等多种方式。设计CCD驱动电路时,先将系统划分为不同的功能模块,功能复杂的模块均采用硬件描述语言设计。因为应用时只需根据具体CCD器件的要求修改积分时间等参数即可,如果采用原理图则需修改连接线路。

## 结语

CCD驱动电路一般有四种设计方法,分别为存储器驱动、IC驱动、

单片机驱动、以及可编程逻辑器件驱动。采用ispLSI器件设计CCD时序发生器,使得电路由原来复杂的设计变成主要只用一片ispLSI1016来实现。独立的单元测试与系统联调结果均表明:采用ISP技术实现CCD时序发生器,提高了系统的集成度;系统抗干扰能力和稳定性也增强了;同时还使设计与调试周期缩短至小时数量级。

## 参考文献

1 杨晖,张凤言.大规模可编程

逻辑器件与数字系统设计[M].北京航空航天大学出版社,1998

2 曾晓洋,郝志航.在系统可编程(ISP)技术及其器件[J].光学精密工程,1998.

3 日本东芝公司线阵CCD数据手册[Z].1997

## 作者简介:

张智辉 北京邮电大学信息工程学院博士。主要从事信息安全、信号检测技术的研究。

52 读写控制电路的作用是向两组RAM提供读写控制信号,逻辑关系如表7所示。数据输入/输出电路的作用是切换数据的传输方向,如表8所示。

帧切换电路的作用是产生上述电路所需要的切换信号S。实现的方法是:帧同步脉冲V每有效一次,S的逻辑状态翻转一次。帧切换电路保证了两组RAM随V信号不断进行读写转换。

灰度信号生成电路产生被控对象需要的EA信号,它随读地址A14、A15、A16的状态而变化。逻辑关系如表9所示。

依据帧周期 $T_p=20\text{ms}$ ,一帧=19场原理,可得如下计算结果:场周期 $T_v=T_p/19=1.05\text{ms}$ ;行周期 $T=T_v/16=66\mu\text{s}$ ;输出移位脉冲周期 $T_{\phi}=T/1024=64\text{ns}$ ;输出移位脉冲频率 $f_{\phi}=1/T_{\phi}=15.6\text{MHz}$ 。CLK信号频率 $f_{\text{clk}}=f_{\phi}=15.6\text{MHz}$ ;实际应用时选取CLK时钟信号频率为16MHz。

在MAX PLUSII10.0环境下,使用图形和硬件描述语言完成了以上

表5 A14~A16计数规律

场计数	A16	A15	A14
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	0	1
7	1	1	0
8	1	1	0
9	1	1	0
10	1	1	0
11	1	1	1
12	1	1	1
13	1	1	1
14	1	1	1
15	1	1	1
16	1	1	1
17	1	1	1
18	1	1	1

电路的设计。

## FPGA选型及仿真结果

由图1可知,FPGA必须提供113个I/O引脚,内部资源、工作频率须满足电路设计要求。采用Altera公司的ACEX1K系列EP1K10QC208-3芯片,该FPGA芯片速度高、价位低、有114个I/O引脚,576个逻辑宏单元,可兼容输入输出电路的TTL电平。仿真结果报告:引脚利用率达99%,内部逻辑

表6 读地址与RAM连接方法

读地址	RAM地址	备注
A14...A16	A0...A2	灰度位数据地址
A0...A9	A3...A12	列地址
A10...A13	A13...A16	行地址

表7 读写控制信号逻辑关系

S	AWRA	RDA	AWRB	RDB
0	CPin	1	1	0
1	1	0	CPin	1

表8 数据传输方向的切换

S	RAM(A)数据方向	RAM(B)数据方向
0	DRin1--8→DRA1--8 DGin1--8→DGA1--8	DRB1--8→DRout1--8 DGB1--8→DGBout1--8
1	DRA1--8→DRout1--8 DGA1--8→DGBout1--8	DRin1--8→DRB1--8 DGin1--8→DGB1--8

表9 EA信号逻辑关系

地址	000	001	010	011	100	101	110	111
EA	T/16	T/8	T/4	T/2	T	T	T	T

单元利用率达85%,达到了充分利用资源、提高性价比的目的。

## 参考文献

1 宋万杰.CPLD技术及应用[M].西安:西安电子科技大学出版社,1999

## 作者简介:

魏银库 郑州防空兵学院电子教研室主任,硕士生导师。研究方向为计算机的嵌入式应用技术。