

## P89LPC930/931

### 1. 概述

P89LPC930/931 是一款单片封装的微控制器, 适合于许多要求高集成度、低成本的情况。可以满足多方面的性能要求。P89LPC930/931 采用了高性能的处理器结构, 指令执行时间只需 2 到 4 个时钟周期。6 倍于标准 80C51 器件。P89LPC930/931 集成了许多系统级的功能, 这样可大大减少元件的数目和电路板面积并降低系统的成本。

### 2. 特性

- 当操作频率为 12MHz 时, 除乘法和除法指令外, 高速 80C51 CPU 的指令执行时间为 167~333ns。同一时钟频率下, 其速度为标准 80C51 器件的 6 倍。只需要较低的时钟频率即可达到同样的性能, 这样无疑降低了功耗和 EMI。
- $V_{DD}$  操作电压范围为 2.4~3.6V。I/O 口可承受 5V (可上拉或驱动到 5.5V)。
- 4KB/8KB Flash 字节可擦除程序存储器, 具有 1KB 扇区和 64 字节页规格。
- 字节擦除特性允许程序存储器用作数据存储器。
- Flash 编程操作执行时间小于 2ms。
- Flash 擦除操作执行时间小于 2ms。
- 256 字节 RAM 数据存储器。
- 2 个 16 位定时/计数器, 每一个定时器均可设置为溢出时触发相应端口输出或作为 PWM 输出。
- 实时时钟可作为系统定时器。
- 2 个模拟比较器。可选择输入和参考源。
- 增强型 UART。具有波特率发生器、间隔检测、帧错误检测、自动地址识别和通用的中断功能。
- 400kHz 字节宽度的 I<sup>2</sup>C 通信端口。
- SPI 通信端口。
- 8 个键盘中断输入, 另加 2 路外部中断输入。
- 4 个中断优先级。
- 看门狗定时器具有片内独立振荡器, 无需外接元件。看门狗定时器溢出时间有 8 种选择。
- 低电平复位。使用片内上电复位时不需要外接元件。复位计数器和复位干扰抑制电路可防止虚假和不完全的复位。另外还提供软件复位功能。
- 低电压复位 (掉电检测) 可在电源故障时使系统安全关闭。该功能也可配置为一个中断。
- 振荡器失效检测。看门狗定时器具有独立的片内振荡器, 因此它可用于振荡器的失效检测。
- 可配置的片内振荡器及其频率范围和 RC 振荡器选项 (通过用户可编程 Flash 配置位选择)。选择 RC 振荡器时不需要外接振荡器件。振荡器选项支持的频率范围为 20KHz~12MHz。可选择 RC 振荡器选项并且其频率可进行很好的调节。
- 可编程端口输出模式:
  - ◆ 准双向口。
  - ◆ 开漏输出。
  - ◆ 推挽输出。
  - ◆ 仅为输入。
- 端口“输入模式匹配”检测。当 P0 口管脚的值与一个可编程的模式匹配或者不匹配时, 可产生一个中断。
- 双数据指针

- 施密特触发端口输入
- 所有口线均有 LED 驱动能力（20mA）。最大综合 I/O 口电流为 100mA。
- 可控制口线输出斜率以降低 EMI，输出最小跳变时间约为 10ns。
- 最少 23 个 I/O 口（28 脚封装），选择片内振荡和片内复位时可多达 26 个 I/O 口。
- 当选择片内振荡器及复位时，P89LPC930/931 只需连接电源和地。
- 串行 Flash 编程可实现在电路编程。Flash 保密位可防止程序被读出。
- Flash 程序存储器可实现在应用中编程。这允许在程序运行时改变代码。
- 空闲和两种不同的掉电节电模式。提供从掉电模式中唤醒功能（低电平中断输入唤醒）。典型的掉电电流为 1μA（比较器关闭时的完全掉电状态）。
- 28 脚 TSSOP 封装。
- 仿真支持。

### 3. 订购信息

表 1 订购信息

类型号	封装		
	名称	描述	版本
P89LPC930FDH	TSSOP28	薄型小型塑料封装；28 脚；本体宽度 4.4mm	SOT361-1
P89LPC931FDH	TSSOP28	薄型小型塑料封装；28 脚；本体宽度 4.4mm	SOT361-1

#### 3.1 订购选择

表 2 器件选择

类型号	程序存储器	温度范围	频率
P89LPC930FDH	4KB	-45~+85℃	0~12MHz
P89LPC931FDH	8KB	-45~+85℃	0~12MHz

#### 4. 功能框图

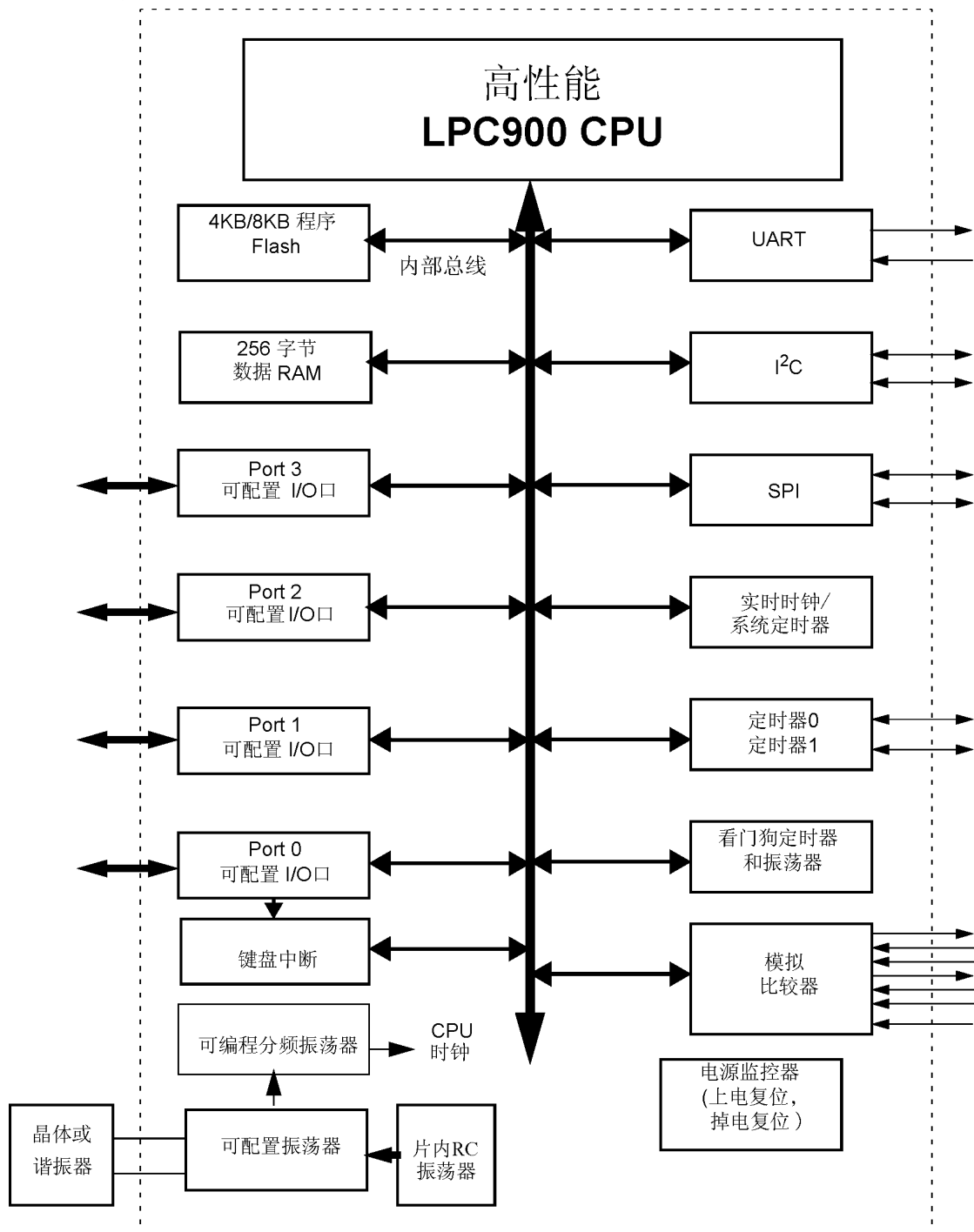


图 1 功能框图

## 5. 管脚信息

### 5.1 管脚配置

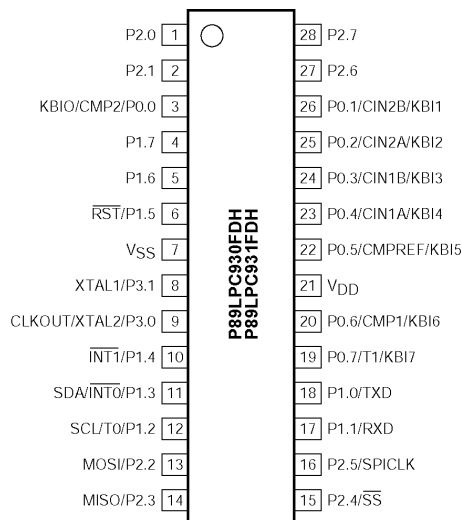


图 2 DIP28 脚配置

### 5.2 管脚描述

表 3 管脚描述

符号	管脚号	类型	名称及功能描述
P0.0~P0.7	3,26,25,24,23,22,20,19	I/O	<b>PORT0:</b> P0 是一个可由用户定义输出类型的 8 位 I/O 口, 在上电复位时, P0 锁存器配置为内部上拉禁止的仅为输入模式。P0 口由口配置寄存器设定为输出或输入模式, 每一个管脚均可单独设定。详细请参考 8.11.1 节“I/O 口配置”和表 7 “DC 电气特性”。P0 口具有键盘输入中断功能。所有管脚都具有施密特触发输入。P0 口还可提供如下特殊功能:
	3	I/O O I	<b>P0.0</b> P0 口位 0 <b>CMP2</b> 比较器 2 输出 <b>KBI0</b> 键盘输入 0
	26	I/O I I	<b>P0.1</b> P0 口位 1 <b>CIN2B</b> 比较器 2 正向输入 B <b>KBI1</b> 键盘输入 1
	25	I/O I I	<b>P0.2</b> P0 口位 2 <b>CIN2A</b> 比较器 2 正向输入 A <b>KBI2</b> 键盘输入 2
	24	I/O I I	<b>P0.3</b> P0 口位 3 <b>CIN1B</b> 比较器 1 正向输入 B <b>KBI3</b> 键盘输入 3
	23	I/O I I	<b>P0.4</b> P0 口位 4 <b>CIN1A</b> 比较器 1 正向输入 A <b>KBI4</b> 键盘输入 4
	22	I/O I I	<b>P0.5</b> P0 口位 5 <b>CMPREF</b> 比较器参考 (反向) 输入 <b>KBI5</b> 键盘输入 5
	20	I/O O I	<b>P0.6</b> P0 口位 6 <b>CMP1</b> 比较器 1 输出 <b>KBI6</b> 键盘输入 6
	19	I/O I/O I	<b>P0.7</b> P0 口位 7 <b>T1</b> 定时/计数器 1 外部计数输入或溢出输出 <b>KBI7</b> 键盘输入 7

续上表.....

符号	管脚号	类型	名称及功能描述
P1.0~P1.7	18,17,12,11,10,6,5,4	I/O, I <sup>[1]</sup>	<b>PORT1:</b> 除了下面说明的三个管脚外, P1 是一个可由用户定义输出类型的 8 位 I/O 口。在上电复位时, P1 锁存器配置为内部上拉禁止的仅为输入模式。P1 口由口配置寄存器设定为输出或输入模式, 每一位均可单独设定。详细请参考 8.11.1 节“I/O 口配置”和表 7 “DC 电气特性”。P1.2-P1.3 作为输出时为开漏。P1.5 为仅为输入模式。 所有管脚都具有施密特触发输入。 P1 口还可提供如下特殊功能:
	18	I/O O	<b>P1.0</b> P1 口位 0 <b>TxD</b> 串行口输出
	17	I/O I	<b>P1.1</b> P1 口位 1 <b>RxD</b> 串行口输入
	12	I/O I/O I/O	<b>P1.2</b> P1 口位 2 (作为输出时为开漏) <b>T0</b> 定时/计数器 0 外部计数输入或溢出输出 (作为输出时为开漏) <b>SCL</b> I <sup>2</sup> C 串行时钟输入/输出
	11	I I I/O	<b>P1.3</b> P1 口位 3 (作为输出时为开漏) <b>INT0</b> 外部中断 0 输入 <b>SDA</b> I <sup>2</sup> C 串行数据输入/输出
	10	I I	<b>P1.4</b> P1 口位 4 <b>INT1</b> 外部中断 1 输入。
	6	I I	<b>P1.5</b> P1 口位 5 (仅为输入) <b>RST</b> 外部复位输入或通过 UCFG1 进行选择。作为复位管脚时, 输入的低电平会使芯片复位, I/O 口和外围功能进入默认状态, 处理器从地址 0 开始执行。也可在上电时使器件强制进入在系统编程模式。
	5	I/O	<b>P1.6</b> P1 口位 6
	4	I/O	<b>P1.7</b> P1 口位 7
P2.0~P2.7	1,2,13,14,15,16,27,28	I/O	<b>PORT2:</b> P2 是一个可由用户定义输出类型的 8 位 I/O 口, 在上电复位时, P2 锁存器配置为内部上拉禁止的仅为输入模式。P2 口由口配置寄存器设定为输出或输入模式, 每一位均可单独设定。详细请参考 I/O 口配置和 DC 特性部分。该端口在 20 脚封装中是不存在的, 并自动配置为输出以降低功耗。不要使能这些管脚的特殊功能。 所有管脚都具有施密特触发输入。 P2 口还可提供如下特殊功能:
	1	I/O	<b>P2.0</b> P2 口位 0
	2	I/O	<b>P2.1</b> P2 口位 1
	13	I/O I/O	<b>P2.2</b> P2 口位 2 <b>MOSI</b> SPI 主机输出/从机输入。当配置为主机时, 该管脚为输出; 当配置为从机时, 该管脚为输入。
	14	I/O I/O	<b>P2.3</b> P2 口位 3 <b>MISO</b> SPI 主机输入/从机输出。当配置为主机时, 该管脚为输入; 当配置为从机时, 该管脚为输出。
	15	I/O I	<b>P2.4</b> P2 口位 4 <b>SS</b> SPI 从机选择
	16	I/O I/O	<b>P2.5</b> P2 口位 5 <b>SPICLK</b> SPI 时钟。当配置为主机时, 该管脚为输出; 当配置为从机时, 该管脚为输入
	27	I/O	<b>P2.6</b> P2 口位 6
	28	I/O	<b>P2.7</b> P2 口位 7

续上表.....

符号	管脚号	类型	名称及功能描述
P3.0~P3.1	9,8	I/O	<b>PORT3:</b> P3 是一个可由用户定义输出类型的 2 位 I/O 口, 在上电复位时, P3 锁存器配置为内部上拉禁止的仅为输入模式。P3 口由口配置寄存器设定为输出或输入模式, 每一个管脚均可单独设定。详细请参考 8.11.1 节“I/O 口配置”和表 7 “DC 电气特性”。 所有管脚都具有施密特触发输入。 P3 口还可提供如下特殊功能:
	9	I/O O O	<b>P3.0</b> P3 口位 0 <b>XTAL2</b> 振荡放大器输出 (由 Flash 配置选择为晶体振荡器时) <b>CLKOUT</b> 通过使能 SFR 位 (ENCLK-TRIM.6) 将 CPU 时钟 2 分频。当 CPU 时钟为内部 RC 振荡器、看门狗振荡器或外部时钟输入时可用, 但当 XTAL1/XTAL2 用于产生实时时钟/系统定时器的时钟源时除外。
	8	I/O I	<b>P3.1</b> P3 口位 1 <b>XTAL1</b> 振荡电路和内部时钟发生器输入 (通过 Flash 配置选择)。如果使用内部 RC 振荡器或看门狗振荡器作为 CPU 时钟源并且 XTAL1/XTAL2 不用于产生实时时钟/系统定时器的时钟时, 可作为 I/O 口使用。
V <sub>SS</sub>	7	I	地: 0V 参考点
V <sub>DD</sub>	21	I	电源: 正常操作模式、空闲模式和掉电模式时的电源。

[1] P1.0~P1.4 为输入/输出口, P1.5 仅为输入口。

## 6. 逻辑符号

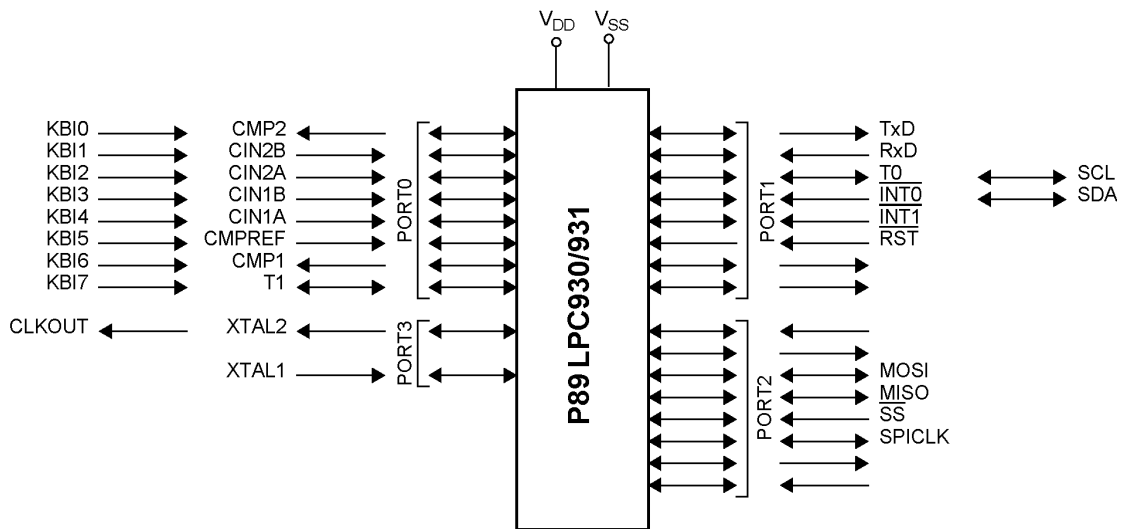


图 3 逻辑符号

## 7. 特殊功能寄存器

备注: 对特殊功能寄存器 (SFR) 的访问必须遵循以下方式:

- 用户不要试图访问任何未经定义的 SFR 地址。
- 对任何已定义的 SFR 的访问必须符合 SFR 的功能。
- 标注为 ‘-’, ‘0’ 或 ‘1’ 的 SFR 位只能以如下方式读或写:
  - 除非特别说明, ‘-’ 必须写入 0, 但当读出时不返回任何确定的值 (即使向其写入 0)。这是一个保留位, 作为将来功能扩展之用。
  - ‘0’ 必须写入 0, 并且当读出时返回 0。
  - ‘1’ 必须写入 1, 并且当读出时返回 1。

表 4 特殊功能寄存器  
带\*的 SFR 表明可位寻址

名称	定义	地址	位功能和位地址								复位值
			E7	E6	E5	E4	E3	E2	E1	E0	
ACC*	累加器	E0H									00H
AUXR1	辅助功能寄存器	A2H	CLKLP	EBRR	ENT1	ENT0	SRST	0	-	DPS	00H <sup>1</sup>
B*	B 寄存器	F0H	F7	F6	F5	F4	F3	F2	F1	F0	00H
BRGR0 <sup>[2]</sup>	波特率发生器低字节	BEH									00H
BRGR1 <sup>[2]</sup>	波特率发生器高字节	BFH									00H
BRGCON	波特率发生器控制	BDH	-	-	-	-	-	-	SBRGS	BRGEN	00H <sup>[6]</sup>
CMP1	比较器 1 控制寄存器	ACH	-	-	CE1	CP1	CN1	OE1	CO1	CMF1	00H <sup>1</sup>
CMP2	比较器 2 控制寄存器	ADH	-	-	CE2	CP2	CN2	OE2	CO2	CMF2	00H <sup>1</sup>
DIVM	CPU 时钟分频控制	95H									00H
DPTR	数据指针 (双字节)										
DPH	指针高字节	83H									00H
DPL	指针低字节	82H									00H
I2ADR	I <sup>2</sup> C 从地址寄存器	DBH	I2ADR.6	I2ADR.5	I2ADR.4	I2ADR.3	I2ADR.2	I2ADR.1	I2ADR.0	GC	00H
I2CON*	I <sup>2</sup> C 控制寄存器	D8H	DF	DE	DD	DC	DB	DA	D9	D8	00H
I2DAT	I <sup>2</sup> C 数据寄存器	DAH	-	I2EN	STA	STO	SI	AA	-	CRSEL	00H
I2SCLH	串行时钟发生器/SCL 占空比寄存器高字节	DDH									00H
I2SCLL	串行时钟发生器/SCL 占空比寄存器低字节	DCH									00H
I2STAT	I <sup>2</sup> C 状态寄存器	D9H	STA.4	STA.3	STA.2	STA.1	STA.0	0	0	0	F8H
IEN0*	中断使能 0	A8H	AF	AE	AD	AC	AB	AA	A9	A8	00H
IEN1*	中断使能 1	E8H	EA	EWDRt	EBO	ES/ESR	ET1	EX1	ET0	EX0	00H <sup>1</sup>
IP0*	中断优先级 0	B8H	EF	EE	ED	EC	EB	EA	E9	E8	00H <sup>1</sup>
IP0H	中断优先级 0 高字节	B7H	-	EST	-	-	ESPI	EC	EKBI	EI2C	00H <sup>1</sup>
IP1*	中断优先级 1	F8H	BF	BE	BD	BC	BBB	BA	B9	B8	00H <sup>1</sup>
IP1H	中断优先级 1 高字节	F7H	-	PWDRT	PBO	PS/PSR	PT1	PX1	PT0	PX0	00H <sup>1</sup>
KBCON	键盘控制寄存器	94H	-	PWDRTH	PBOH	PSH/PSRH	PT1H	PX1H	PT0H	PX0H	00H <sup>1</sup>
KBMAK	键盘中断屏蔽寄存器	86H	FF	FE	FD	FC	FB	FA	F9	F8	00H <sup>1</sup>
KBPATN	键盘模式寄存器	93H	-	PST	-	-	PSPI	PC	PKBI	PI2C	00H <sup>1</sup>
P0*	P0 口	80H	-	PSTH	-	-	PSPIH	PCH	PKBIH	PI2CH	00H <sup>1</sup>
P1*	P1 口	90H	-	-	-	-	-	-	PATN_SEL	KBIF	00H <sup>1</sup>
P2*	P2 口	A0H									00H
P3*	P3 口	B0H									FFH
P0M1	0 口输出模式选择 1	84H	87	86	85	84	83	82	81	80	[1]
P0M2	0 口输出模式选择 2	85H	T1/KB7	CMP1/KB6	CMPREF/KB5	CIN1A/KB4	CIN1B/KB3	CIN2A/KB2	CIN2B/KB1	CMP2/KB0	[1]
P1M1	1 口输出模式选择 1	91H	97	96	95	94	93	92	91	90	[1]
P1M2	1 口输出模式选择 2	92H	-	-	RST	INT1	INT0/SDA	T0/SCL	RxD	TxD	[1]
P2M1	2 口输出模式选择 1	A4H	A7	A6	A5	A4	A3	A2	A1	A0	[1]
P2M2	2 口输出模式选择 2	A5H	-	-	SPICLK	SS	MISO	MOSI	-	-	[1]
P3M1	3 口输出模式选择 1	B1H	B7	B6	B5	B4	B3	B2	B1	B0	[1]
P3M2	3 口输出模式选择 2	B2H	-	-	-	-	-	-	XTAL1	XTAL2	FFH
PCON	电源控制寄存器	87H	P0M1.7	P0M1.6	P0M1.5	P0M1.4	P0M1.3	P0M1.2	P0M1.1	P0M1.0	00H
PCONA	电源控制寄存器 A	B5H	P0M2.7	P0M2.6	P0M2.5	P0M2.4	P0M2.3	P0M2.2	P0M2.1	P0M2.0	D3H <sup>1</sup>
PSW*	程序状态字	D0H	P1M1.7	P1M1.6	-	P1M1.4	P1M1.3	P1M1.2	P1M1.1	P1M1.0	00H <sup>1</sup>
PT0AD	0 口数字输入禁能	F6H	P1M2.7	P1M2.6	-	P1M2.4	P1M2.3	P1M2.2	P1M2.1	P1M2.0	FFH <sup>1</sup>
RSTSRC	复位源寄存器	DFH	P2M1.7	P2M1.6	P2M1.5	P2M1.4	P2M1.3	P2M1.2	P2M1.1	P2M1.0	00H
RTCCON	实时时钟控制	D1H	P2M2.7	P2M2.6	P2M2.5	P2M2.4	P2M2.3	P2M2.2	P2M2.1	P2M2.0	00H
RTCH	实时时钟高字节	D2H	-	-	-	-	-	-	P3M1.1	P3M1.0	03H <sup>1</sup>
RTCL	实时时钟低字节	D3H	-	-	-	-	-	-	P3M2.1	P3M2.0	00H <sup>1</sup>
SADDR	串口地址寄存器	A9H									
			SMOD1	SMOD0	BOPD	BOI	GF1	GF0	PMOD1	PMOD0	00H
			RTCPD	-	VCPD		I2PD	SPPD	SPD	-	00H <sup>1</sup>
			D7	D6	D5	D4	D3	D2	D1	D0	
			CY	AC	F0	RS1	RS0	OV	F1	P	00H
			-	-	PT0AD.5	PT0AD.4	PT0AD.3	PT0AD.2	PT0AD.1	-	00H
			-	-	BOF	POF	R_BK	R_WD	R_SF	R_EX	[3]
			RTCF	RTCS1	RTCS0	-	-	-	ERTC	RTCEN	60H <sup>1,6</sup>
											00H <sup>6</sup>
											00H <sup>6</sup>
											00H

续上表

名称	定义	地址	位功能和位地址								复位值
SADEN	串口地址使能	B9H									00H
SBUF	串口数据缓冲区	99H									xxH
SCON*	串行口控制	98H	9F	9E	9D	9C	9B	9A	99	98	00H
			SM0/FE	SM1	SM2	REN	TB8	RB8	TI	RI	
SSTAT	串行口扩展状态	BAH	DBMOD	INTLO	CIDIS	DBISEL	FE	BR	OE	STINT	00H
SP	堆栈指针	81H									07H
SPCTL	SPI 控制寄存器	E2H	SSIG	SPEN	DORD	MSTR	CPOL	CPHA	SPR1	SPR0	04H
SPSTAT	SPI 状态寄存器	E1H	SPIF	WCOL	-	-	-	-	-	-	00H
SPDAT	SPI 数据寄存器										00H
TAMOD	定时器 0/1 附加模式	8FH	-	-	-	T1M2	-	-	-	T0M2	00H
			8F	8E	8D	8C	8B	8A	89	88	
TCON*	定时器 0/1 控制	88H	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0	00H
TH0	定时器 0 高字节	8CH									00H
TH1	定时器 1 高字节	8DH									00H
TL0	定时器 0 低字节	8AH									00H
TL1	定时器 1 低字节	8BH									00H
TMOD	定时器 0/1 模式	89H	T1GATE	T1C/T	T1M1	T1M0	T0GATE	T0C/T	T0M1	T0M0	00H
TRIM	内部振荡调整寄存器	96H	- ENCLK		TRIM.5	TRIM.4	TRIM.3	TRIM.2	TRIM.1	TRIM.0	[5][6]
WDCON	看门狗控制寄存器	A7H	PRE2	PRE1	PRE0	-	-	WDRUN	WDTOF	WDCLK	[4][6] FFH
WDL	看门狗装载	C1H									
WFEED1	看门狗清零 1	C2H									
WFEED2	看门狗清零 2	C3H									

[1] 上电复位后所有的 I/O 口都为仅为输入（高阻）状态。

[2] 只有当 BRGCON 中的 BRGEN 为 0 时，才可对 BRGR1 和 BRGR0 进行写操作。当 BRGEN=1 时，写入其中任意一个，结果将是不可预知的。

SFR 中的无效位（标有“-”的位）总是为“X”（未知）。除非特别指明，否则不要向这些位写入 1，因为它们可能在将来扩展用于其它功能。这些位的复位值均为 0，读出来的值不可知。

[3] RSTSRC 寄存器反映 LPC930/931 复位的原因。在上电复位时，所有复位源标志都清零（POF 和 BOF 除外）。上电复位值为 xx110000。

[4] 看门狗复位时 WDCON 复位值为 111001x1，即 PRE2-PRE0 全 1，WDRUN=1，WDCLK=1。看门狗复位时，WDTOF=1；上电复位时，WDTOF=0。其它复位不会影响 WDTOF。

[5] 上电复位时，TRIM 寄存器初始化为出厂时的配置。其它复位不会引起 TRIM 寄存器的初始化。

[6] 上电复位是唯一影响这些特殊功能寄存器的复位。

## 8. 功能描述

**备注：**详细的功能描述请参阅 P89LPC930/931 使用指南。

### 8.1 增强型 CPU

P89LPC930/931 采用增强型 80C51 CPU，其运行速度是标准 80C51 的 6 倍。一个机器周期由 2 个 CPU 时钟周期组成，大多数指令执行时间为 1 到 2 个机器周期。

### 8.2 时钟

#### 8.2.1 时钟定义

P89LPC930/931 的几个内部时钟定义如下：

- OSCCLK—输入到 DIVM 分频器的时钟。OSCCLK 可选择 4 个时钟源之一（见图 4），也可降低到较低的频率（见 8.7 节“CPU 时钟（CCLK）调整：DIVM 寄存器”）。

注： $f_{osc}$  定义成 OSCCLK 的频率。

- CCLK—CPU 时钟；时钟分频器的输出。每个机器周期包含 2 个 CCLK 周期，大多数指令执行时间为 1 到 2 个机器周期（2 到 4 个 CCLK 周期）。
- RCCLK—内部 7.373MHz RC 振荡器输出。



- PCLK—用于不同外围器件的时钟，为 CCLK/2。

### 8.2.2 CPU 时钟(OSCCLK)

P89LPC930/931 提供几个可由用户选择的振荡器选项来产生 CPU 时钟。这样就满足了从高精度到低成本的不同需求。这些选项在对 Flash 进行编程时配置，包括片内看门狗振荡器、片内 RC 振荡器、使用外部晶振的振荡器或外部时钟源。晶振可选择低、中或高频晶振，频率范围为 20KHz 到 12MHz。

### 8.2.3 低频振荡器选项

此选项支持 20KHz~100KHz 的外部晶振，同时也支持陶瓷谐振器。

### 8.2.4 中频振荡器选项

此选项支持 100KHz~4MHz 的外部晶振，同时也支持陶瓷谐振器。

### 8.2.5 高频振荡器选项

此选项支持 4MHz~12MHz 外部晶振，同时也支持陶瓷谐振器。

### 8.2.6 时钟输出

P89LPC930/931 支持可由用户选择的时钟输出功能。当不使用晶振时，可从 XTAL2/CLKOUT 输出时钟。要实现该功能的前提是已选择另外的时钟源（片内 RC 振荡器、看门狗振荡器或 X1 脚输入的外部时钟）并且没有使用晶振作为实时时钟的时钟源。这样可使外部器件与 P89LPC930/931 同步。时钟输出的使能通过置位 TRIM 寄存器中的 ENCLK 位实现。该时钟输出的频率为 CCLK/2。如果在空闲模式中不需要输出时钟，那么可在进入空闲模式之前将该功能关闭以降低功耗。

### 8.3 片内 RC 振荡器选项

P89LPC930/931 具有一个 6 位 TRIM 寄存器，可对 RC 振荡器的频率进行调整。在复位时，TRIM 的值初始化为出厂时预编程值以将振荡器频率调整为  $7.373\text{MHz} \pm 2.5\%$ 。用户程序可修改 TRIM 寄存器将 RC 振荡器调整为其它频率。

### 8.4 看门狗振荡器选项

看门狗具有一个独立的振荡器，其频率为 400KHz。在不需要使用高频振荡器时，可使用该振荡器降低功耗。

### 8.5 外部时钟输入选项

在此配置中，提供 CPU 时钟的外部时钟源从 XTAL1/P3.1 脚输入。频率可从 0Hz 到 12MHz。XTAL2/P3.0 脚可作为标准 I/O 口或者时钟输出。

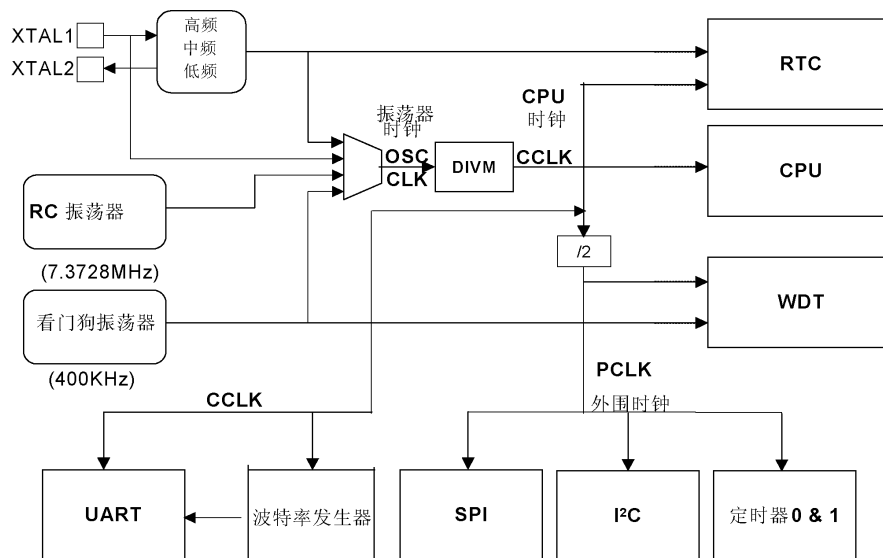


图4 振荡器控制框图

#### 8.6 振荡器时钟（OSCCLK）唤醒延迟

P89LPC930/931 具有一个内部唤醒定时器，可使时钟延迟直到稳定下来，其延迟时间取决于使用的时钟源。如果时钟源为 3 个晶振选项中的任意一个（低、中或高频），延迟时间为 992 个 OSCCLK 周期加 60-100us。如果时钟源为内部 RC 振荡器、看门狗振荡器或外部时钟，则延迟时间为 224 个 OSCCLK 周期加 60-100us。

#### 8.7 CPU 时钟（CCLK）调整：DIVM 寄存器

OSCCLK 频率可通过配置分频寄存器 DIVM 进行 256 分频来提供 CCLK。此特性可用于暂时使 CPU 以较低频率工作以降低功耗。通过分频，程序以较低速度运行时，使 CPU 仍保持对事件响应的能力，而不只是对能产生中断的事件（能使 CPU 从空闲模式退出）才响应。这常常会得到比空闲模式更低的功耗。并且比掉电模式少了振荡器起振时间。在程序内 DIVM 的值可随时改变而无需中断程序运行。

#### 8.8 低功耗选择

P89LPC930/931 设计最大工作频率为 12MHz( CCLK)。但是如果 CCLK 为 8MHz 或更低，CLKLP 位（AUXR1.7）可置位以降低功耗。此外，在任何一次复位后，CLKLP 都为 0 以允许实现最高性能。如果 CCLK 运行在 8MHz 或更低的频率时，该位可以在软件当中置位。

#### 8.9 存储器结构

P89LPC930/931 的不同存储空间如下所示：

- DATA 128 字节内部数据存储空间（00h..7Fh）。可使用除 MOVX 和 MOVC 之外的指令直接或间接寻址。此空间可作为全部或部分堆栈空间。
- IDATA 间接数据。256 字节内部数据存储空间（00h..FFh）。可使用除 MOVX 和 MOVC 之外的指令进行间接寻址。全部或部分堆栈位于此空间。该区域包括了 DATA 区域和其之上的 128 字节间接 RAM。
- SFR 特殊功能寄存器。选择的 CPU 寄存器和外设控制及状态控制寄存器，只能通过直接寻址访问。
- CODE 64K 字节代码存储空间。作为程序执行部分和通过 MOVC 指令访问。P89LPC930/931 有

4K/8K 字节的片内代码存储器。

### 8.10 中断

P89LPC930/931 采用 4 中断优先级结构。这为 P89LPC930/931 的多中断源的处理提供了极大的灵活性。P89LPC930/931 支持 13 个中断源：外部中断 0 和 1、定时器 0 和 1、串口 Tx、串口 Rx、组合的串口 Tx/Rx、掉电检测、看门狗/实时时钟、I<sup>2</sup>C、键盘中断和比较器 1 和 2 以及 SPI。

任何一个中断源均可通过对 IEN0 和 IEN1 中相应的位置位或清零，实现单独使能或禁能。IEN0 中还包含了一个全局禁止位 EA，它可禁止所有的中断。

每个中断源都可被单独设置为四个中断优先级之一，分别通过清零或置位 IP0, IP0H, IP1, IP1H 中相应位来实现。一个中断服务程序可响应更高级的中断，但不能响应同优先级或低级中断。最高级中断服务程序不响应其它任何中断。如果两个不同中断优先级的中断源同时申请中断时，响应较高优先级的中断申请。

如果两个同优先级的中断源同时申请中断。通过一个内部查询顺序序列确定首先响应哪一个中断请求，这叫做仲裁队列。注：仲裁队列只用来处理相同优先级别中断源同时申请中断的情况。

#### 8.10.1 外部中断输入

P89LPC930/931 有 2 个独立的外部中断输入和 1 个键盘中断。这两个外部中断输入和标准 80C51 微控制器相同。

通过清零或置位 TCON 寄存器中的 IT1 或 IT0，可将外部中断设为电平触发或边沿触发。

在边沿触发模式下，对  $\overline{INTn}$  脚连续采样，如果在一个周期为高电平而下一个周期为低电平，置位 TCON 的中断请求标志 IEN，产生中断请求。

如果 P89LPC930/931 处于掉电或空闲状态时外部中断使能，中断将唤醒处理器使其恢复运行。详见 8.13 节“节电模式”。

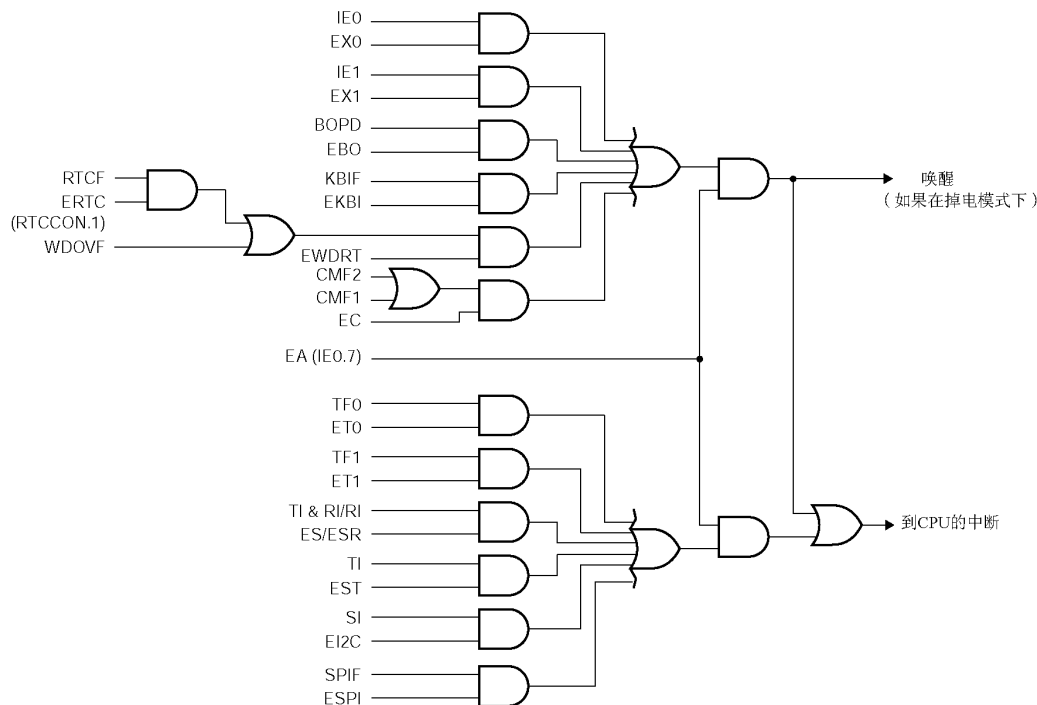


图 5 中断源, 中断使能, 掉电唤醒中断源

### 8.11 I/O 口

P89LPC930/931 有 4 个 I/O 口，P0、P1、P2 和 P3。P0、P1 和 P2 为 8 位 I/O 口而 P3 为 2 位 I/O 口。

I/O 口的具体数目取决于所选择的振荡和复位方式，见表 5。

表 5 可用的 I/O 口数目

时钟源	复位选项	I/O 口数目
		28 脚封装
片内振荡器或看门狗振荡器	无外部复位（上电时除外）	26
	使用外部复位脚 $\overline{\text{RST}}$	25
外部时钟输入	无外部复位（上电时除外）	25
	使用外部复位脚 $\overline{\text{RST}}$	24
低/中/高速振荡器（外部晶振或谐振器）	无外部复位（上电时除外）	24
	使用外部复位脚 $\overline{\text{RST}}$	23

#### 8.11.1 I/O 口配置

除了 3 个口以外，P89LPC930/931 其他所有的 I/O 口均可由软件配置成 4 种输出类型之一。四种输出类型分别为：准双向口(标准 8051 输出模式)，推挽，开漏输出或仅为输入功能。每个口配置 2 个控制寄存器控制每个管脚输出类型。

P1.5( $\overline{\text{RST}}$ )只能作为输入口，无法进行配置。

P1.2(SCL/T0)和 P1.3(SDA/INT0)只能配置为输入口或开漏口。

#### 8.11.2 准双向口输出配置

准双向口输出类型可用作输出和输入功能而不需重新配置口线输出状态。这是因为当口线输出为 1 时驱动能力很弱，允许外部装置将其拉低。当管脚输出为低时，它的驱动能力很强，可吸收相当大的电流。准双向口除了有三个上拉晶体管适应不同的需要外，其特性和开漏输出有些相似。

P89LPC930/931 为 3V 器件，但管脚可承受 5V 电压。在准双向口模式中，如果用户在管脚加上 5V 电压，将会有电流从管脚流向  $V_{DD}$ ，这将导致额外的功率消耗。因此，建议不要在准双向口模式中向管脚施加 5V 电压。

准双向口带有一个施密特触发输入以及一个干扰抑制电路。

#### 8.11.3 开漏输出配置

当口线锁存器为 ‘0’ 时，开漏输出关闭所有的上拉晶体管而仅驱动端口的下拉晶体管。作为一个逻辑输出时，这种配置方式必须有外部上拉，一般通过电阻外接到  $V_{DD}$ 。

开漏端口带有一个施密特触发输入以及一个干扰抑制电路。

#### 8.11.4 仅为输入配置

该配置无输出驱动器。它带有一个施密特触发输入以及一个干扰抑制电路。

#### 8.11.5 推挽输出配置

推挽输出配置的下拉结构和开漏输出以及准双向口的下拉结构相同，但当锁存器为 ‘1’ 时提供持续的强上拉。推挽模式一般用于需要更大驱动电流的情况。推挽管脚带有一个施密特触发输入以及一个干扰抑制电路。

#### 8.11.6 P0 口模拟功能

P89LPC930/931 集成了两个模拟比较器。为了得到最佳的模拟性能并降低功耗，用于模拟功能的管脚必须禁止数字输入和输出功能。

将端口设置成仅为输入（高阻抗）时禁止数字信号输出，见 8.11.4 节。

P0 口的数字输入可通过 PT0AD 寄存器禁止。该寄存器的位 1...5 分别对应 P0 口管脚 P0.1..P0.5。复位

后，PT0AD1:5 默认为 0 以使能数字功能。

#### 8.11.7 附加端口特性

上电后所有的管脚都仅为输入模式。请注意此配置不同于 LPC76x。

- 上电之后，除 P1.5 之外，所有口都可由软件进行配置。
- P1.5 只可用于输入功能。P1.2 和 P1.3 可配置为仅为输入或开漏。

每个 P89LPC930/931 输出口都可提供灌电流驱动 LED。但是所有口的输出电流总和不能超过规定的最大电流。请查阅表 7 “DC 电气特性”得到详细的规格。

P89LPC930/931 所有端口的电平转换速度都可以控制，这就可避免因电平转换过快而导致的噪声。转换速度在出厂时设定为大约 10ns 的上升时间和下降时间。

#### 8.12 电源监控功能

P89LPC930/931 内含电源监控功能用于防止初始上电及掉电时的错误操作。这是通过两个硬件功能完成的：上电检测及掉电检测。

##### 8.12.1 掉电检测

掉电检测功能可用于检测电源电压是否降至某一特定值以下。掉电检测的默认操作是使处理器复位。也可通过配置用来产生中断。

掉电检测的使能和禁止是通过软件来实现的。

如果掉电检测使能，操作电压的范围为 2.7V~3.6V。当  $V_{DD}$  低于掉电电压  $V_{BO}$ （见表 7 “DC 电气特性”）时产生掉电条件，并在  $V_{DD}$  上升超过  $V_{BO}$  时取消。如果掉电检测被禁止，操作电压范围为 2.4~3.6V。如果 P89LPC930/931 器件的电源电压可以低于 2.7，BOE 应当保持未编程状态，这样器件可在 2.4V 时工作。否则持续的掉电复位将使器件无法工作。

若要正确检测到掉电， $V_{DD}$  上升和下降时间必须符合一定规格。请参阅表 7 “DC 电气特性”。

##### 8.12.2 上电检测

上电检测功能类似于掉电检测，但设计成在电源初始上电后，上升到掉电检测门槛电平之前工作。当检测到初始上电时，RSTSRC 寄存器的 POF 标志置位。POF 将会一直保持置位状态，直到通过软件将其清零。

#### 8.13 节电模式

P89LPC930/931 支持 3 种不同的节电模式。分别是空闲模式、掉电模式和完全掉电模式。

##### 8.13.1 空闲模式

空闲模式下片内外围功能继续工作，允许其在产生中断时激活处理器。任何一个使能的中断或复位均可结束空闲模式。

##### 8.13.2 掉电模式

掉电模式将振荡器停振以使功耗最小。任何的复位或中断动作都可使 P89LPC930/931 退出掉电模式。在掉电模式中，电源电压可以降低到 RAM 保持电压  $V_{RAM}$ 。这样将 RAM 内容保存为进入掉电模式时的状态。SFR 内容在  $V_{DD}$  低于  $V_{RAM}$  时不受保护。因此这种情况下建议通过复位唤醒处理器。在退出掉电模式

前  $V_{DD}$  必须上升到操作电压范围之内。

在掉电模式中某些功能继续工作并消耗电流。这样就增加了掉电时的整体功耗。这些功能包括：掉电检测、看门狗定时器、比较器（注：比较器可单独实现掉电）、实时时钟（RTC）/系统定时器。内部 RC 振荡器被禁止，除非选择 RC 振荡器作为系统时钟并使能 RTC。

### 8.13.3 完全掉电模式

完全掉电模式和掉电模式的区别在于：完全掉电模式下掉电检测电路和电压比较器都被关闭以节省功耗。内部 RC 振荡器被禁止，除非选择 RC 振荡器作为系统时钟并使能 RTC。在掉电模式下使用内部 RC 振荡器作为 RTC 时钟源会增加相当大的功耗。当实时时钟在掉电模式下运行时，使用外部低频时钟可实现较低的功耗。

## 8.14 复位

P1.5/ $\overline{RST}$  管脚可作为低有效复位输入或数字输入口。当 UCFG1 寄存器中的位 RPE(复位管脚使能)置位时，使能外部复位输入功能。当清零时，复位脚可作为一个输入管脚。

注：在上电过程中，RPE 选择无效，该管脚总是作为外部复位输入。在上电过程中，连接到该管脚的外部电路不应将其拉低，否则将使器件一直处于复位状态。在上电完成之后，该管脚可根据 RPE 位的状态作为外部复位输入或数字输入口。只有上电复位会暂时使 RPE 的设定失效，其它复位源无法影响 RPE 位的设定。

注：为了确保上电复位的产生，电源周期内，电源再使用前必须有一个下降到低于  $V_{POR}$  的过程（见表 7 “DC 电气特性”）。

复位可由下列复位源引起：

- 外部复位管脚（上电或通过 UCFG1 配置为使用外部复位）
- 上电检测
- 掉电检测
- 看门狗定时器
- 软件复位
- UART 间隔字符检测复位

每一个复位源在复位寄存器 RSTSRC 中都有一个对应的标志。用户可读取该寄存器以判断最近的复位源是哪一个。这些标志位可通过软件写入“0”清零。可以有多于一个的标志位置位：

- 上电复位时，POF 和 BOF 都置位，而其它标志位清零
- 对于其它的复位，之前置位的标志位不会受到影响

### 8.14.1 复位向量

在复位之后，P89LPC930/931 将从地址 0000h 或引导（Boot）地址处取指令。将引导向量作为地址高字节，00h 作为地址低字节即构成了引导地址。

在发生 UART 间隔复位或非易失性引导状态位（BOOTSTAT.0）=1，或上电时器件被强制进入 ISP 模式时（见 P89LPC930/931 用户手册），将会使用引导地址。否则，指令将从地址 0000h 处开始执行。

## 8.15 定时器 / 计数器 0 和 1

P89LPC930/931 有两个通用定时/计数器，与标准 80C51 定时器 0 及定时器 1 兼容。两者均可配置为

定时器或事件计数器。另外增加了定时器 0/1 溢出时 T0/T1 脚自动翻转的功能选项。

用作“定时器”功能时，每经过一个机器周期，寄存器值加 1。

用作“计数器”功能时，寄存器在对应的外部输入管脚 T0/T1 上每发生一次 1 到 0 的跳变时加 1。使用该功能时，外部输入每个机器周期被采样一次。

定时器 0 及定时器 1 有 5 种工作模式（模式 0, 1, 2, 3 和 6）。模式 0、1、2 和 6 对于两个定时/计数器是一样的。模式 3 则不同。

#### 8.15.1 模式 0

将定时器设置成模式 0 时类似 8048 定时器，即带 32 分频-预分频器的 8 位计数器。在此模式中，定时器寄存器配置为 13 位寄存器。定时器 0 及定时器 1 在模式 0 中的操作相同。

#### 8.15.2 模式 1

模式 1 除了使用的是 16 位的寄存器外，其它与模式 0 相同。

#### 8.15.3 模式 2

在此模式中，定时器寄存器作为可自动重装的 8 位计数器。定时器 0 及定时器 1 在模式 2 中的操作相同。

#### 8.15.4 模式 3

在模式 3 中定时器 1 停止工作。在此模式中，定时器 0 分成两个独立的 8 位计数器，用于需要一个额外的 8 位定时器的场合。当定时器 1 处于模式 3 时，它可用作串行口的波特率发生器。

#### 8.15.5 模式 6

在该模式中，定时器可以改变为一个具有 256 个定时器时钟周期的 PWM。

#### 8.15.6 定时器溢出触发输出

定时器 0 和 1 可配置为发生定时器溢出时自动触发端口输出。T0/T1 的计数输入和定时器触发输出占用相同的管脚。打开该模式后，在首次定时器溢出之前端口的输出为逻辑 1。

### 8.16 实时时钟/系统定时器

P89LPC930/931 具有一个简单的实时时钟。它允许用户在器件其它部分掉电时能够继续运行一个精确的定时器。实时时钟可以作为一个中断或一个唤醒源。实时时钟可用作 1 个由 7 位预分频器组成的 23 位倒计数器或 1 个可装载的 16 位倒计数器。当定时时钟变为 0 后，计数器被重装载，并设置 RTCF 标志。该定时器的时钟源可以是 CPU 时钟（CCLK）或者 XTAL 振荡器（前提是 XTAL 振荡器不作为 CPU 的时钟源）。如果 XTAL 振荡器作为 CPU 时钟源，RTC 将使用 CCLK 作为它的时钟源。只有上电复位才能将实时时钟及其相关的寄存器复位为默认状态。

### 8.17 UART

P89LPC930/931 具有一个增强型的 UART。它和传统的 80C51 UART 兼容，但有一点除外，即定时器

2 的溢出不能用于产生波特率。P89LPC930/931 还带有一个独立的波特率发生器。波特率可以选择由振荡器（由一个常数分频），定时器 1 溢出或者独立的波特率发生器产生。除了产生波特率以外，在标准 80C51 UART 基础上还增加了帧错误检测、自动地址识别、可选的双缓冲以及几个中断选项。UART 具有 4 种操作模式：移位寄存器、8 位 UART、9 位 UART 和 CPU 时钟/32 或 CPU 时钟/16。

#### 8.17.1 模式 0

串行数据通过 RxD 进出。TxD 输出移位时钟。每次发送或接收都为 8 位，LSB（最低位）在前。波特率固定为 CPU 时钟频率的 1/16。

#### 8.17.2 模式 1

TxD 脚发送，RxD 脚接收，每次数据为 10 位：1 个起始位（逻辑 0），8 个数据位（LSB 在前）以及 1 个停止位（逻辑 1）。当接收数据时，停止位保存在 SCON 中的 RB8。该模式的波特率可变，由定时器 1 溢出速率或波特率发生器决定（详见 8.17.5 “波特率发生器及其选择”一节）。

#### 8.17.3 模式 2

TxD 脚发送，RxD 脚接收，每次数据为 11 位：1 个起始位（逻辑 0），8 个数据位（LSB 在前），一个可编程第 9 位数据及 1 个停止位（逻辑 1）。发送数据时，第 9 个数据位（SCON 中的 TB8 位）可置为 0 或 1。例如可将奇偶位（PSW 内 P 位）放入 TB8。接收时，第 9 位数据存入 SCON 的 RB8 位，而停止位不会被保存。波特率可编程为 CPU 时钟频率的 1/16 或 1/32，由 PCON 内 SMOD1 位决定。

#### 8.17.4 模式 3

TxD 脚发送，RxD 脚接收，每次数据为 11 位：1 个起始位（逻辑 0），8 个数据位（LSB 在前），1 个可编程的第 9 位数据及 1 个停止位（逻辑 1）。实际上，模式 3 除了波特率外其它均与模式 2 相同。模式 3 的波特率可变并由定时器 1 溢出率或波特率发生器决定（详见 8.17.5 “波特率发生器及其选择”一节）。

#### 8.17.5 波特率发生器及选择

P89LPC930/931 的增强型 UART 具有一个独立的波特率发生器。波特率取决于对 BRGR1 和 BRGR0 预先编程的值。它们组合起来作为一个 16 位的波特率分频值。这和定时器 1 的工作方式相似。如果使用了波特率发生器，定时器 1 可用作其它的定时功能。

UART 也可使用定时器 1 或者波特率发生器的输出（见图 6）。需要注意的是，如果 SMOD1(PCON.7) 清零，定时器 T1 被 2 分频。独立的波特率发生器使用 OSCCLK 作为时钟源。

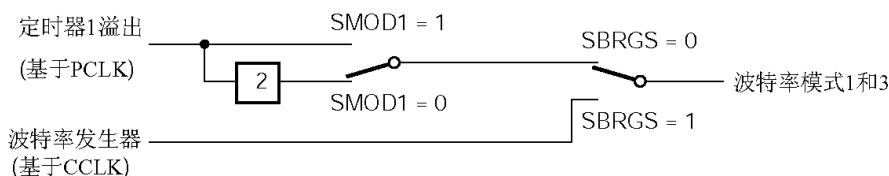


图 6 UART 波特率的产生（模式 1, 3）



#### 8.17.6 帧错误

帧错误在状态寄存器（SSTAT）中报告。此外，如果 SMOD0(PCON.6)为 1，SCON.7 单独作为帧错误位。如果 SMOD0 为 0，SCON.7 作为 SM0。建议在 SMOD0 为 0 时对 SM0 和 SM1(SCON.7-6)进行设置。

#### 8.17.7 间隔检测

间隔检测在状态寄存器 SSTAT 中报告。当连续检测到 11 个位都为低电平位时，则认为检测到一个间隔。间隔检测可用于对器件复位并强制器件进入 ISP 模式。

#### 8.17.8 双缓冲

UART 具有一个发送双缓冲器，这就允许第一个字符正在发送的时候向 SBUF 写入第二个字符。只要下个字符在前一个字符的起始位和停止位之间写入 SBUF，那么发送的字符串中两个字符之间就只有一个停止位。

双缓冲可以被禁止。当禁止时（DBMOD=0，也就是 SSTAT.7=0），UART 和传统的 80C51 UART 兼容。如果使能该功能，UART 允许在前一个数据移位发送的过程中向 SBUF 写入新数据。只有在模式 1，2 和 3 中才可以使能双缓冲。当处于模式 0 时，必须禁止双缓冲（DBMOD=0）。

#### 8.17.9 双缓冲使能时发送中断（模式 1，2 和 3）

与传统的 UART 不同的是，在双缓冲模式中，Tx 中断发生在双缓冲器准备好接收新数据的时候。

#### 8.17.10 双缓冲中的第 9 位（位 8）数据（模式 1，2 和 3）

如果双缓冲被禁止，对 TB8 的写操作可以在写入 SBUF 之前或之后进行，只要在第 9 位数据被移出之前将其更新即可。在该位移出（通过 Tx 中断指示）之前不要改变 TB8。

如果双缓冲使能，TB8 必须在写 SBUF 之前更新，因为 TB8 将和 SBUF 的数据一起双缓冲。

### 8.18 I<sup>2</sup>C 总线接口

I<sup>2</sup>C 总线用两条线（SDA 和 SCL）在总线和器件之间传递信息。总线的主要特性如下：

- 主机和从机之间为双向数据传送
- 多主机总线（无中央主机）
- 多主机同时传送时进行仲裁避免总线上数据冲突
- 串行时钟同步使得不同位速率的器件可以通过一条串行总线进行通信
- 串行时钟同步可作为握手机制，用于挂起和恢复串行传输
- I<sup>2</sup>C 总线可用于测试和诊断

典型的 I<sup>2</sup>C 总线配置如图 7 所示。P89LPC930/931 器件提供字节方式的 I<sup>2</sup>C 接口。所支持的最大数据传输速率为 400kHz。

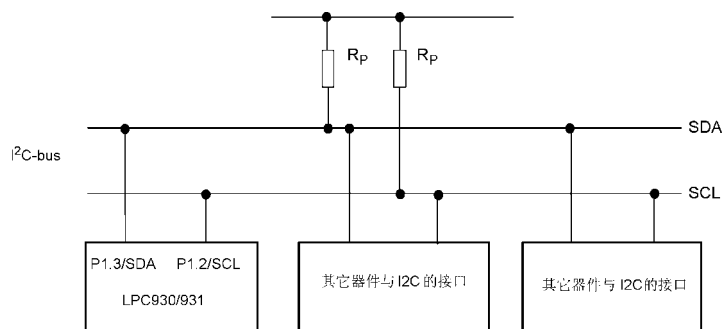


图 7 I<sup>2</sup>C 总线配置

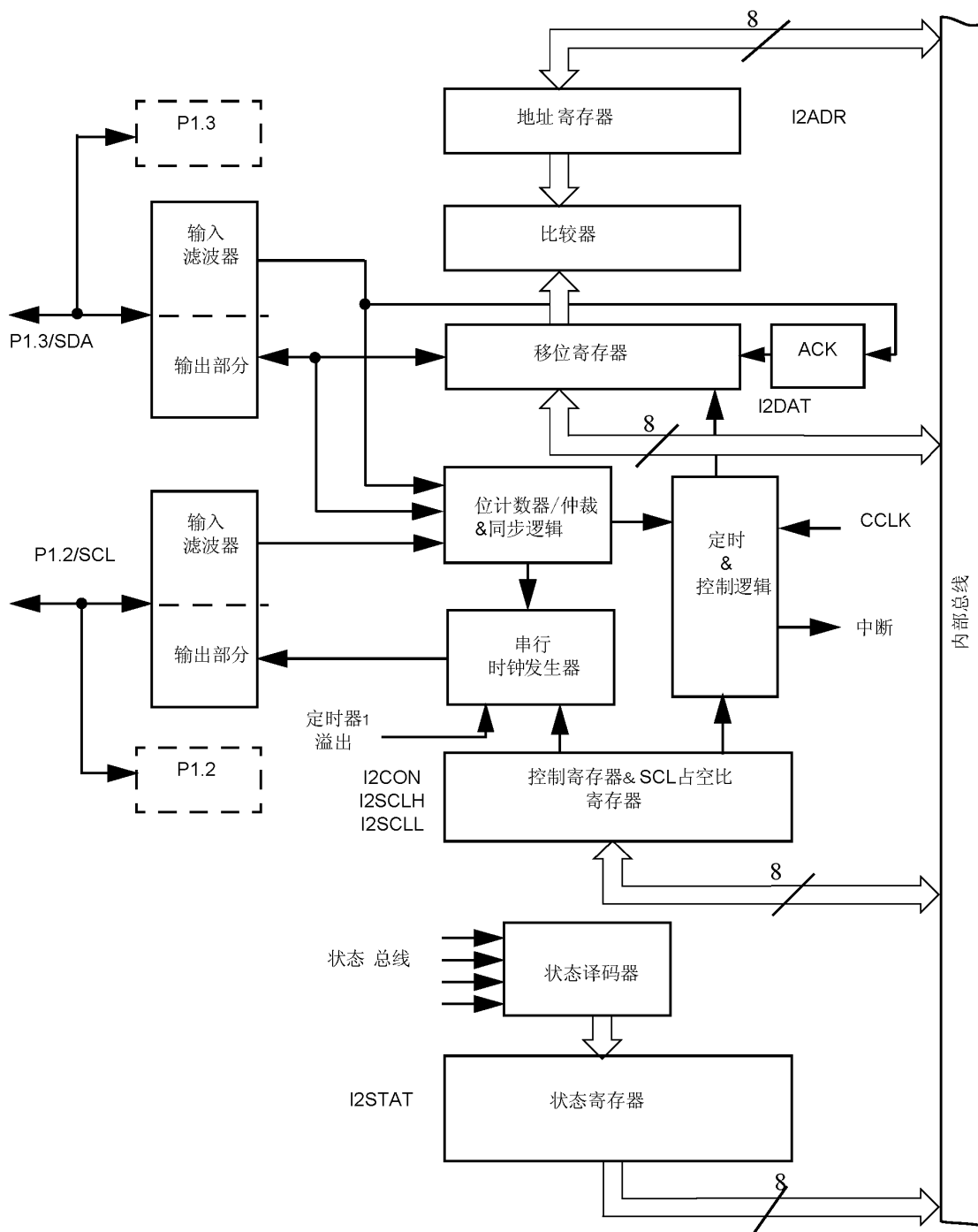


图 8 I<sup>2</sup>C 总线串行接口框图

### 8.19 串行外围接口 (SPI)

P89LPC930/931 还提供另一种高速串行通信接口——SPI 接口。SPI 是一种全双工、高速、同步的通信总线，有两种操作模式：主模式和从模式。在主模式和从模式中均支持高达 3Mbit/s 的速率。还具有传输完成标志和写冲突标志保护。

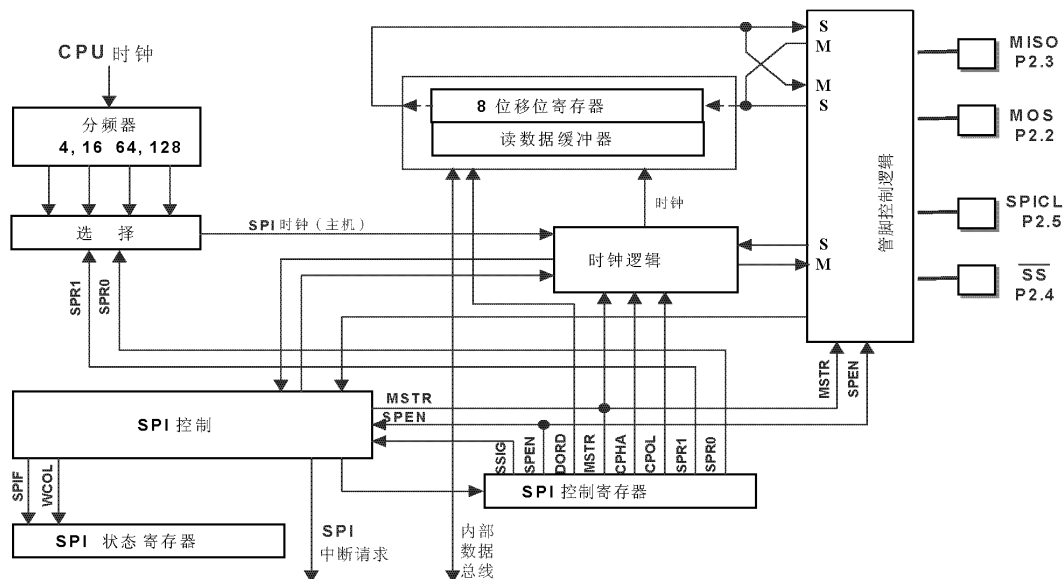


图9 SPI方框图

SPI 接口有 4 个管脚：SPICLK, MOSI, MISO 和  $\overline{SS}$ ：

- SPICLK, MOSI 和 MISO 通常和两个或更多 SPI 器件连接在一起。数据通过 MOSI 从主机传送到从机（主机输出，从机输入），通过 MISO 从从机传送到主机（主机输入，从机输出）。SPICLK 信号在主模式时为输出，在从模式时为输入。如果 SPI 系统被禁止，即 SPEN(SPCTL.6)=0(复位值)，这些管脚都可作为 I/O 口使用。
- $\overline{SS}$  为从机选择管脚。在典型的配置中，SPI 主机使用 I/O 口选择一个 SPI 器件作为当前的从机。SPI 从器件通过其  $\overline{SS}$  脚确定是否被选择。

典型连接如图 10, 11, 12 所示。

#### 8.19.1 典型的 SPI 配置

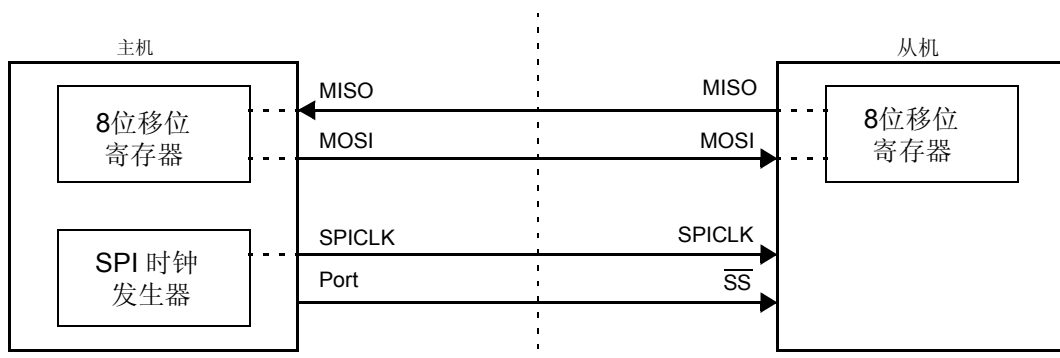


图10 SPI 单主机单从机配置

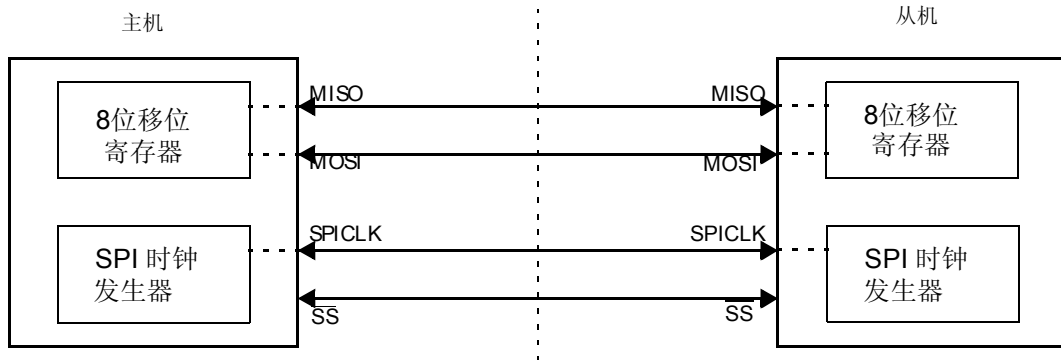


图 11 SPI 双器件配置（两器件可互为主从）

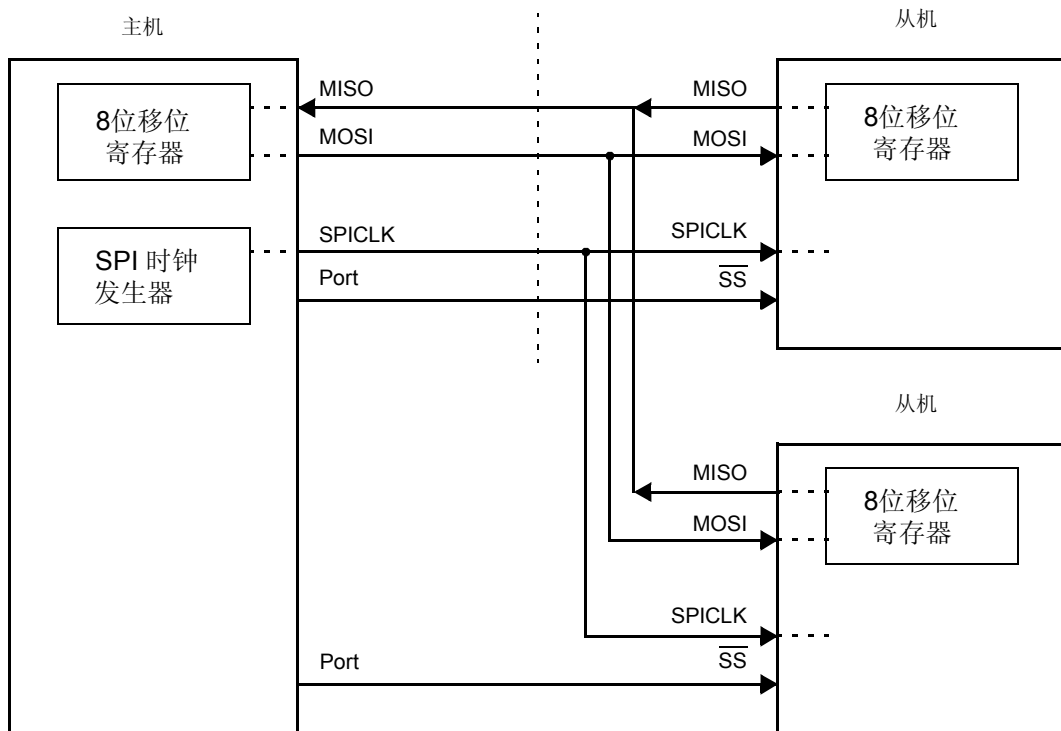


图 12 SPI 单主机多从机配置

## 8.20 模拟比较器

P89LPC930/931 有 2 个模拟比较器，输入和输出选项允许将比较器配置成为不同模式。当正向输入（二个可选择脚之一）电压大于反向输入时（可选择外部管脚输入或内部参考电压），输出信号为“1”（可从寄存器读出和/或输出到管脚），反之则输出为“0”。每个比较器都可配置为当输出发生改变时产生中断。

两个比较器总的连接方式如图 13 所示。比较器的最低工作电压为  $V_{DD}=2.4V$ 。

当每个比较器刚被使能时，比较器输出和中断标志需要 10 微秒的稳定时间，在这段时间里，相应的比较器中断不应使能，并且在使能中断以前必须清零相应的比较器中断标志，以避免立即响应中断服务。

当比较器被禁止时，比较器的输出  $COx$  变为高电平。如果比较器先输出低电平再被禁止，比较器的输出由低变高，从而置位比较器标志  $CMFx$ 。这样将产生中断（如果比较器中断被使能）。因此，用户在禁止比较器前应先关闭比较器中断。而且，在禁止比较器后还要清除比较器标志  $CMFx$ 。

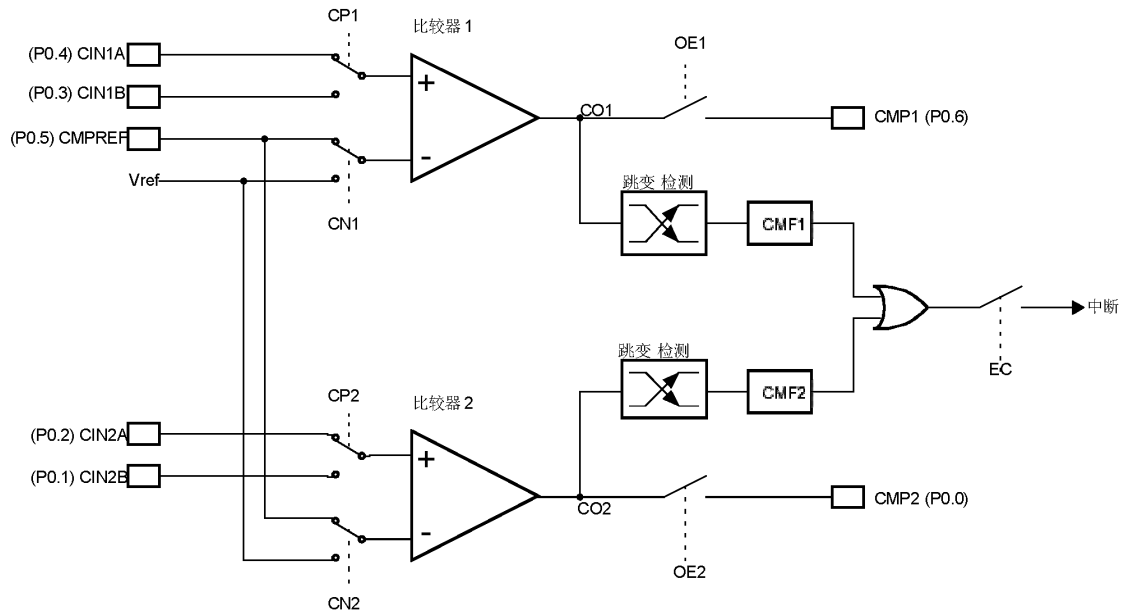


图 13 比较器输入和输出的连接

#### 8.20.1 内部参考电压

当使用单个比较器输入管脚时，内部参考电压发生器可提供一个默认的参考电压。参考电压的值为  $V_{ref} = 1.23V \pm 10\%$ 。

#### 8.20.2 比较器中断

每个比较器配置寄存器中都有一个比较器中断标志位。当比较器输出状态改变时中断标志位置位，此标志位可通过软件查询或用于产生一个中断。两个比较器使用同一个中断向量。如果两个比较器都使能中断，在进入中断服务程序之后，用户需要读取中断标志以确定是哪一个比较器产生的中断。

#### 8.20.3 比较器和节电模式

在掉电模式或空闲模式下，两个比较器或其中一个可以继续保持使能状态。但在完全掉电模式中，两个比较器都被自动禁止。

当比较器中断使能时（完全掉电模式除外），比较器输出发生改变时将会产生一个中断并将处理器唤醒。当比较器输出到管脚使能时，此管脚应该配置为推挽输出模式以便在掉电工作模式下获得较快的开关速度。这样做是因为当振荡器停止后，打开准双向口不会产生正常情况下的短时强上拉。

比较器在掉电或空闲状态下的功耗和正常操作模式下相同。当系统功耗是一个重要的指标时，就必须将比较器的功耗考虑在内。若要降低功耗，用户可通过 PCONA.5 禁止比较器，或将器件设置为完全掉电模式。

#### 8.21 键盘中断（KBI）

键盘中断功能主要用于当 P0 口等于或不等于特定的模式时产生一个中断。该功能可用于总线地址识别或对键盘的识别。用户可通过 SFR 将端口配置为不同的用途。

键盘中断屏蔽寄存器（KBMASK）用于定义连接到 P0 口的使能触发中断的输入管脚。键盘模式寄存器（KBPATN）用于定义与 P0 口值相比较的模式。当键盘中断功能有效且条件匹配时，键盘中断控制寄存器（KBCON）中的键盘中断标志（KBIF）置位。如果中断使能，则会产生一个中断。键盘中断控制寄存器（KBCON）中的 PATN\_SEL 位用于比较时定义等于或不等于。

为了将其设置为类似 87LPC76x 的 KBI 功能，用户必须设置 KBPATH=0FFH 和 PATN\_SEL=1（不相等），这样由 KBMASK 寄存器使能的任何连接到 P0 口管脚按键都将使硬件置位 KBIF 并产生中断（如果中断使能）。中断可用于将 CPU 从空闲模式或掉电模式中唤醒。此特性尤其适合便携式且使用电池供电的系统，因为这些系统需要对功耗进行管理同时又要方便用户使用。

为了置位中断标志并导致中断产生，P0 口的模式的保持时间必须长于 6 个 CCLK。

## 8.22 看门狗定时器

看门狗定时器子系统可通过复位使系统从错误的操作中恢复。当软件没能在定时器溢出之前将其清零，看门狗定时器就会产生复位。它包含一个可编程的 12 位预分频器和一个 8 位倒计数器。该倒计数器以预分频器的节拍作为时钟源。预分频器的时钟源可选择 PCLK 或标称为 400KHz 的看门狗振荡器。看门狗定时器只能通过上电实现复位。当看门狗被禁止时，它可作为一个间隔定时器并可产生中断。图 14 所示为看门狗模式中的看门狗定时器。要将看门狗清零，必须按顺序执行两条指令。如果将 PCLK 作为看门狗的时钟源并且 CPU 处于掉电模式中，则看门狗被禁止。看门狗的超时周期范围从几微秒到几秒。具体数据请参阅 P89LPC930/931 使用指南。

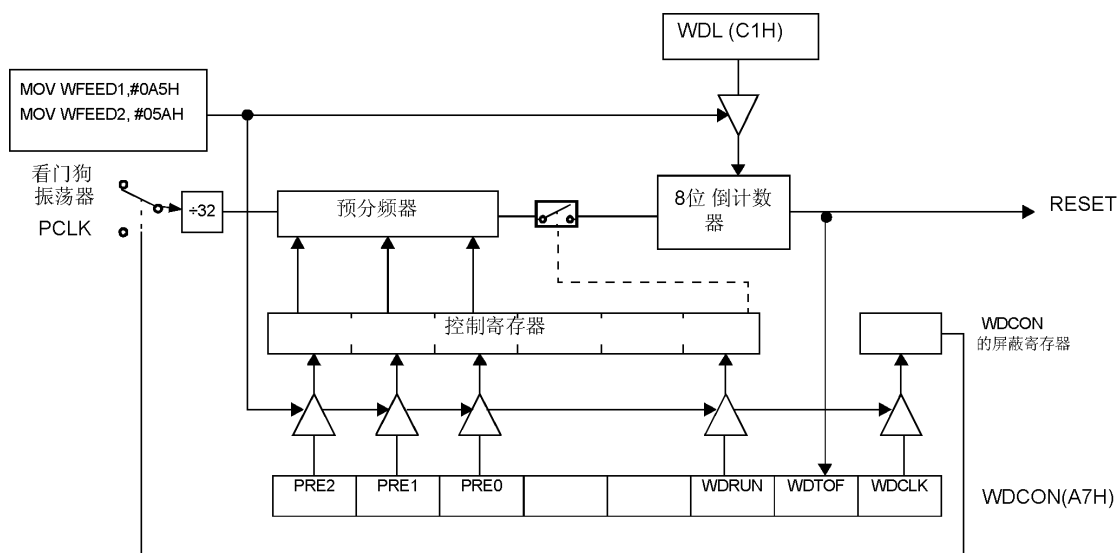


图 14 看门狗模式中的看门狗定时器 (WDTE=1)

## 8.23 附加特性

### 8.23.1 软件复位

AUXR1 寄存器的 SRST 位使软件能像发生外部复位或看门狗复位一样，使处理器彻底复位。写入 AUXR1 时，务必小心以防止产生意外的软件复位。

### 8.23.2 双数据指针

双数据指针 (DPTR) 增加了处理器指向确定地址的方式。AUXR1 寄存器的 DPS 位选择两个数据指针中的一个。AUXR1 的第 2 位的逻辑电平永远都为“0”，这样 DPS 位可以简单地通过将 AUXR1 加 1 进行切换（因此对数据指针进行切换）而不会更改寄存器的其它位。

## 8.24 FLASH 程序存储器

### 8.24.1 概述

P89LPC930/931 Flash 存储器提供电路中的电擦除和编程。Flash 可以字节为单位进行读、擦除或写操

作。扇区和页擦除功能可擦除任意的 Flash 扇区(1KB)或页(64 字节)。芯片擦除功能可实现整个程序存储器的擦除。提供在系统编程和标准的并行编程。片内产生的擦除和写入时序为用户提供了友好的编程接口。P89LPC930/931Flash 存储器甚至在经过 100, 000 次擦除和编程之后仍然能可靠地保存存储器的内容。存储单元的设计优化了擦除和编程结构。P89LPC930/931 使用  $V_{DD}$  电压来执行编程和擦除算法。

#### 8.2.4.2 特性

- 字节擦除允许程序存储器用于数据存储。
- 内部固化的引导 ROM，包含了一个低级的在应用编程(IAP)子程序。
- 用户可调用这些程序来实现在应用中编程(IAP)。
- 默认的装载程序可通过串口进行在系统编程。该程序位于程序存储器空间的顶端。
- Boot 向量允许用户将 Flash 装载代码放入 Flash 存储器内的任何位置。这种配置为用户提供了应用的灵活性。
- 可在整个操作电压范围内执行编程和擦除。
- 使用 ISP/IAP 进行编程/擦除。
- 任意编程/擦除时间小于 2ms。
- 使用工业标准的商用编程器进行并行编程。
- 可对每一个 Flash 扇区进行编程加密。
- 每个字节至少可执行 10,000 次擦除/编程。
- 数据至少可保存 10 年。

#### 8.2.4.3 Flash作为数据存储器使用

器件的Flash程序存储器阵列支持单个字节的擦除和编程。只要扇区中的字节未加密，就可利用MOVC指令来读取程序存储器阵列中的字节（MOVC指令不能读出加密扇区的程序存储器内容）。这样，未加密扇区中的任何字节都可用于非易失性数据的存储。

#### 8.2.4.4 P89LPC930/931 的 ISP 和 IAP 性能

**Flash 的结构：**P89LPC930/931 包含 8 个 1KB 扇区的 Flash 程序存储器。每个扇区可进一步分成 64 字节的页。除了扇区擦除和页擦除外，还包含一个 64 字节页寄存器，它可实现给定页 1 到 64 字节的同时编程，彻底降低了整个编程的时间。在应用中编程（IAP）接口可使用户在最终应用程序中对用户代码进行擦除和重新编程。此外，还支持对用户可编程字节，包括 UCFG1、引导状态位和引导向量，的擦除和重新编程。芯片出厂后，用户代码空间的高 512 字节包含了一个串行在系统编程（ISP）子程序，允许器件在电路中通过串行口进行编程。

**Flash 的编程和擦除：**有三种方法可实现对 Flash 的擦除或编程。第一，在最终用户应用程序中通过一个公共入口调用低级子程序对 Flash 进行编程和擦除。第二，调用片内 ISP 装载程序，该装载程序调用引导 ROM 中的低级子程序（与 IAP 编程共用）。第三，使用支持该器件的商用编程器进行并行编程或擦除。该器件不提供对代码内容的直接校验。而是提供一个扇区或整个 8KB 用户代码区的 32 位 CRC 结果。

**引导ROM：**当微控制器对自身的Flash存储器进行编程时，所有操作的细节都由固化在引导ROM中的代码进行处理。引导ROM与Flash存储器是各自独立的。用户程序使用适当的参数调用引导ROM中的公共入口即可实现所需要的操作。引导ROM的操作包括以下内容：擦除扇区，擦除页，编程页，CRC，编程保密位等等。引导ROM占用0FF00到0FFFFH的程序存储器的地址。因此不与用户程序代码空间冲突。

**上电复位代码的执行：**P89LPC930/931包含两个特殊的Flash单元：引导向量和引导状态位。在复位信

号的下降沿, P89LPC930/931检查引导状态位的内容。如果为0, 则转去0000H地址开始执行程序。这是用户应用代码的正常起始地址。如果引导状态位非0, 则将引导向量的值作为程序计数器的高字节, 低字节固定为00H。工厂默认设定值为01EH (LPC930为0EH), 对应为默认的ISP装载程序地址为1E00H (LPC930为0E00H)。该引导装载程序在工厂已经预先编程并可被用户擦除。用户如果需要使用这部分代码, 就必须小心以避免将1C00H到1FFFH的1KB扇区擦除 (LPC930为0C00H到0FFFH)。可采用页擦除功能擦除1C00H到1DFFH (LPC930为0C00H到0DFFH)的8个 (LPC930的4个) 64字节页规格。如果需要的话, 可以将引导向量设置到用户的引导装载程序入口地址。

**引导装载程序的硬件激活:** 在上电时, 通过强制器件进入ISP模式也可执行引导装载程序 (详见 P89LPC930/931使用指南)。它等效于引导状态位的值非零。这和非零引导状态位的效果是一样的。这样就可以在正常时执行用户代码, 但又可以手动强制进入ISP操作。如果改变引导向量出厂时的默认设定值 (LPC931为1EH, LPC930为0EH), 将不再指向工厂预先编程的ISP引导装载程序。如果发生这种情况, 改变引导向量的唯一方法就是使用并行编程。并行编程提供用户应用程序所不包含的定制的装载程序, 以实现引导向量和引导状态位的擦除和编程。在对Flash进行编程后, 引导状态位可编程为0, 以允许用户应用代码从地址0000H开始执行。

**在系统编程(ISP):** ISP编程执行时不需要将微控制器从系统中移出。在系统编程特性包含了一系列内部的硬件资源, 与内部固件相结合可实现通过串口对P89LPC930/931的远程编程。固件由PHILIPS提供并嵌入到每一个P89LPC930/931芯片当中。PHILIPS的在系统编程特性使嵌入式应用中的在电路编程变得可行, 并最大限度减小了额外的元件开销和电路板面积。ISP功能使用芯片的5个管脚( $V_{DD}$ 、 $V_{SS}$ 、 $TxD$ 、 $RxD$ 、 $\overline{RST}$ )。只需要一个小的连接器就可实现通过外部电路使用该特性的应用接口。

**在应用中编程的方法 (IAP):** 通过一个应用程序对几个在系统编程(IAP)子程序的调用, 可实现有选择地对Flash扇区、页、保密位、配置字节和器件ID进行擦除和编程。所有的调用都是通过一个公共的接口PGM\_MTP来实现的。在调用位于地址FF00H的PGM\_MTP之前, 通过设置微控制器的寄存器可选择编程的功能。

#### 8.25 用户配置字节

P89LPC930/931的众多用户可配置的特性必须在上电时定义, 开始执行程序后便不可设置了。这些特性是通过配置Flash字节UCFG1实现。请参阅P89LPC930/931使用指南。

#### 8.26 用户扇区保密字节

P89LPC930/931具有8个用户扇区保密字节, 每个字节都对应一个扇区。请参阅P89LPC930/931使用指南。



## 9. 极限参数

表 6 极限参数

遵循最大绝对额定系统 (IEC60134)。

符号	参数	条件	最小	最大	单位
Tamb(bias)	工作环境温度		-55	+125	°C
Tstg	储存温度		-65	+150	°C
Vxtal	XTAL1, XTAL2 脚对 Vss 的电压		-	V <sub>DD</sub> +0.5	V
Vn	任意脚对 Vss 的电压		-0.5	+5.5V	V
I <sub>OH(I/O)</sub>	每个 I/O 口的高电平输出电流		-	20	mA
I <sub>OL(I/O)</sub>	每个 I/O 口的低电平输出电流		-	20	mA
I <sub>I/O(tot)(max)</sub>	最大总 I/O 口电流		-	100	W
Ptot(pack)	每种封装的总功率损耗	基于封装的热传递, 并非器件的功耗	-	1.5	W

[1] 器件在超过表 6 “极限参数”所列的极限情况下工作, 可能会造成永久性的损坏。这里只列出了一些极限值, 并未涉及在这些极限值或其它条件下 (除在表 7 “DC 电气特性”中和 DC 电气特性部分所描述的之外) 的器件功能操作。

[2] 本产品带有保护器件内部的电路设计, 以避免超负荷的损坏性影响。但是建议不要在超过极限值的情况下工作。

[3] 参数在操作温度范围内是有效的, 除非另有规定。所有的电压都是相对 Vss 而言的, 除非另有说明。

## 10. 静态特性

表 7 DC 电气特性

V<sub>DD</sub>=2.4V~3.6V T<sub>amb</sub>=-40°C~+85°C, 工业级

符号	参数	测试条件	范围			单位
			最小	典型 <sup>[1]</sup>	最大	
I <sub>DD</sub>	电源电流, 正常工作模式	3.6V, 12MHz <sup>[2]</sup>	-	11	18	mA
I <sub>ID</sub>	电源电流, 空闲模式	3.6V, 12MHz <sup>[2]</sup>	-	3.25	5	mA
I <sub>PD</sub>	电源电流, 掉电模式, 电压比较器掉电	3.6V <sup>[2]</sup>	-	-	<tb>	μA
I <sub>PD1</sub>	电源电流, 完全掉电模式	3.6V <sup>[2]</sup>	-	1	5	μA
V <sub>DDR</sub>	V <sub>DD</sub> 上升时间		-	-	2	mV/μs
V <sub>DDF</sub>	V <sub>DD</sub> 下降时间		-	-	50	mV/μs
V <sub>POR</sub>	上电复位检测		-	-	0.2	V
V <sub>RAM</sub>	RAM 保持电压		1.5	-	-	V
V <sub>th(HL)</sub>	负门槛电压(除 SCL, SDA 外)		0.22V <sub>DD</sub>	0.4V <sub>DD</sub>	-	V
V <sub>IL1</sub>	低电平输入电压(SCL, SDA)		-0.5	-	0.3V <sub>DD</sub>	V
V <sub>th(LH)</sub>	正门槛电压(除 SCL, SDA 外)			0.6V <sub>DD</sub>	0.7V <sub>DD</sub>	V
V <sub>IH1</sub>	高电平输入电压(SCL, SDA)		0.7V <sub>DD</sub>		5.5	V
V <sub>hys</sub>	滞后电压	P1 口	-	0.2V <sub>DD</sub>	-	V
V <sub>OL</sub>	高阻模式外的其它模式下所有管脚的 低电平输出电压 <sup>[3]</sup>	I <sub>OL</sub> =20mA, V <sub>DD</sub> =2.4V-3.6V	-	0.6	1.0	V
		I <sub>OL</sub> =3.2mA, V <sub>DD</sub> =2.4V-3.6V		0.2	0.3	V
V <sub>OH</sub>	所有管脚的高电平输出电压	I <sub>OH</sub> =-20μA, V <sub>DD</sub> =2.4V-3.6V, 准双向模式	V <sub>DD</sub> -0.3	V <sub>DD</sub> -0.2	-	V
		I <sub>OH</sub> =-3.2mA, V <sub>DD</sub> =2.4V-3.6V, 推挽模式	V <sub>DD</sub> -0.7	V <sub>DD</sub> -0.4	-	V
		I <sub>OH</sub> =-20mA, V <sub>DD</sub> =2.4V-3.6V, 推挽模式	<t.b.d.>	-	-	V
C <sub>IO</sub>	输入/出口管脚电容	[4]	-	-	15	pF
I <sub>IL</sub>	逻辑 0 输入电流, 所有管脚	V <sub>IN</sub> =0.4V <sup>[5]</sup>	-	-	-80	μA
I <sub>LI</sub>	输入漏电流, 所有管脚	V <sub>IN</sub> =V <sub>IL</sub> 或 V <sub>IH</sub> <sup>[6]</sup>	-	-	±10	μA

续上表,.....

符号	参数	测试条件	范围			单位
			最小	典型 <sup>[1]</sup>	最大	
$I_{TL}$	逻辑 1 到 0 跳变电流,所有管脚	$V_{IN}=1.5V$ 在 $V_{DD}=3.6V$ 下 <sup>[7]</sup>	-30	-	-450	$\mu A$
$R_{RST}$	内部复位上拉电阻		10	-	30	$k\Omega$
$V_{BO}$	BOV=0,BOPD=1 时掉电电压	$2.4V < V_{DD} < 3.6V$	2.40	-	2.70	V
$V_{REF}$	带隙参考电压		1.11	1.23	1.34	V
$TC_{(VREF)}$	带隙温度效应		-	10	20	ppm/ $^{\circ}C$

[1]不能保证得到典型的标称值。表中所列值为在室温，电压 3V 下测得。

[2] $I_{DD}$ ， $I_{ID}$  和  $I_{PD}$  的规格在以下条件下测得：使用外部时钟源，关闭比较器、掉电检测和看门狗定时器。[3]在稳态（非瞬态）条件下， $I_{OL}$  或  $I_{OH}$  必须受到限制（参阅表 6 “极限参数”表）。如果  $I_{OL}/I_{OH}$  超出测试条件， $V_{OL}/V_{OH}$  也会超出相应的规格。

[4]管脚电容由其特性得到，但未作测试。

[5]在准双向模式下测得。

[6]在高阻模式下测得。

[7]准双向口模式和外部驱动 1 变 0 时的管脚的跳变电流。当  $V_{IN}$  大约为 2V 时，该电流最大。

## 11. 动态特性

表 8 AC 电气特性

除非特别说明， $T_{amb} = -40^{\circ}C \sim +85^{\circ}C$ ,工业级<sup>[1]</sup>

符号	参数	条件	可变时钟		$f_{OSC}=12MHz$		单位
			最小	最大	最小	最大	
$f_{RCOSC}$	内部 RC 振荡器频率		7.189	7.557	7.189	7.557	MHz
$f_{WDOSC}$	内部看门狗振荡器频率		280	480	280	480	KHz
$f_{OSC}$	振荡器频率		0	12	-	-	MHz
$t_{CLCL}$	时钟周期	图 20	83	-	-	-	ns
$f_{CLKLP}$	CLKLP 有效频率		0	4	-	-	MHz
干扰滤波器							
	P1.5( $\overline{RST}$ )脚过滤信号		-	50	-	50	ns
	P1.5( $\overline{RST}$ )脚接受信号		125	-	125	-	ns
	任意脚（P1.5( $\overline{RST}$ )除外）过滤信号		-	15	-	15	ns
	任意脚（P1.5( $\overline{RST}$ )除外）接收信号		50	-	50	-	ns
外部时钟							
$t_{CHCX}$	高电平时间	图 20	33	$t_{CLCL}-t_{CLCX}$	33	-	ns
$t_{CLCX}$	低电平时间	图 20	33	$t_{CLCL}-t_{CHCX}$	33	-	ns
$t_{CLCH}$	上升时间	图 20	-	8	-	8	ns
$t_{CHCL}$	下降时间	图 20	-	8	-	8	ns
移位寄存器（UART 模式 0）							
$t_{XLXL}$	串行口时钟周期		16 $t_{CLCL}$	-	1333	-	ns
$t_{QVXH}$	输出数据建立到时钟上升沿		13 $t_{CLCL}$	-	1083	-	ns
$t_{XHGX}$	输出数据在时钟上升沿后保持		-	$t_{CLCL}+20$	-	103	ns
$t_{XHDV}$	输出数据建立到时钟上升沿		-	0	-	0	ns
$t_{DVXH}$	输出数据在时钟上升沿后保持		150	-	150	-	ns

续上表.....

符号	参数	条件	可变时钟		f <sub>OSC</sub> =12MHz		单位
			最小	最大	最小	最大	
SPI 接口							
f <sub>SPI</sub>	操作频率 - 2.0MHz（主） - 2.0MHz（从） - 3.0MHz（主） - 3.0MHz（主）		— 0 — 0	— 2.0 — 3.0	— 0 — 0	— 2.0 — 3.0	MHz
t <sub>SPICYC</sub>	周期时间 - 2.0MHz（主） - 2.0MHz（从） - 3.0MHz（主） - 3.0MHz（从）	图 15,16,17,18	— 500 — 333	— — — —	— 500 — 333	— — — —	ns
t <sub>SPILEAD</sub>	使能前导时间（从） - 2.0MHz - 3.0MHz	图 17, 18	250 240	— —	250 240	— —	ns
t <sub>SPILAG</sub>	使能滞后时间（从） - 2.0MHz - 3.0MHz	图 17, 18	250 240	— —	250 240	— —	ns
t <sub>SPICLK<sub>H</sub></sub>	SPICLK 高电平时间 - 主机 - 从机	图 15,16,17,18	340 190	— —	340 190	— —	ns
t <sub>SPICLK<sub>L</sub></sub>	SPICLK 低电平时间 - 主机 - 从机	图 15,16,17,18	340 190	— —	340 190	— —	ns
t <sub>SPIDSU</sub>	数据建立时间（主或从）	图 15,16,17,18	100	—	100	—	ns
t <sub>SPIDH</sub>	数据保持时间（主或从）	图 15,16,17,18	100	—	100	—	ns
t <sub>SPIA</sub>	访问时间（从）	图 17,18	0	120	0	120	ns
t <sub>SPIDIS</sub>	禁止时间（从） - 2.0MHz - 3.0MHz	图 17,18	0 0	240 167	— —	240 167	ns
t <sub>SPIDV</sub>	使能输出数据有效 - 2.0MHz - 3.0MHz		— —	240 167	— —	240 167	ns
t <sub>SPIOH</sub>	输出数据保持时间	图 15,16,17,18	0	—	0	—	ns
t <sub>SPIR</sub>	上升时间 - SPI 输出(SPICLK,MOSI,MISO) -SPI 输入(SPICLK,MOSI,MISO, SS)	图 15,16,17,18	— —	100 2000	— —	100 200 0	ns
t <sub>SPIF</sub>	下降时间 - SPI 输出(SPICLK,MOSI,MISO) - SPI 输入（SPICLK,MOSI,MISO, SS)	图 15,16,17,18	— —	100 2000	— —	100 200 0	ns

[1]如果没有特别说明, 这些参数在操作温度范围内有效

[2]部分特性在 2MHz 下测试, 但不能保证操作频率可以降到 0Hz。

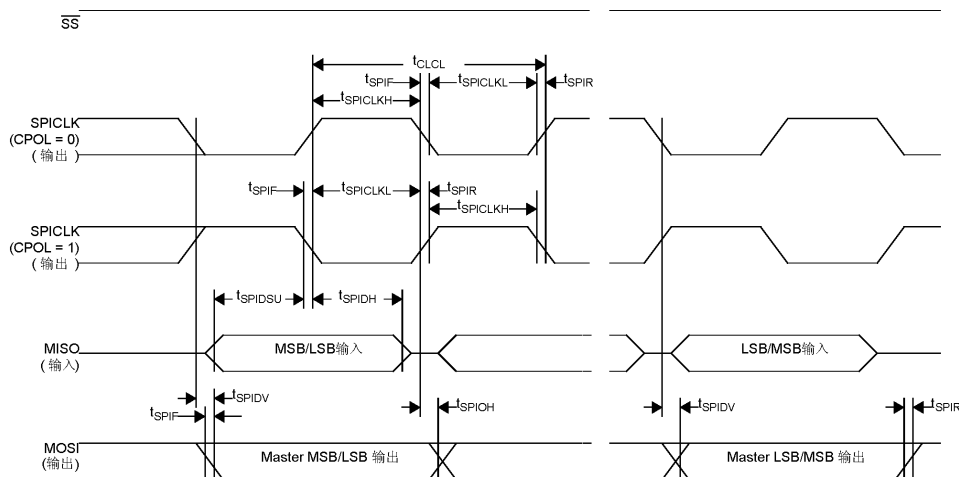


图 15 SPI 主机时序 (CPHA=0)

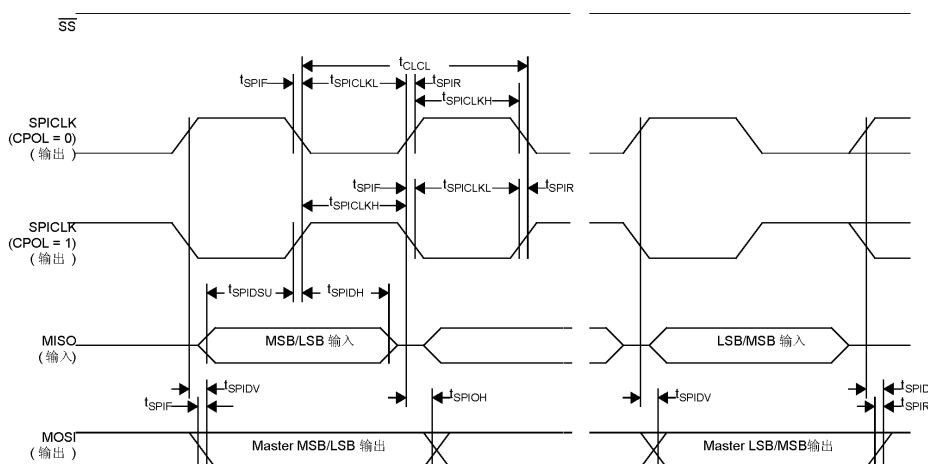


图 16 SPI 主机时序 (CPHA=1)

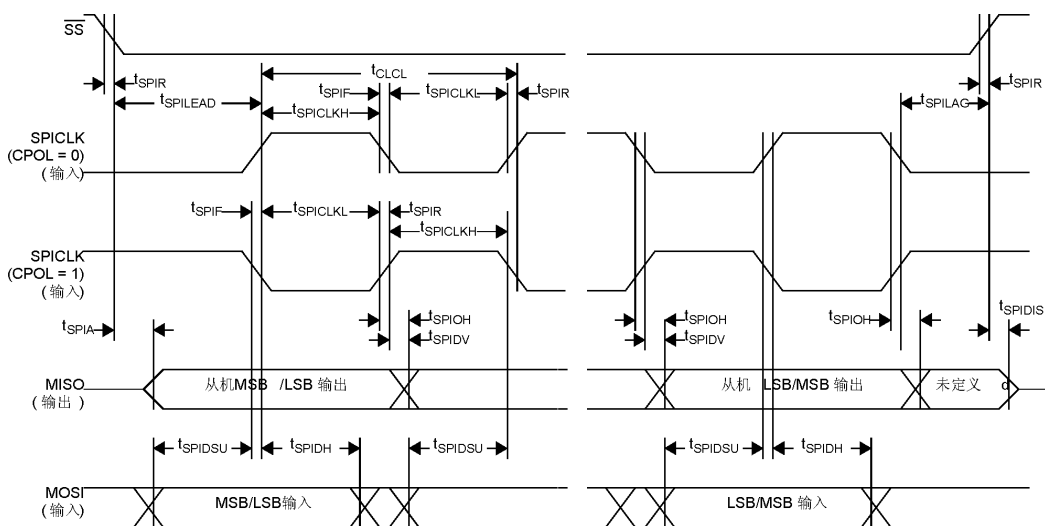


图 17 SPI 从机时序 (CPHA=0)



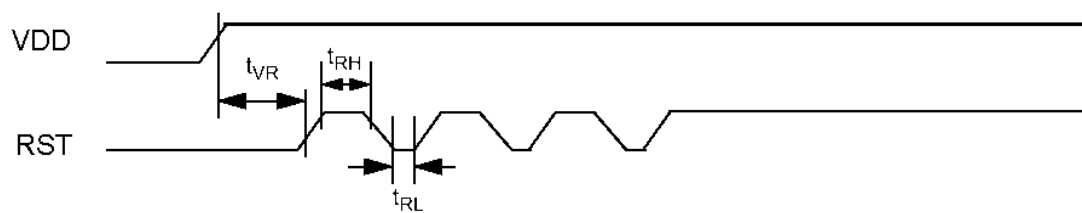


图 21 ISP 入口波形

## 12. 比较器电气特性

表 10 比较器电气特性

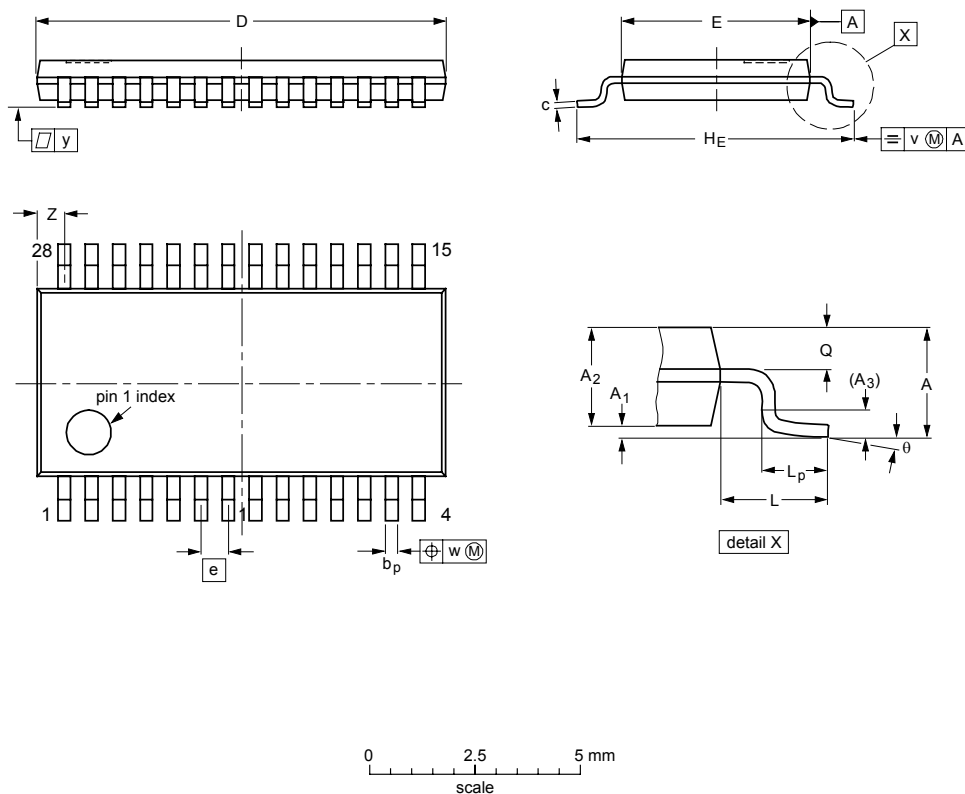
除非特别说明,  $V_{DD} = 2.4V \sim 3.6V$ ,  $T_{amb} = -40^{\circ}C \sim +85^{\circ}C$ , 工业级

符号	参数	测试条件	范围			单位
			最小	典型	最大	
$V_{IO}$	比较器输入偏移电压				$\pm 20$	mV
$V_{CR}$	共模比较器输入范围		0		$V_{DD}-0.3$	V
CMRR	共模抑制比	[1]			-50	dB
	响应时间			250	500	nS
	比较器使能到输出有效				10	$\mu s$
$I_{IL}$	比较器输入漏电流	$0 < V_{IN} < V_{DD}$			$\pm 10$	$\mu A$

[1] 该参数由其特性保证, 而不是由产品测得。

### 13. 表面封装

TSSOP28: 薄型小型塑料封装; 28 脚; 本体宽度 4.4mm



DIMENSIONS (mm are the original dimensions)

UNIT	A max.	A <sub>1</sub>	A <sub>2</sub>	A <sub>3</sub>	b <sub>p</sub>	c	D <sup>(1)</sup>	E <sup>(2)</sup>	e	H <sub>E</sub>	L	L <sub>p</sub>	Q	v	w	Y	(1)	θ
mm	1.1	0.15 0.05	0.95 0.80	0.25	0.30 0.19	0.2 0.1	9.8 9.6	4.5 4.3	0.65	6.6 6.2	1	0.75 0.50	0.4 0.3	0.2	0.13	0.1	0.8 0.5	8° 0°

### 14. 修订记录

表 11 修订记录

修订版本	日期	CPCN	描述
03	20031006	-	产品信息 (9397 750 12122); ECN 853-2406 30390, 2003 年 9 月 30 日 修改处: <ul style="list-style-type: none"> <li>● 第 11 页图 5 “中断源, 中断使能和掉电唤醒源”; 图形调整。</li> <li>● 第 14 页 8.14 节 “复位”; 增加一段内容。</li> <li>● 第 20 页 8.20 节 “模拟比较器”; 增加一段内容。</li> <li>● 第 25 页表 7 “DC 电气特性”; 增加一项 V<sub>POR</sub> 的内容。</li> </ul>
02	20030526	-	目标版本信息 (9397 750 11536)
01	200030514	-	最初版本信息 (9397 750 11386)