

信号源的核心就是产生一个频率稳定的周期性信号。设计一个实用信号源,可以采用多种振荡电路来产生周期性信号。例如:用频率合成方法产生振荡信号;利用专用集成函数发生器(如:ICL8038)产生方波、三角波、正弦波信号;利用直接数字合成(DDS)的方法产生振荡信号;利用单片机产生信号波形;利用数字比例乘法器(如:CD4527)产生振荡信号。该实验指导将对直接数字合成(DDS)的方法加以介绍,其它设计方法请参阅参考书。

## 一、直接数字合成(DDS)

直接数字合成(Direct Digital Synthesis、DDS)是一种新的频率合成技术和信号产生的方法。直接数字频率合成器(DDS)具有超高速的频率转换时间,极高的频率分辨率和较低的相位噪声,在频率改变与调频时,DDS能够保持相位的连续,因此很容易实现频率、相位和幅度调制。此外,DDS技术大部分是基于数字电路技术的,具有可编程控制的突出优点。因此这种信号产生技术得到了越来越广泛的应用,很多厂家已经生产出了DDS专用芯片,这种器件成为当今电子系统及设备中频率源的首选器件。例如ANALOG DEVICES公司的AD9850就是一个可以工作在125MHz时钟频率的,具有10bit DAC的DDS芯片。AD9854是一个可以工作在300MHz时钟频率,具有I/Q两路12bit DAC的DDS芯片。当今通信系统迅速发展,软件无线电成为很热门的话题,DDS在这些系统中都成为很重要的一门技术。有兴趣的同学可以参考上面提到的两款芯片资料,了解当今DDS系统。

### 1、DDS的基本原理

DDS的原理框图如图1所示。图中相位累加器可在每一个时钟周期来临时将频率控制字(TUNING WORD)所决定的相位增量 $M$ 累加一次,如果记数大于 $2^N$ ,则自动溢出,而只保留后面的 $N$ 位数字于累加器中。正弦查询表ROM用于实现从相位累加器输出的相位值到正弦幅度值的转换,然后送到DAC中将正弦幅度值的数字量转变为模拟量,最后通过滤波器输出一个很纯净的正弦波信号。

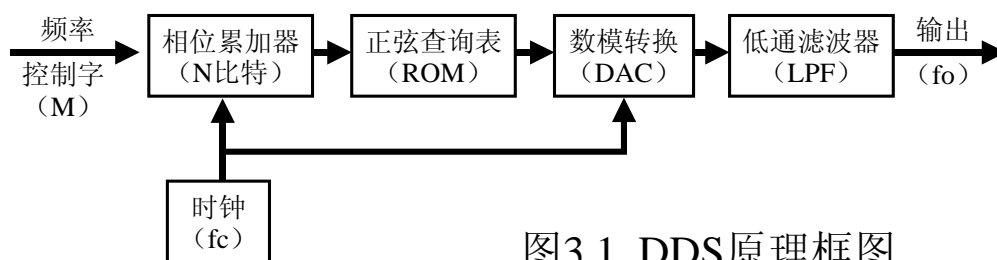


图3.1 DDS原理框图

### 2、DDS的基本参数计算公式

由于相位累加器是 $N$ 比特的模2加法器,正弦查询表ROM中存储一个周期的正弦波幅度量化数据,所以频率控制字 $M$ 取最小值1时,每 $2^N$ 个时钟周期输出一个周期的正弦波。

所以此时有:

$$f_0 = \frac{f_c}{2^N} \quad (3.1)$$

式中  $f_0$  为输出信号的频率， $f_c$  为时钟频率， $N$  为累加器的位数。

更一般的情况，频率控制字是  $M$  时，每  $\frac{2^N}{M}$  个时钟周期输出一个周期的正弦波。所以

此时有：

$$f_0 = \frac{M \times f_c}{2^N} \quad (3.2)$$

式中  $f_0$  为输出信号的频率， $f_c$  为时钟频率， $N$  为累加器的位数， $M$  为频率控制字。

式 (3.2) 为 DDS 系统最基本的公式之一。由此可以得出：

输出信号的最小频率（分辨率）为：

$$f_{0\min} = \frac{f_c}{2^N} \quad (3.3)$$

输出信号的最大频率为：

$$f_{0\max} = \frac{M_{\max} \times f_c}{2^N} \quad (3.4)$$

DAC 每信号周期输出的最少点数为：

$$k = \frac{2^N}{M_{\max}} \quad (3.5)$$

当  $N$  比较大时，对于很大范围内的  $M$  值，DDS 系统都可以在一个周期内输出足够的点，保证输出波形失真很小。

### 3、DDS 的各组成部分的具体参数及其相互关系

作为频率信号源，DDS 系统的输出频率范围、频率分辨率、频率稳定度、波形的谐波失真等是我们主要关心的指标。由于电路复杂性、价格及现有技术条件的限制，我们不可能无限地提高这些指标，那么这些限制关系是怎样的呢？下面我们做一些简要的分析。

相位累加器的位数  $N$ 、数模转换比特数  $n$ 、时钟频率  $f_c$  及其稳定度、LPF 的特性等是决定 DDS 系统指标的重要参数。

事实上，我们可以认为 DDS 系统是模拟信号转化成数字信号的逆过程，即是将单频正弦模拟信号采样、量化的逆过程。单频正弦模拟信号的频率对应于 DDS 系统的输出信号频率，采样频率对应于 DDS 系统的时钟频率  $f_c$ ，量化比特数对应于 DDS 系统的数模转换比特数  $n$ 。

如果要求 DDS 的输出频率范围为  $f_{0\min} \sim f_{0\max}$ ，则  $f_c$  应大于  $f_{0\max}$  的 2 倍，这是由 Nyquist 定理决定的。为了使输出波形更好，同时减低低通滤波器的参数要求，一般  $f_c$  至少取  $f_{0\max}$  的 4 倍以上。DDS 系统中的数模转换器 DAC 的转换时间应小于  $1/f_c$ ，数模转换比特数  $n$  越大，则波形失真及量化误差越小。但受价格等因素的限制，只能取一个适当的值。 $f_{0\min}$  是 DDS 系统的频率分辨率或输出最小频率。当要求的最小输出频率大于要求的频率分辨率时， $f_{0\min}$

应取要求的频率分辨率。由式 (3.3) 可计算出相位累加器的位数  $N$  :

$$\text{相位累加器的位数 } N : N \geq \ln_2 \left( \frac{f_c}{f_{0\min}} \right) \quad (3.4)$$

一般情况,  $N$  选大一些对于数字电路是比较容易的。所以 DDS 系统可以很容易地实现高频率分辨率、大频率变化比(最大输出频率与最小输出频率的比)的信号。另一方面, 如果  $N$  比较大, 一个周期内时间轴被分为  $2^N$  个点, DDS 系统的正弦查询表 ROM 中是否必须存储  $2^N$  个点的数据呢, 答案是否定的。这是因为 DDS 系统的数模转换比特数  $n$  是有限的, 一般不太大, 特别对于高速 DAC, 高比特数 DAC 也没有很大必要。这样, 正弦查询表 ROM 中如果存储非常多的点, 则很多相邻的点存储的是同样的幅度值。

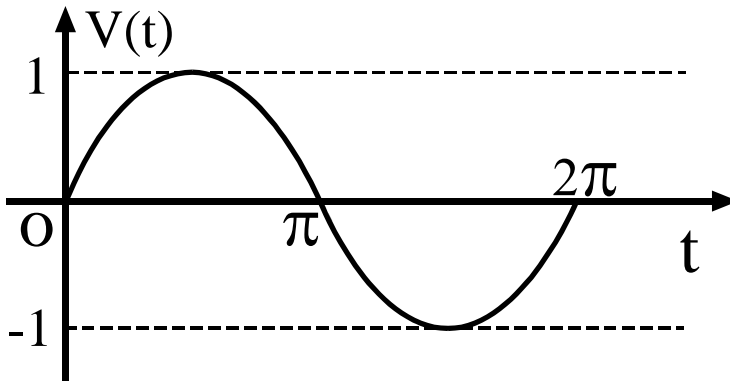


图 3.2

从图 3.2 中可定量分析它们的关系。DAC 数模转换比特数为  $n$ , 对应代表幅度的垂直坐标轴, 正弦查询表 ROM 的地址数最小为  $m$ , 对应代表时间的水平坐标轴,  $V(t) = \sin(t)$  函数的最大斜率为 1 ( $t=0$ ), 必须保证该处的水平分辨率大于等于垂直分辨率, 有如下关系:

$$\frac{2\pi}{2^m} \leq \frac{2}{2^n} \quad (3.5)$$

对于  $m$  和  $n$  都为正整数, 可得出:

$$m = n + 2 \quad (3.6)$$

从 DDS 系统中相位累加器的位数  $N$  取高  $m$  位送到正弦查询表 ROM 作为地址线即可满

足要求。之所以将低位舍弃，是因为舍弃的低位变化对应于输出幅度在 $\pm \frac{1}{2}LSB$  范围内，输出同一个量化电平。

#### 4、DDS 系统的低通滤波器 LPF 设计依据

##### 4.1 单频正弦信号的理想采样：

理想采样把一个采样信号描述为冲激的加权和，这些加权和等于模拟信号在冲激位置的值。一个理想采样信号 $x_I(t)$  可以认为是一个模拟信号 $x(t)$  和一个周期冲激串 $i(t)$  的乘积。数学描述如下：

$$x_I(t) = x(t)i(t) = x(t) \sum_{n=-\infty}^{\infty} \delta(t - nt_s) = \sum_{n=-\infty}^{\infty} x[n] \delta(t - nt_s) \quad (3.7)$$

式中 $x[n]$  代表采样值 $x(nt_s)$  的序列。 $x_I(t)$  的频谱 $X_I(f)$  由下面的卷积表示：

$$X_I(f) = X(f) * I(f) = X(f) * S \sum_{k=-\infty}^{\infty} \delta(f - kS) = S \sum_{k=-\infty}^{\infty} X(f - kS) \quad (3.8)$$

$X_I(f)$  在频率上具有周期性，其周期为采样率 $S$ 。对于单频正弦信号，如图 3.3：

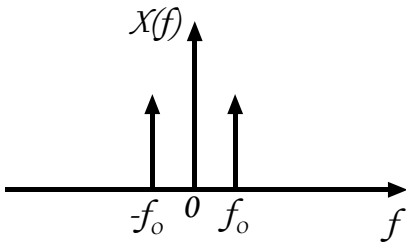


图 3.3A

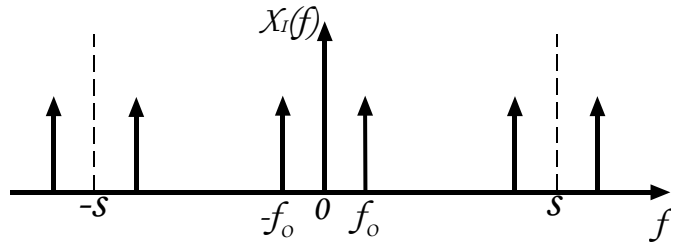


图 3.3B

##### 4.2 零阶保持采样：

实际中，模拟信号采用零阶保持（zero-order-hold ZOH）装置进行采样，这种采样就是在得到下一个采样前保持前一个采样，也叫平顶采样。这种采样等价于理想采样后通过了一个系统，该系统的冲激响应为：

$$h(t) = \text{rect}[(t - 0.5t_s)/t_s] \quad (3.9)$$

零阶保持采样电路的传递函数：

$$H(f) = t_s \sin c(ft_s) e^{-j\pi f t_s} = \frac{1}{S} \sin c\left(\frac{f}{S}\right) e^{-j\pi f / S} \quad (3.10)$$

式 (3.10) 中  $S = \frac{1}{t_s}$  为采样率。由式 (3.8) 和式 (3.10) 得出：

$$X_{ZOH}(f) = \sin c\left(\frac{f}{S}\right) e^{-j\pi f / S} \sum_{k=-\infty}^{\infty} X(f - kS) \quad (3.11)$$

由式 (3.11) 可看出零阶保持采样使频谱衰减且引起 sinc 函数失真。

#### 4.3 量化的影响：

数字化模拟信号不仅表现在时间上采样信号，还要把幅度量化为有限个比特的数值。由于 DDS 系统对应的是均匀量化，这里我们主要关心均匀量化。均匀量化是把信号的幅度范围内均匀分成  $2^m$  等份，构成  $m$  比特均匀量化，在两个相邻量化幅度之间的信号幅度值，通过取整或截尾处理，取量化电平。一般的讲，定量分析量化的影响是很困难的。对于 DDS 系统做分析，如果 DAC 数模转换比特数为  $n$ ，正弦查询表 ROM 的地址数最小为  $m$ ，相位累加器的位数为  $N$ ，当  $f_0 < \frac{2^{N-m} \times f_c}{2^N}$  时，输出信号等效于采样频率降低，这是因为有多于一个

时钟才有幅度变化。

#### 4.4 LPF 的设计依据讨论。

在前三个小节中 (4.1、4.2、4.3) 分别讨论了理想采样、零阶保持和量化在模数转换中对信号的影响，对应到 DDS 系统中，要恢复原始的模拟单频信号也应考虑这些因素。设计 DDS 系统的 LPF 时，由于 DDS 系统的时钟对应于采样率，一般是固定不变的，由 4.1 节的讨论，似乎 LPF 的设计很简单，设 DDS 的输出频率范围为  $f_{0\min} \sim f_{0\max}$ ，时钟频率为  $f_c$ ，

则 LPF 的通带为  $0 \sim f_{0\max}$ ，阻带为  $f_c - f_{0\max} \sim \infty$ ，即可还原单频信号。但事实上，如果需要精确的幅度控制，4.2 节讨论的 sinc 函数失真则不能忽略，如果对输出信号的谐波失真有很高要求，对输出频率较低时，4.3 节讨论的量化的影响不能忽略。

## 二、用 DDS 的方法设计信号发生器

### 1、信号发生器框图

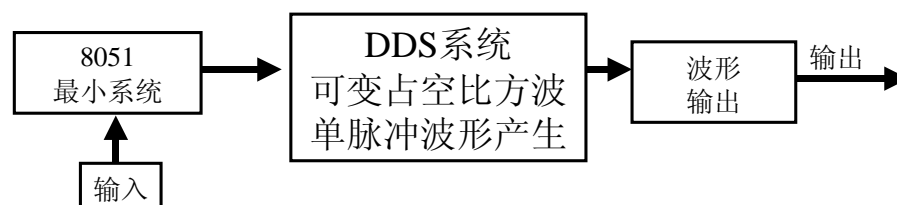


图3.4 信号发生器框图

### 2、参数计算

依题目要求：信号频率为  $1\text{Hz} \sim 20\text{KHz}$  步进调整，步长为  $1\text{Hz}$ 。可以取频率控制字  $M=1$  时，输出信号为  $1\text{Hz}$ ，这样输出信号频率可表示为： $M\text{Hz}$ 。则有： $M_{\min}=1$ ， $M_{\max}=20\text{K}$ 。

为保证输出波形质量，当  $M_{\max}=20\text{K}$  时，选 DAC 输出点数为 50，则可算出相位累加器位数  $N=20$ 。时钟频率  $f_c=2^{20}=1.048576\text{MHz}$ 。

选用分辨率为  $n=8$  的 DAC，则用于角度-幅度变换的 EPROM 地址为  $m=10$  位。考虑到此系统中有正弦波和占空比  $2\% \sim 98\%$  的方波共 50 种，因此 EPROM 应再增加 6 位控制波形的地址，共需 16 位地址。

### 3、注意问题

#### (1) 元件时序

DDS 时钟频率若选  $f_c=1.048576\text{MHz}$ ，则  $T_c=953.7\text{ns}$ 。

选择寄存器、加法器元件，使得相位累加总时间小于  $T_c$ ；

选择用于角度-幅度转换的 EPROM 速度大于  $T_c$ ；

选择 DAC 的转换速度大于  $T_c$ 。

#### (2) 滤波器

DAC 输出的是阶梯正弦波，存在奇次谐波。滤波器的作用就是滤去谐波，提高输出正弦波的质量。对于不同的输出频率，DAC 输出的等效采样频率也不同，故低通滤波器的截止频率设计应根据输出频率作相应调整，可进行分段处理。

滤波器设计参考实验一中的实验指导。

(3) 电路实现不能使用 DDS 专用芯片，可以使用分离元件或使用通用 FPGA 实现。当使用 FPGA 实现时又分两种情况，一个是正弦表在 FPGA 芯片内部，优点是集成度高，缺点是 FPGA 的门数多，造价高；另一种是正弦表在 FPGA 芯片外部，优点是便宜，缺点是电路复杂。

### 三、FSK信号输出

#### 1、RS232异步串行通信

参见北京大学电子学系《微机原理与接口应用实验》P41实验六

#### 2、BELL202和CCITT V. 23协议

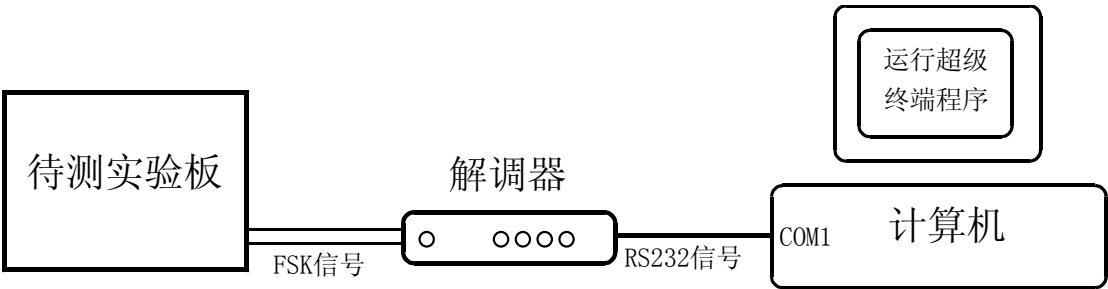
由于电话线传输带宽有限，一般为300Hz到3000Hz，为了通过电话线实现远距离串行通信，一般需要使用调制解调器将数据信号变成模拟信号传输。频移键控（FSK）是一种调制方法。简单地说，就是使用两个单一频率的正弦信号分别代替数字信号的‘0’和‘1’。BELL202和CCITT V.23协议对正弦信号的频率和串行通信的波特率进行了具体的规定。参见下表：

STANDARD	TRANSMITTED or RECEIVED BAUD RATE	TRANSMIT or RECEIVE FREQUENCY ASSIGNMENTS (Hz)
CCITT V.23	1200	M1300 S2100
	600	M1300 S1700
	75	M390 S450
CCITT V.21	300 High Band	M1650 S1850
	300 Low Band	M980 S1180
BELL 202	1200	M1200 S2200
	150	M387 S487

注：M为传号（Mark），对应‘1’；S为空号(Space)，对应‘0’

#### 3、测试FSK信号输出

为了对输出的FSK信号进行测试，组成如下系统：



参考书:

- 1、《A Technical Tutorial on Digital Signal Synthesis》 Analog Device 1999 。
- 2、何小艇，《电子系统设计》，浙江大学出版社，2001  
第六章：电子系统综合设计举例。
- 3、《第二届全国大学生电子设计竞赛获奖作品选编（1994~1995）》，  
北京理工大学出版社，1997。
- 4、王福瑞，《单片微机测控系统设计大全》，北京航空航天大学出版社，1999  
A/D、D/A 。
- 5、《信号、系统与信号处理》Ashok Ambardar著 冯博琴，冯岚，丛臻，刘鹰等译 机械工业出版社 2001
- 6、ANALOG DEVICES公司的AD9850和AD9854芯片资料 AD9850\_e.pdf 和 AD9854\_b.pdf
- 7、MODEM芯片资料 tcm3105.pdf 和 cmx867ds.pdf