

Lattice ispLSI 1000/E 系列

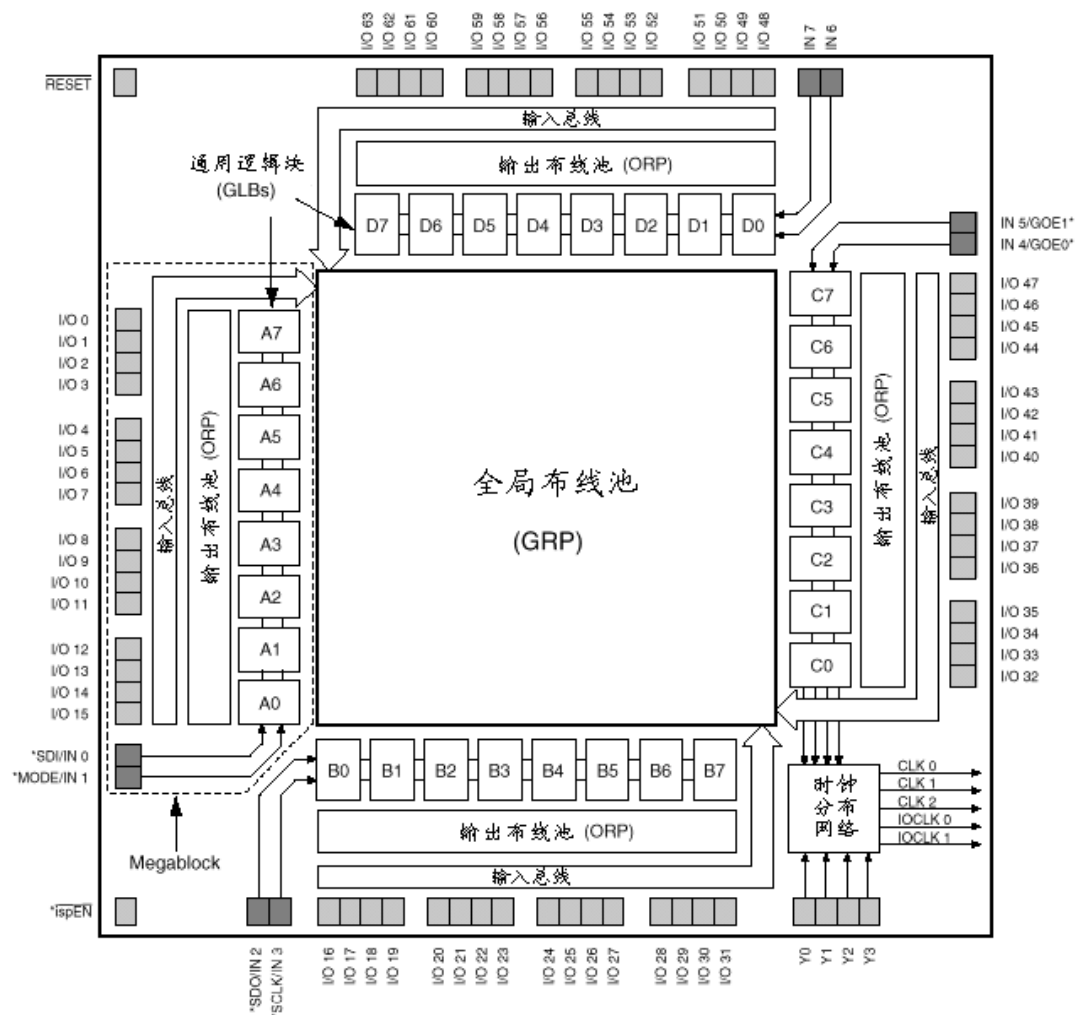


图 1 ispLSI1032E 功能框图

ispLSI 1000E 的功能是 ispLSI 1000 的超集，结构也与 ispLSI 1000 接近。ispLSI 1000E 器件增加了 2 个新的全局输出使能（ispLSI1016E 只增加 1 个）和可编程的快速率输出控制。ispLSI 系列的基本逻辑单元是通用逻辑块（GLB）。图 9—4 显示了 ispLSI1032E 的 32 个 GLB，标号依次为 A1、A2...D7。每个 GLB 有 18 个输入端、可编程的与 / 或 / 异或阵列以及 4 个输出端，可以被配置成为组合或时序逻辑。GLB 的输入来自于全局布线池（GRP）和专用输入引脚。所有的 GLB 输出被送回到 GRP，因此它们可以连接到器件中任何其它的 GLB 的输入端。

以 ispLSI 1032E 为例，芯片中有 64 个 I/O 单元，每个 I/O 单元都直接连到一个 I/O 引脚。I/O 单元可以被单独地编程为一个组合输入、寄存器输入、锁存输入、输出或具有三态控制的双向 I/O 引脚。此外，所有的输出都可以选择极性、上沿有效或下沿有效。信号电平与 TTL 电压兼容，输出 4mA 电流驱动或吸进 8mA 电流。每个输出可以被独立地编程为低速输出转换速率以全面减小输出开关噪声。

I/O 单元被每 16 个一组分成多个组。每个 I/O 单元组通过使用输出布线池（ORP）与一个巨型块（Megablock）相关联。

8 个 GLB、16 个 I/O 单元、1 个 ORP 和 2 个专用输入连接在一起作为一个巨型块（Megablock）。8 个 GLB 的输出通过 ORP 连接到一个具有 16 个通用 I/O 单元的集。每个巨型块（Megablock）共享一个公共输出使能（OE）信号。如图 9—4 所示，ispLSI 1032E 包含 4 个巨型块（Megablock）。

GRP 具有作为它的输入信号的所有 GLB 的输出信号和双向 I/O 单元输入信号。所有这些信号可以作 GLB 的输入。通过 GRP 产生的延迟等价于最小斜坡时间。

器件中的时钟通过时钟分布网络来选择。专用输入引脚（Y0、Y1、Y2 和 Y3）进入时钟分布网络，提供了 5 个输出（CLK0、CLK1、CLK2、IOCLK0 和 IOCLK1）以转送时钟信号到 GLB 和 I/O 单元。时钟分布网络也可以被来自于一个专用 GLB（ispLSI 器件内的 C0）的信号所驱动。这个 GLB 的逻辑允许用户从器件内部信号的组合中建立一个内部时钟。

ispLSI 和 pLSI 1000E 系列功能上等同于 1000 系列，还附加了可选全局输出使能（GOE）引脚。ispLSI 1016E 有一个 GOE 引脚选项，其它的器件则具有两个。在 1016E、1024E 和 1032E，为了引脚兼容，这些引脚可复用为专用输入。

通用逻辑块（GLB）

通用逻辑块（GLB）是 Lattice 半导体公司（LSC）高密度 ispLSI 和 pLSI 器件的标准逻辑块。一个 GLB 有 18 个输入、4 个输出和实现大多数标准逻辑功能所需要的逻辑。GLB 内部逻辑分为 4 个分立的部分：与阵列、乘积项共享阵列（PTSA）、可重配置寄存器和控制功能（如图 2）。与阵列由 20 个乘积项构成，可以产生 18 个 GLB 的任何输入的逻辑乘积。18 个输入中的 16 个输入来自于全局布线池，为从任何 GLB 或外部的 I/O 单元反馈的信号。其余的 2 个输入直接来自于专用输入引脚。

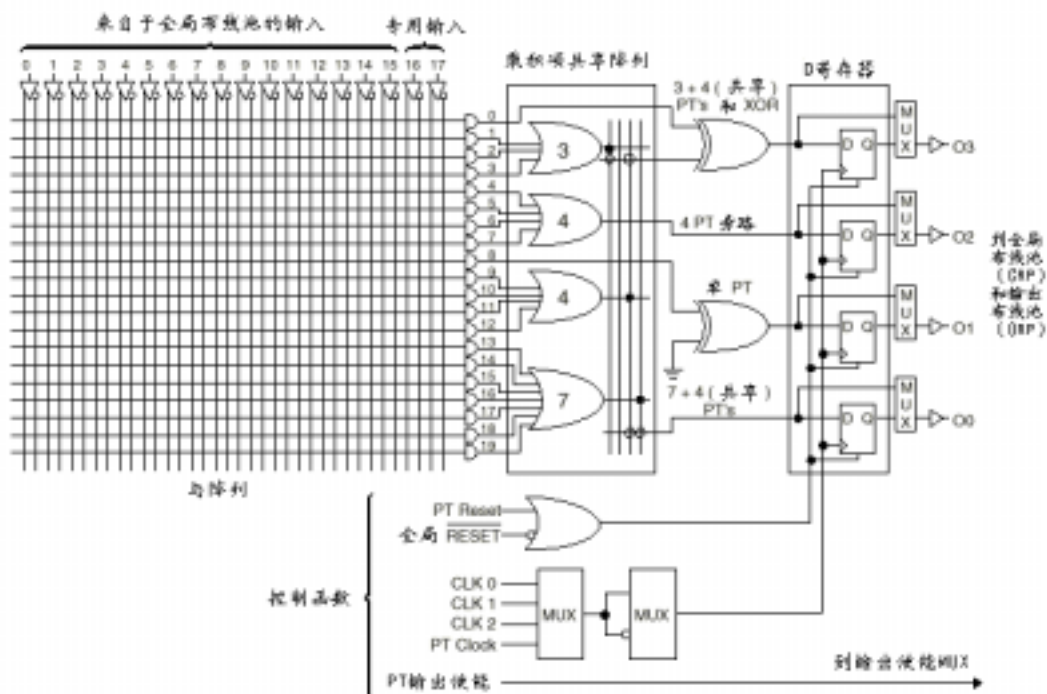


图2 混合模式配置的 GLB

PTSA 携带了 20 个乘积项，并将它们布线到 4 个 GLB 输出端。包含 4 个或门，分别有 4 个、4 个、5 个和 7 个乘积项（如图 2）。这些或门中的任何一个输出可以被布线到 GLB 任何一个输出端，而且，如果需要更多的乘积项，PTSA 可以将它们进行组合。此外，PTSA 可以像 FPLA 器件一样共享乘积项。如果用户的主要注重速度，PTSA 可以使用一个旁路线路，为每个输出提供 4 个乘积项，以便提高单元的性能。这可作用于 GLB 所有的 4 输出端。

可重配置的寄存器由 4 个 D 型触发器，输入端接有一个异或门。GLB 中的异或门可以被用来作为一个逻辑元素或重配置 D 型触发器以仿真一个 J—K 或 T 型触发器（见图 2）。这在很大程度上简化了计数器、比较器和 ALU 型函数的设计。如果用户需要一个组合逻辑输出，寄存可以被旁路。每个寄存器输出被带回全局布线池，同时被通过输出布线池带到 I/O 单元。当使用 4 个乘积项旁路功能时，可重配置的寄存器不能再被利用。

PTSA 足够地灵活，允许使用这些特征虚拟地组合用户的意图。在如图 2 的 GLB 中，输出 3（O3）被配置为使用异或门，而输出 2（O2）被配置为使用 4 个乘积项旁路功能。输出 1（O1）使用 5 乘积项或门中的一个输入，而输出 0（O0）将剩余的 4 个乘积项及从 7 乘积项或门组合为总共 11（7+4）条线。

控制 GLB 输出操作的各种信号由控制函数（如图 2）所驱动。寄存器的时钟可以来自于时钟分布网络中的 3 种时钟源中任意一个，或来自于 GLB 中的一个乘积项。GLB 的复位（Reset）信号可以来自于全局复位引脚（RESET）或来自于 GLB 中的一个乘积项。全局复位引脚总是被连接，并且和 PT 复位（如果使用）逻辑地或（ORed）。一个激活的复位信号总将寄存器置为逻辑 0 状态。与 GLB 相关联的 I/O 单元的输出使能端来自于其中的乘积项。用于控制函数的乘积项使此乘积项不能再用于一个逻辑项。

GLB 中有许多附加的特征，允许实现逻辑函数。这些特征可以在软件中使用固定宏（Hard Macro）。

乘积项共享矩阵

这个矩阵描述了每个乘积项在各种模式中是怎样使用的。作为一个示例，在标准配置中，乘积项 12 可以被用作一个到 5 输入或门的输入。在标准配置下，此或门可以被布线到 4 个 GLB 输出中的任何一个。在 4 乘积项旁路模式中，乘积项 12 不被使用。当 GLB 输出 1 在异或模式中使用，乘积项 12 成为 4 输入或门的一个输入。如果乘积项 12 在逻辑中没有使用，它可以作为异步时钟信号或 GLB 复位信号。

巨型块 (Megablock)

巨型块由 8 个 GLB、1 个 ORP、16 个 I/O 单元、2 个专用输入和一个通用乘积项使能 (OE) 组成。下文将详细描述这些成分。这些元素被组合成对，如图 2 所示。ispLSI 和 pLSI 1000/E 系列的各种成员在单一器件被组合成 6 个巨型块。

对于 1000 系列，巨型块中的 8 个 GLB 共享 2 个专用输入引脚。这些专用输入引脚不能用于任何其它巨型块中的 GLB。这些引脚是专用（非寄存器）输入，由软件自动指定。乘积项 OE 信号在巨型块中产生，可以通用于本块中的所有 16 个 I/O 单元。此 OE 信号可以在本巨型块的 8 个 GLB 中的任何一个中，使用一个乘积项 (PT19) 来产生。详情请参考输出使能控制一节。

因为巨型块中的共享逻辑，共享一个普通函数（计数器、总线等）的信号应当被组合在同一个巨型块中。这将允许用户获得器件中逻辑的最佳利用率。

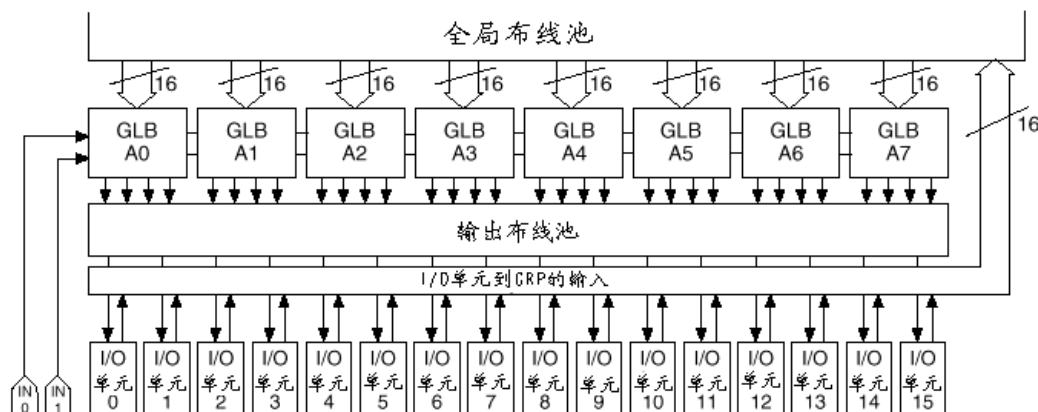


图 3 Megablock 框图

输入布线

在器件，信号输入由两种处理方式。首先，器件中的每个 I/O 单元可以将它们的输入直接布线到 GRP。这给予器件中的每个 GLB 存取每个 I/O 单元输入的能力。其次，每个巨型块具有 2 个专用输入，可以直接连到同一巨型块中的 8 个 GLB。如图 3 所示。

输出布线池

ORP 将信号从 GLB 输出布线到 I/O 单元，配置成输出或双向引脚。在分配 I/O 引脚时，ORP 的目标在于允许非常灵活。它也简化了布线软件的工作，达到很高的利用率。

GLB 输出可以连接到 4 个 I/O 单元中的一个。通过使用 PTSA 可以提供更大的灵活

性，它使 GLB 的输出完全具有内部可交换性。这允许布线程序自由内部交换这些输出以达到最佳可布线性。这是一个自动的处理过程，无需用户参与。

ORP 旁路连接更增强了器件的灵活性。ORP 旁路连接可以以更快的速度指定 GLB 输出到指定的 I/O 单元。

I/O 单元

I/O 单元用来为连接到 I/O 引脚的输入、输出或双向信号布线。一个逻辑输入来自于 ORP，其它的来自于快速 ORP 旁路。一对多路选择器选择将要用到的信号以及信号的极性。I/O 单元的输出使能由在每个巨型块（Megablock）中产生的 OE 信号控制。

作为数据通路，多路选择器选择信号极性。当指定输出引脚时，输出使能可以被设置为高电平使能；或者当在指定输入引脚时，输出使能可以被设置为低电平使能。全局复位（RESET）信号被低电平有效的芯片复位引脚驱动。这个复位信号总是连接到所有的 GLB 和 I/O 寄存器。每个 I/O 单元可以独立地选择 2 个时钟信号中的 1 个（IOCLK0 或 IOCLK1）。这些时钟信号由时钟分布网络产生。

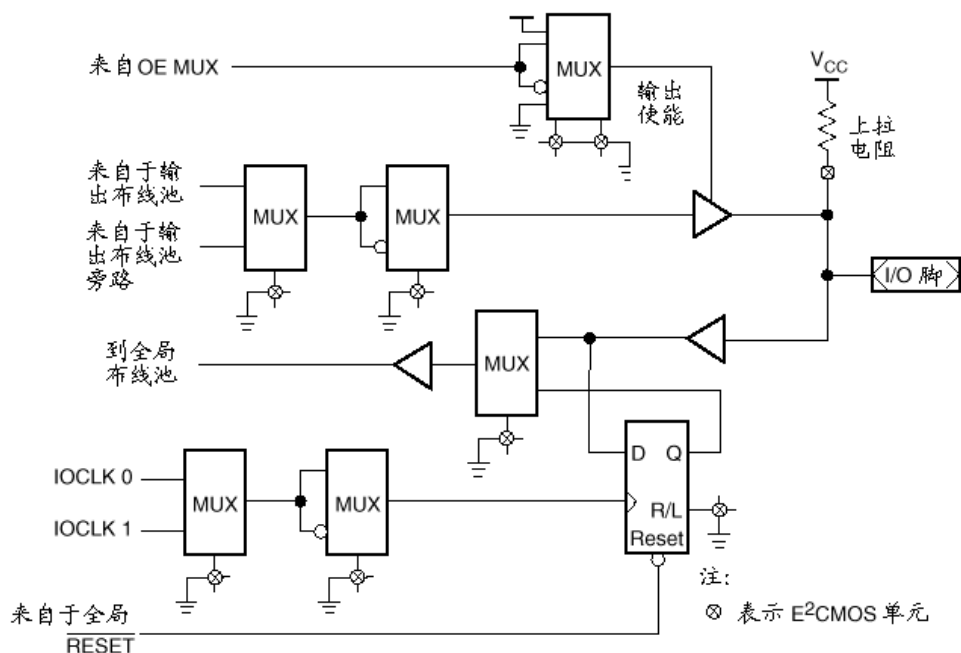


图 4 I/O 单元结构图

使用多路选择器，I/O 单元可以被配置为输入、输出和三态输出或双向 I/O。D 型寄存器可以被配置为一个电平敏感的锁存器或一个边缘触发的触发器以保存进来的数据。图 4 为 I/O 单元结构图，图 5 说明了一些可能的 I/O 单元配置。

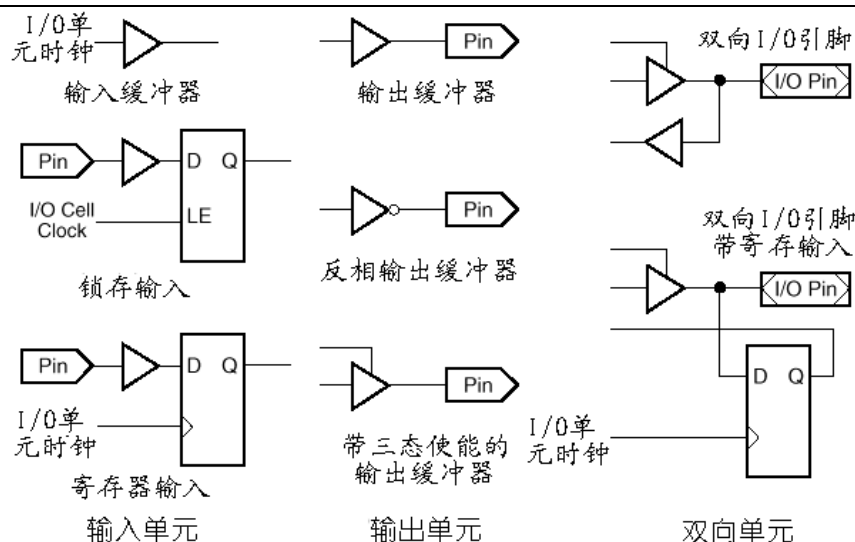


图 5 I/O 单元配置实例

输出使能控制

输出使能控制 (OE) 信号可以由在 GLB 内部的 OE 乘积项 (PT19) 生成。在一个 Megablock 的 8 个 OE 信号中的一个 OE 信号可以布线到本 Megablock 的所有 I/O 单元。这个 OE 信号于是可以控制本 Megablock 中的所有这 16 个以三态模式工作的 I/O 单元。个别的 I/O 单元也具有独立控制永久地使能或禁止使能输出缓冲器的能力。每个 Megablock 中只允许有一个 OE 信号进行三态操作。

OE 信号可以由 Megablock 中的任何一个 GLB 块产生，于是 Megablock 拥有一个没被使用的 OE 乘积项。这将使 OE 乘积项可自由地用作逻辑项。

1000E 和 1048C 器件还具有可选的全局输出使能 (GOE) 输入信号。这些输入提供了最小延迟的输出使能控制，在 1016E、1024E 和 1032E 器件中此引脚也可复用为专用输入脚。

全局布线池 (GRP)

GRP 是一个专用的内部互连结构，在完全连接情况下提供很快的可预测的速度。GRP 允许 GLB 的输出 I/O 单元的输入连接到 GLB 的输入端。任何 GLB 输出可以作为其它 GLB 的输入，类似地来自于 I/O 引脚的输入也可以作为所有 GLB 的输入。由于 ispLSI 和 pLSI 器件结构一致，通用 GRP 的延迟既是一致的又是可预知的。然而，它们还轻微地受到 GLB 的影响。

时钟分布网络

时钟分布网络如图 6 所示，它产生 5 个全局时钟信号：CLK0、CLK1、CLK2、IOCLK0 和 IOCLK1。前三个：CLK0、CLK1 和 CLK2 可以用于驱动器件中所有的 GLB。类似地，IOCLK0 和 IOCLK1 信号用于驱动器件中所有的 I/O 单元。共有 4 个专用系统时钟引脚 (Y0、Y1、Y2 和 Y3)，而 ispLSI 和 pLSI 1016 有 3 个 (Y0、Y1、Y2)。通过利用时钟分布网络，这些引脚可以直接连到任何 GLB 或 I/O 单元。其它的到时钟分布网络的输入

信号来自于时钟 GLB（在 ispLSI 1032 中是"C0"，见图 1）的 4 个输出端。这些时钟 GLB 的可以用来产生用户定义的时钟。

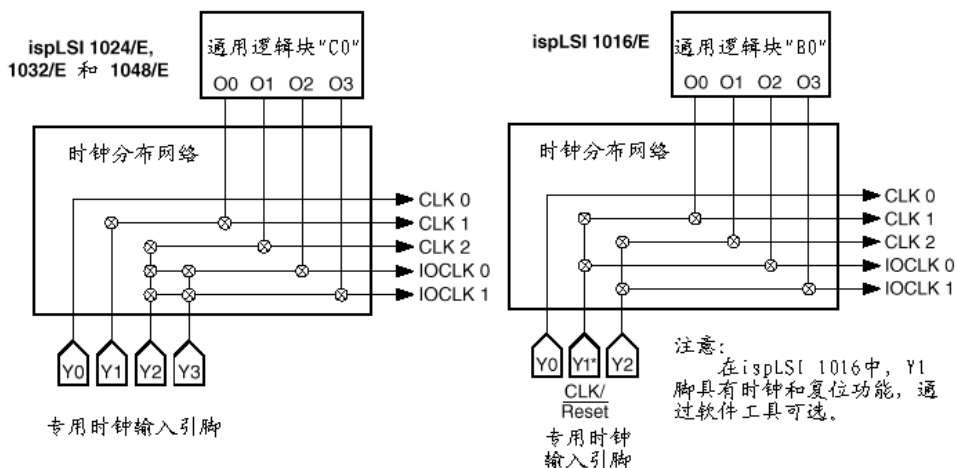


图 6 时钟分布网络

例如，时钟 GLB 可以使用外部主时钟引脚 Y0 引到全局时钟信号 CLK0 作为时钟驱动信号。时钟 GLB 的输出依次产生一个 CLK0 的分频信号，这个信号可以连接到 CLK1、CLK2、IOCLK0 和 IOCLK1 全局时钟线。

所有的 GLB 具有使用时钟乘积项（PT12）来生成它们自己的异步时钟信号的能力。在所有 GLB 中，CLK0、CLK1 和 CLK2 馈给它们对应的时钟 MUX 输入端。

两个 I/O 时钟 IOCLK0 和 IOCLK1 在时钟分布网络产生，被带给所有的 I/O 单元，用户通过对 I/O 单元进行编程来使用它们。