

高速板设计技术(Hi ghSpeedBoardDesi gn)

目录

高速板设计技术(HI GHSPEEDBOARDDESIGN)	1
1. 电源分配	3
1.1 电源分配网络作为动力源	3
1.1.1 阻抗的作用	3
1.1.2 电源总线法 vs 电源位面法	4
1.1.3 线路噪声过滤	5
1.1.4 旁路电容的放置	8
1.2 电源分配网络作为信号回路	9
1.2.1 自然的信号返回线路	9
1.2.2 总线 vs 信号回路平面	10
1.3 设计板面应考虑电源分配	10
1.3.1 当心电源层割缝	11
1.3.1.1 地线电缆的有效性	11
1.3.1.2 分离模拟电源平面与数据电源平面	12
1.3.1.3 避免重叠分离的板平面	12
1.3.1.4 隔开敏感元件	12
1.3.1.5 隔开敏感元件将电源总线靠近信号线	12
2. 传输信号线	
2.1 传输线分类	14
2.1.1 对带状线来说：	14
2.1.2 对微波传输线：	15
2.2 计算分散的负载	15
2.3 反射	16
2.4 反射量化	18
2.5 传输线布局法则	25
2.5.1 避免断点	25
2.5.2 不要使用 STUB 和 TS	26
3. 色度亮度干扰	26
3.1 电容性干扰	26
3.2 电感性干扰	28

3.2.1 线圈的尺寸和紧密程度	29
3.2.2 负载阻抗	29
3.3 干扰解决方法总结	29
4 . 电磁干扰 (EMI)	30
4.1 环路 (LOOPS)	30
4.2 过滤 (FILTERING)	30
4.2.1 EMI 过滤器	30
4.2.2 铁氧体噪声干扰抑制器 (ferri te noi se suppressors)	31
4.3 设备速度	32
总结	33

高速板设计技术(Hi ghSpeedBoardDesi gn)

前言

如今 ,许多系统设计中最重要的因素就是速度问题。66MHz 到 200MHz 处理器是很普通的 ; 233-266MHz 的处理器也变得轻易就可得到。对于高速度的要求主要来自 :

- a) 要求系统在令用户感到舒适的、很短时间内就能完成复杂的任务。
- b) 元件供应商有能力提供高度速的设备。

对 a 举例 : 即使产生最基本的计算机动画 , 也需要先计算大量的数据。目前 , 传播延迟 4.5ns 的可编程 pl d 设备已经出现 , 像 mach 这样的传播延迟 5ns 的复杂 pl ds 也已经存在。尽管它们看起来已经很快了 , 但是 , 使发展有潜力的并不是这些传播延迟绝对值 , 而是传播延迟可能达到的边缘极值 (edge rate) 。将来会出现更快的设备 , 它们将具备更快的边缘极值。

设计高速系统并不仅仅需要高速元件 , 更需要天才和仔细的设计方案。设备模拟方面的重要性与数字方面是一样的。在高速系统中 , 噪声问题是一个最基本的考虑。高频会产生辐射进而产生干扰。边缘极值的速度可以产生振铃 , 反射以及串扰。如果不加抑制的话 , 这些噪声会严重损害系统的性能。

本文讲述了使用 pcb - 板设计高速系统的一般原则 , 包括 :

- ◆ 电源分配系统及其对 boardi nghouse 产生的影响
- ◆ 传输线极其相关设计准则
- ◆ 串扰 (crosstalk) 极其消除
- ◆ 电磁干扰

1. 电源分配

设计高速系统板时需要考虑的重要问题就是电源分配网络。对一个无噪声系统来说 , 它必须有一个无噪声的电源分配网络。记住 , 如果想开发一个干净的 VCC , 那么得到一个干净的地就是十分必要的。对 AC 这个目的来说 (这将是本文的讨论重点) , VCC 就是基础地。

1.1 电源分配网络作为动力源

1.1.1 阻抗的作用

让我们考虑一块 5*5 的板子 , 数字 ICs , 并有一个 +5.0V 的电源。我们的目的是给位于板子上每一个设备管脚提供正好是 +5V 的电压 , 不管这些设备管脚在板子上与电源的距离如何。再进一步 , 每个管脚上的电压应该没有线噪声 (Line noise) 的。

具有这些性质的电源表现为一个理想电压源 (图 1a) , 它的阻抗为零。零阻抗可以保证负载与电压源恰好相等。它还意味着噪音信号将被吸收 , 因为噪音发生器有最小阻抗的极限。很不幸 , 这只是个理想条件。

图 1b 画出的是一个真正的电源 , 它有一定的以电阻 , 电感或者电容形式存在的阻抗。

它们分布在整个电源分配系统中。因为有了阻抗，噪音信号也加入了电压（voltage）中。

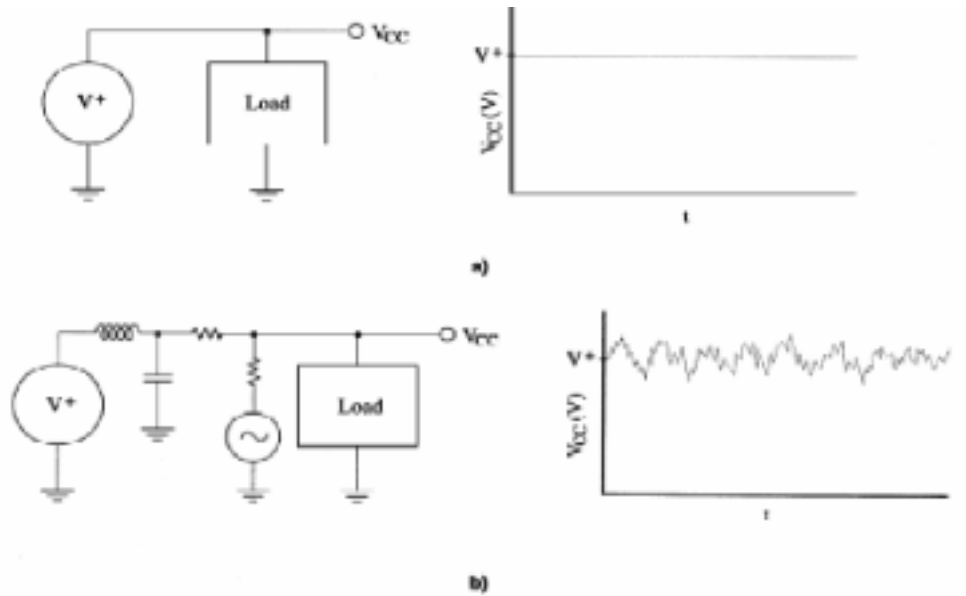


图 1.1 电源模型

我们的设计目的是尽可能减小网络中的阻抗。有两种方法：电源总线法（power buses）和电源位面法（power planes）。一般来说，电源位面法较之电源总线法有着比较好的阻抗特征，不过，就实用性来说，总线法更好一些。

1.1.2 电源总线法 vs 电源位面法

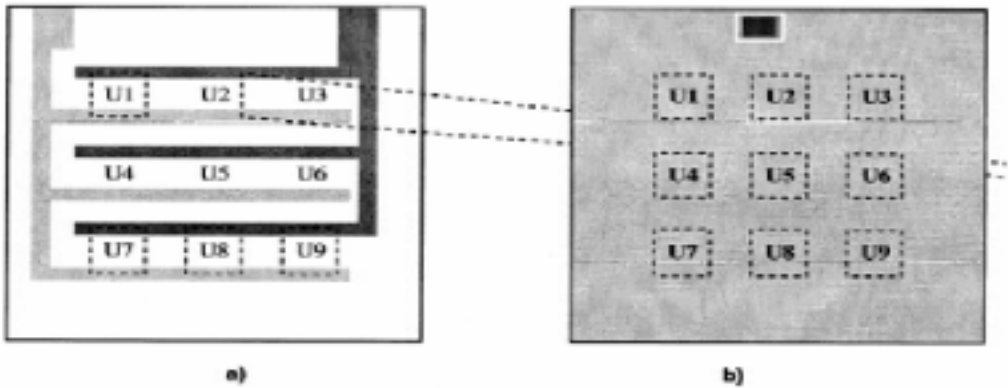


图 1.2 电源总线法和位面法模型

两种电源分配方案分别用上图 2 的 a 和 b 表示。

一个总线系统（图 2a）是由一组根据系统设备要求不同而具有不同电压级别的线路组成的。从逻辑上讲，典型的应该是+5V 和地线。每种电压级别所需的线路数目根据系统的不同而不同。

一个电源位面系统（图 2b）是由多个涂满金属的层（或者层的部分）组成的。每个不同电压级别需要一个单独的层。金属层上面唯一的缝隙，是为了布置管脚和信号过孔用的。

早期设计更倾向于总线方法，因为把整个层用作电源分配，成本比较高。电源总线与信号线分享那些层。总线需要给所有的设备提供电源，而且还要给信号线留出空间；于是，总线必须是很长很窄的带子。这使得在较小的交叉范围内产生一些小阻抗。

尽管这些阻抗很小，但是仍然很重要。一块最简单的板子也会有 20 到 30 个 IC。如果一个带有 20 个 IC 的板子上，每个设备有 200mA，那么总电流将为 4A。那么总线上 1.125 欧姆的小阻抗将会造成 0.5V 的电压损失。如果供应的总电压是 5V 的话，那么总线上最后一个设备仅能得到 4.5V 的电压。

因为电源位面系统使用的是整个层，那么它的唯一限制就是板子的尺寸问题。带有同样多设备的系统，电源位面上的阻抗只是总线系统上的阻抗的一个零头。因此，电源位面系统似乎比总线系统更可能为整个系统提供全电压。

在总线上，电流被限制在总线的路线上。每个高速设备产生的线路噪声都将被带入这条线路中其他的设备。如图 2a 的板子，噪声由 U9 产生，经总线带给 U7。

电源位面系统中，电流不受线路控制，分布在整個层上。由于整体阻抗小，电源位面系统比总线系统的噪声更小。

1.1.3 线路噪声过滤

仅仅电源位面系统无法减小线路噪声。由于不论使用怎样的电源分配方案，整个系统都会产生足够导致问题发生的噪声，额外的过滤措施是必需的。这一任务由旁路电容完成。一般来说，一个 1 μ f-10 μ f 的电容将被放在系统的电源接入端，板上每个设备的电源脚与地线脚之间应放置一个 0.01 μ f-0.1 μ f 的电容。

旁路电容就是过滤器。放在电源接入端的大电容（约 10 μ f）用来过滤板子产生的低频（比如 60Hz 线路频率）。板上工作中的设备产生的噪声会产生从 100MHz 到更高频率间的合共振（harmonics）。每个芯片间都要放置旁路电容，这些电容比较小，大约 0.1 μ 左右。

由于我们的目的是过滤掉电源供应中的 AC 成分，所以电容似乎越大越好，最大限度的减小了阻抗。但是，这样想没有考虑到现实条件的电容并不具有理想条件下的那些特性。

理想条件下的电容，如图 3a，实际的电容则如图 3b。

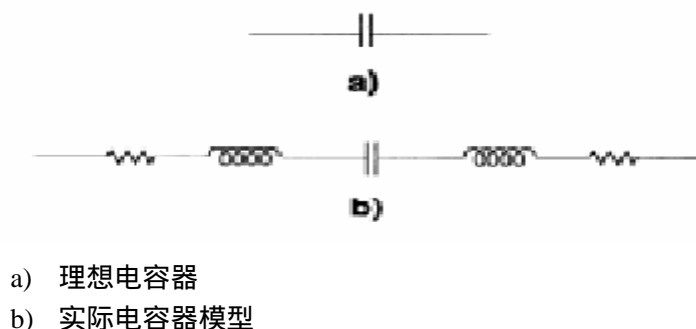
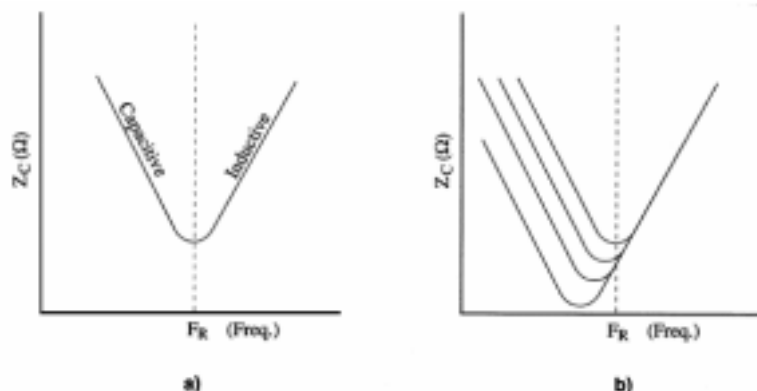


图 3 电容模型

电阻和电感是由组成电容的金属板和石墨板造成的。由于它们寄生于电容，于是被称为等级电阻（ESR）和等级电感（ESL），因此电容是一系列共鸣的电路，因为：

$$f_R = \frac{1}{\sqrt{LC}}$$

由图4a看出，在小于 F_R 的时候，它是电容性的，而大于 F_R 的时候，它是电感性的。

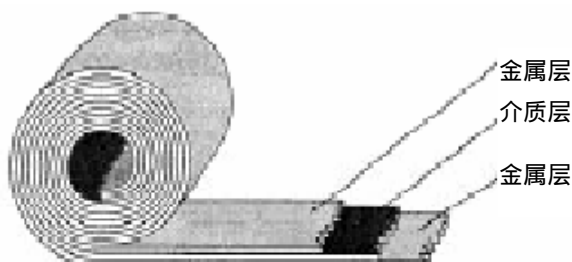


- a) 电容阻抗与频率的关系
- b) 在同等结构之下减小电容容量的效果

图4 频率于电容阻抗的关系

因此，电容器更像一个针对一个带宽的过滤器（band-reject filter），而不是一个高频过滤器（high-frequency-reject filter.）。

举个例子来说，一个10u的用作板电源连接的电容通常是由一卷用绝缘材料隔开的金属帛组成（图5）。这样造成了很大的ESL和ESR。由于ESL很大， F_R 一般在1MHz以下。它们良好的对付60赫兹噪声的过滤器，但是对于100MHz及更高频率的跳变（switching）噪声就不太理想了。



容量>uF 电容的内部结构

图5 大电容的结构

ESK, ESR决定于制造电容的绝缘材料和电容构造，而不是电容的大小。想要降低高频噪声，凭借相同种类的大电容是无法解决的。在低于一个小电容的 F_R 的时候，一个大电容的阻抗比这个小电容的阻抗要小，但是当高于 F_R 的时候，ESL占据了主导，这时候大电容与小电容的阻抗没有区别（图4b）。因为仅仅电容值改变了，除非电容的构造改变，否则ESL不会改变。若要过滤高频，必须用一个ESL低的电容替换当前的电容。

为了不同的频率及应用，有不同种类的电容可供选择，表格1给出一些介绍：

Table 1. Bypass Capacitor Groups

Type	Range of Interest	Application
Electrolytic 电解电容	1 μF to > 20 μF	Commonly used at power-supply connection on board.
Glass-Encapsulated Ceramic 玻璃封装陶瓷电容	0.01 μF to 0.1 μF	Used as bypass capacitor at the chip. Also often placed in parallel with electrolytic to widen the filter bandwidth and increase the rejection band.
Ceramic-Chip 陶瓷电容	0.01 μF to 0.1 μF	Primarily used at the chip. Also useful where low profile is important.
COG	< 0.1 μF	Bypass for noise-sensitive devices. Often used in parallel with another ceramic chip to increase rejection band.

表1 推荐在不同频率下使用的旁路电容表

低ESL电容通常由非铁磁材料制成，有较小的电压 - 电容乘积。所以，制造具有实用的崩溃电压（防止板漏）的大电容是很困难的。不过，由于较好的过滤特性，大值电容可能并不需要。图6比较了一个COG型号0.01 μF 的电容和一个另外种类0.1 μF 的电容。我们发现0.01 μF 电容在频率高时过滤得比较好。

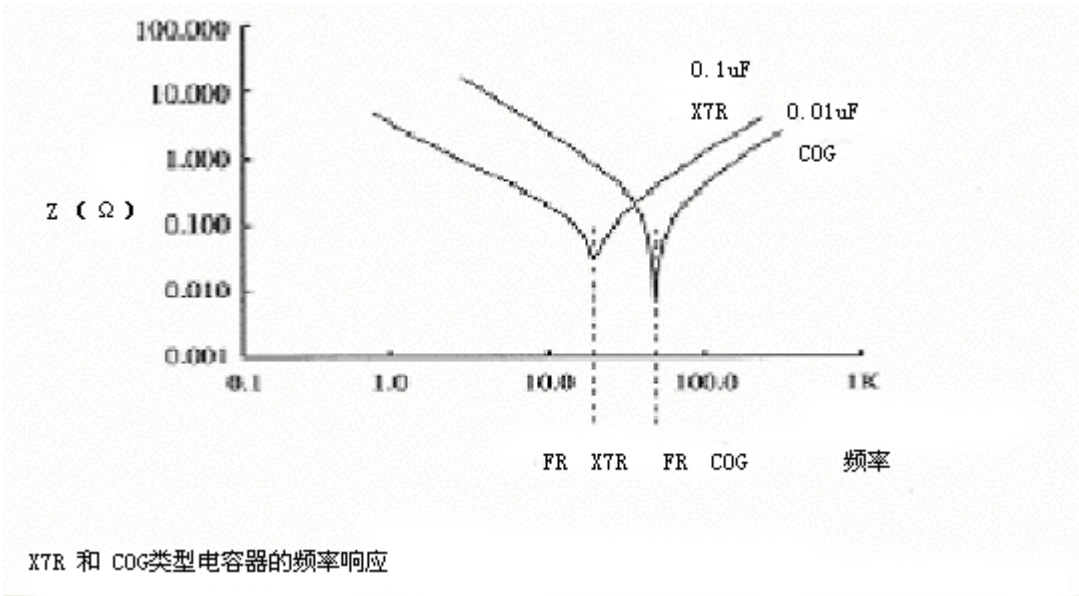
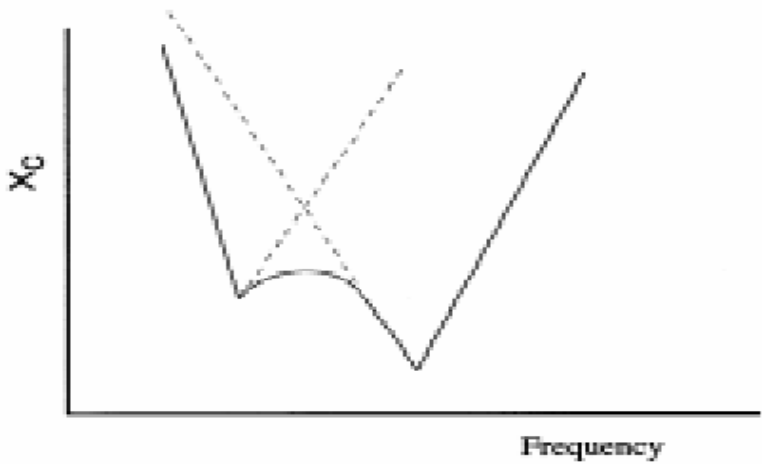


图 7 几种电容的滤波效果

电容器图向我们显示，每种电容器都有一个有限的频率有效范围。一个系统既有低频噪声，

又有高频噪声，为此，我们希望能够将频率有限范围扩大。为实现这一目的，我们可以将一个高电容，低ESL的设备与一个低电容，极低ESL的设备并联。图7显示这样做可以显著提高有效过滤频率范围。



X7R 与 C0G 两种结构电容的频率响应

图 7 X7R 与 C0G 两种结构电容的频率响应

1.1.4 旁路电容的放置

选择好过滤电容之后，需要将它们放置到板子上。图8a描述低速板放置电容的一般标准。电容应放在接近设备的顶部以保证其有效性。虽然画图很简单，但是这样并不能提供最快的系统性能。

我们注意到VCC电容很接近芯片接VCC的位置，但是接地端却很远。因为噪声在一个电源平面上并不是均衡的，电容并不过滤芯片导线（chip leads）产生的噪声；它只过滤芯片附近的噪声。

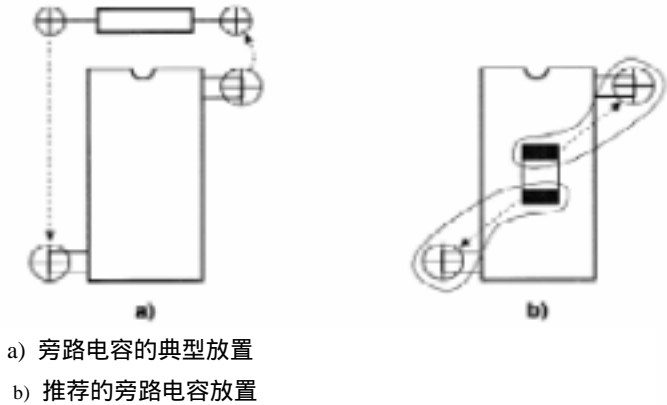


图 8 放置旁路电容的位置

为达到良好的性能，应该使芯片与电容在同一点上接VCC和接地。因为电容的尺寸与芯片的尺寸是不同的，所以有必要从VCC和地线接入点分别引两条线到电容器。如图8b。这些“延长导线”放在无电源平面上，而且越短越好。通常，最好将电容放在板子的正对面，芯片的正下方。一个表贴芯片放在那里可以得到很好的工作效果。

注意：从电容到电源管脚布下的“延长导线（lead extension）”可能占用了原本用来布信号线的位置。但是，现在就在布置（routing）信号线花费一些额外的精力可以减少以后为减小噪声需要做的工作。

对于有多个VCC和地线管脚的设备，最佳的旁路取决于设备本身。特别决定于电源管脚

是否是内部连接的 (connected internally)。对于这样的设备，只需要旁路一个地线管脚到一个VCC管脚。若电源在内部是分散开的，这些分开的VCC管脚需要分别去耦 (decoupled)。总体来说，最好与设备供应商联系，听取他们的建议。

1.2 电源分配网络作为信号回路

电源网络一个令人吃惊的功能就是它可以为系统所有的信号提供一个回路，无论信号是否在板内产生。这样的设计可以削弱很多高速噪声问题的产生。

1.2.1 自然的信号返回线路

高速系统设计最重要的部分之一就是在信号跳变时产生的能量。每次信号跳变时都会产生 AC 电流。电流需要一个闭合回路。如图 9a, 9b 所示，回路可以由 VCC 提供或者地线提供。回路由图 9c 表示。

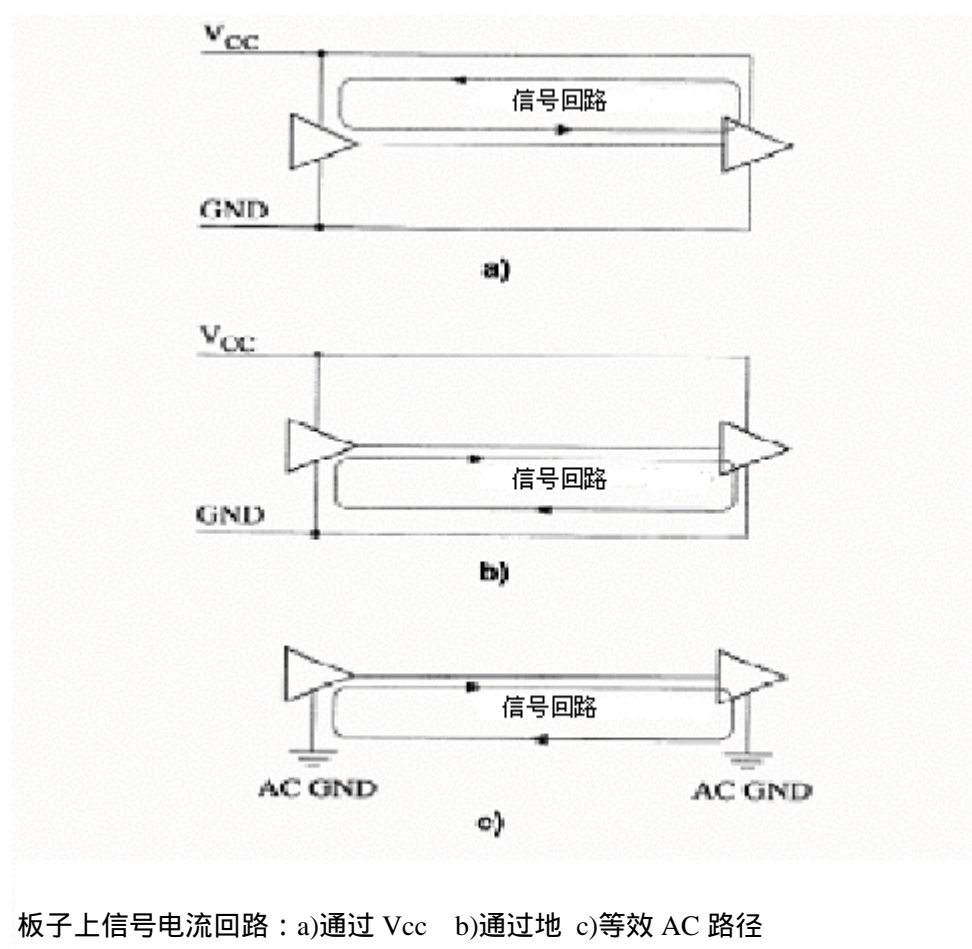


图 9 电流闭合回路的几个方法

电流环路产生电感，可以将其看作一个单圈电感。它会增强振铃，串扰和辐射。电流环路电感及其带来的问题随着环路的大小增大而增大。为减小这些问题，需要减小环路的尺寸。

AC 返回信号可以取路于整个板面，但是实际上会取最小阻抗的路线。阻抗包括电感和电容。金属的阻抗很小；所以阻抗主要来自于电感。由于阻抗随着电感的增大而增大，阻抗最小的路线也就是电感最小的路线。

如果信号线由 A 到 B 随机挑选路径，自然回路不一定是一条直线，尽管它可能被认为具

有最小的阻抗。如图 10 所示，将一条信号线及其回路分开，则其相应的电感也会增大。若希望路线具有最小阻抗，则需要将信号返回线靠近信号线。如果可能，将返回线尽量靠近信号线，可以得到最小的环路。在多层板中，“尽量靠近”通常表示信号路线正上方或正下方的地线平面或者 Vcc 平面。在双层板中，则意味着最近的地线或者 Vcc 线路。

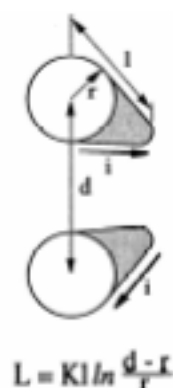


Figure 10. Inductance Increases as the Signal and Return Path are Separated

图 10 当信号与回路断开导致电感增加

1.2.2 总线 vs 信号回路平面

图 2a 表示一个电源总线有着固定的线路。信号回路必须跟从这条线路，无论是否是最佳的路线。除非信号线是有意靠近电源总线布置而且已经是最小环路尺寸，否则这条信号线很可能是一条很长的线路。如果板子使用了未加精心布置的电源分配总线，就可能产生相当大的噪声。

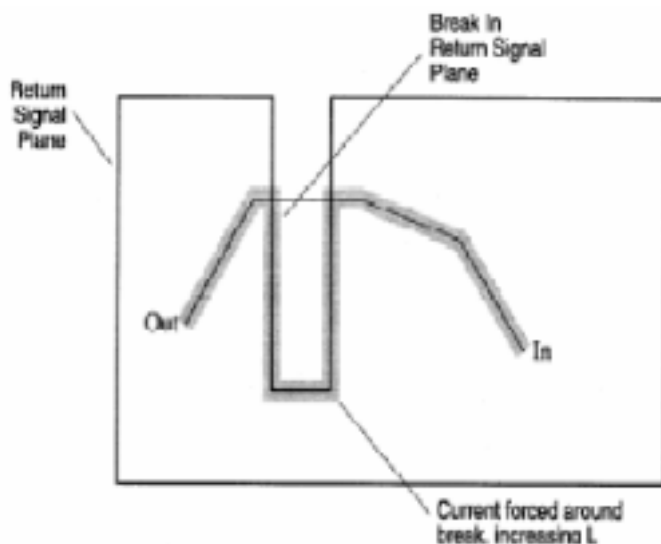


Figure 11. The Increase in Loop Size Due to a Break in the Power Plane

图 11 电源平面的断缝将导致回路尺寸的增加

1.3 设计板面应考虑电源分配

下面的几条原则有助于发挥电源平面的优点，避免缺点：

电源平面并没有对电流施加天然的限制。于是返回信号可以取道最小阻抗的线路，也就是距离信号线最近的线路。这也就产生最小的电流回路，这正是高速系统需要的解决方案。

尽管电源平面方案比总线方案更优，但是设计者的失误仍然可能使得这些优越性丧失。自然线路上的任何一个断点都会使得电流绕道而行，从而加大环路的尺寸(图 11)。所以请小心地线平面和电源平面上的断点。

1.3.1 当心电源层割缝

电源平面上的断点(cuts)往往出现在割缝处和过孔上。它们是连接板的对边、连接元件与板子连接器的电路中必要的部分。它们经常被很多小缺口(gaps)所围绕,这些小缺口位于电源层,它们被腐蚀用以防信号线短路的。如果过孔离得太近,腐蚀的线又太粗,它们就会连在一起,形成一个回路上的阻碍。断点可能发生在背板连接器(connectors)及设备插槽中(device sockets)(图12)。

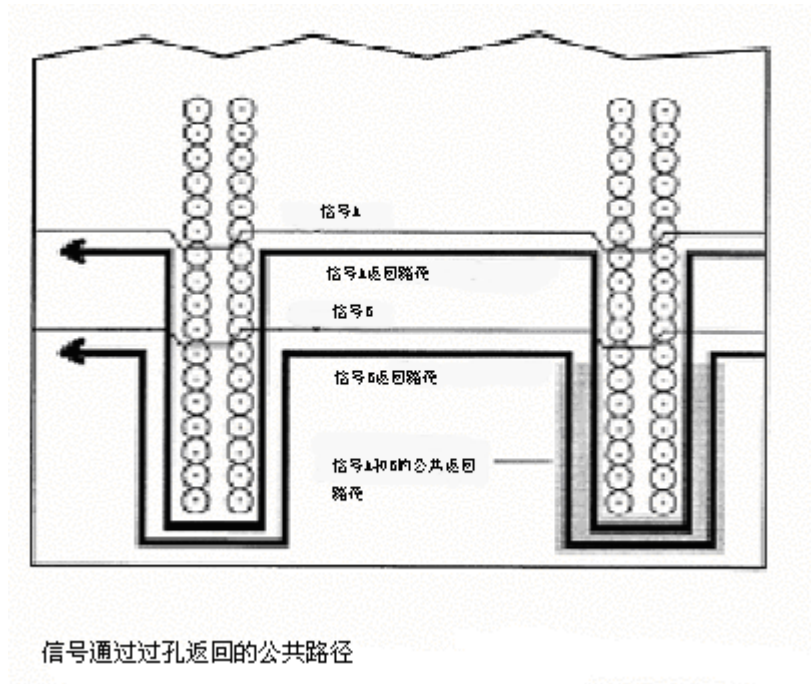


图12 信号通过过孔返回的公共路径

例如,断点可能发生在VME背板的连接器上。104脚的连接器具有可能会阻碍信号回路的过孔。所有的信号不得不通过板子的边缘才能形成回路。这样不仅回路的尺寸变大,而且边缘部分被所有的信号共用,会产生串扰。

1.3.1.1 地线电缆的有效性

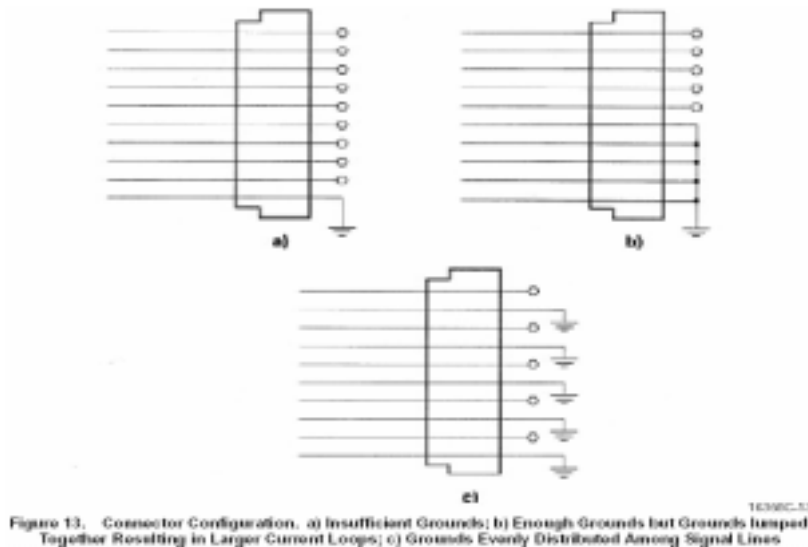


图13 电缆的接法

我们现在讨论的回路尺寸问题同样适用于脱离板面的电缆。每个信号都需要有一对电线:一条用于传输信号,一条用于传输返回信号。这两条线应该尽量贴近以减小回路尺寸。图13a和图13b示范了不正确的结构,而图13c则是正确的结构。

1.3.1.2 分离模拟电源平面与数据电源平面

高速模拟系统对数字噪声是很敏感的。比如，放大器可以将跳变噪声放大，几乎像一个尖峰脉冲(spike)。在既具有模拟与数字两种功能的板子上，一般这两种电源是需要分开的；两个平面在电源上叠放在一起。对于同时使用两种（模拟和数字）信号的板子来说，这种方法会导致一些问题（比如 DAC 和电压比较器）。信号线必须跨过平面边界。这些边界迫使回路在回到驱动之前，先回到电源。

在信号交叉的接地平面放置跳线可以很好的解决问题(图 14)。Jumper 在断点处为返回信号提供了桥梁；也使得回路的尺寸减小。

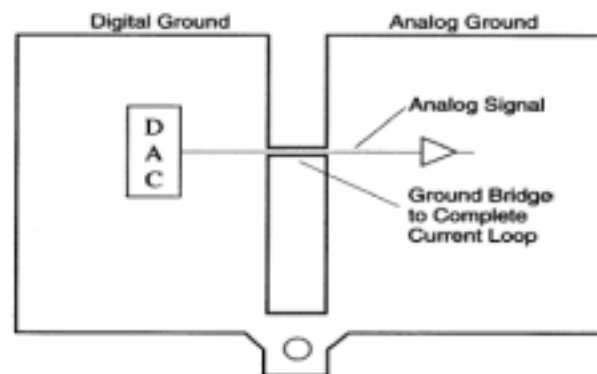


Figure 14. Jumper Between Analog- and Digital-Power Planes for Signal-Return Path

图 14 处理在信号交叉的接地平面的方法

1.3.1.3 避免重叠分离的板平面

当我们使用分离的电源平面的时候，不要将数字电路的电源平面与模拟电路的电源平面重叠。将数字电路的电源平面与模拟电路的电源平面分开的目的是将数字电路与模拟电路分开。如果板平面交叠，电路就会有交叠的可能，会损害电路的分离性。

为了保证分离性，一块板子，分离的平面(planes)之间切开。检查板子新暴露在外面的边缘部分。应该看不到任何金属部分，除非因为有特意留出的跨边界的电路或者连接。

1.3.1.4 隔开敏感元件

图 15 马蹄形隔离区域

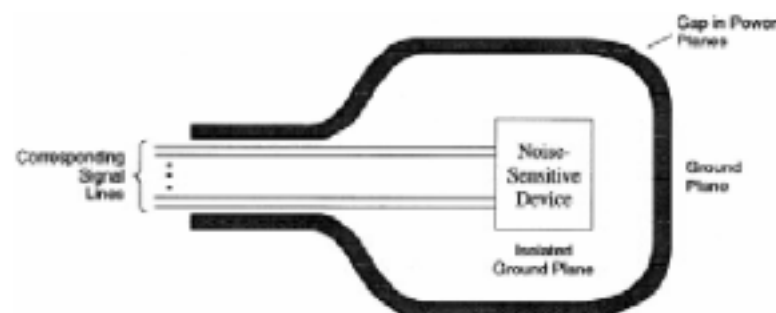


Figure 15. Isolation of Noise Sensitive Components

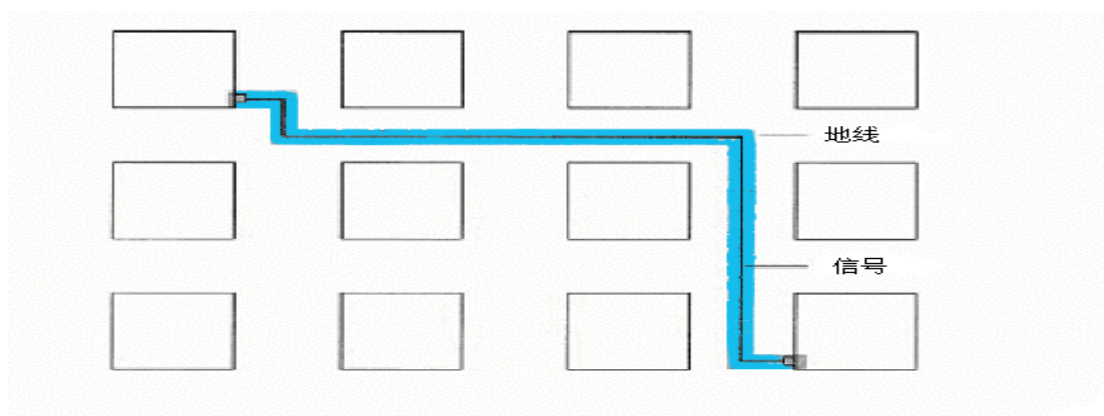
有些设备，比如锁相电路，对噪声非常敏感。它们需要更高级别的隔离。

在电源平面上沿设备周围腐蚀出马蹄形可以达到很好的隔离效果(图 15)。所有进出该设备的信号都由马蹄形一端的窄小通路传输。电源平面上电流噪声将会绕过马蹄形地带，不会靠近敏感元件。

使用这个技术的时候，要保证其他所有信号都绕开了隔离的部分。否则，这些线路会产生本项技术原本希望避免的噪声。

1.3.1.5 隔开敏感元件将电源总线靠近信号线

有时候，设计者不得不使用双层板，不能使用电源平面而要用电源总线。即使如此，将电源总线靠近信号线也同样能够减小回路的尺寸。地线总线应该跟随着板子另一面的最敏感的那条信号线（图 16）。这样，这条信号线的回路尺寸和使用电源平面的信号线回路尺寸是一样的。



用Bus电源系统优化的信号回路路径示意图

图 16 用 Bus 电源系统优化的信号回路路径示意图

3. 传输信号线

控制信号线与 AC 地之间的关系应该利用“信号总是取道阻抗最小的路线”这一特性。另一个特性是一条信号线上的阻抗是一个常量。这样的信号线被称作“可控阻抗线”，它是板上信号传输的最佳媒质。

但是，如果信号延迟大于传输时间的一多半，信号线应被看作一条传输线。一条终接负载不合适的传输线受到反射的影响，反射则会使得信号变形。传输线负载端的信号很像振铃（图 17），使得系统速度下降。它还会导致时钟错误，损坏系统功能。

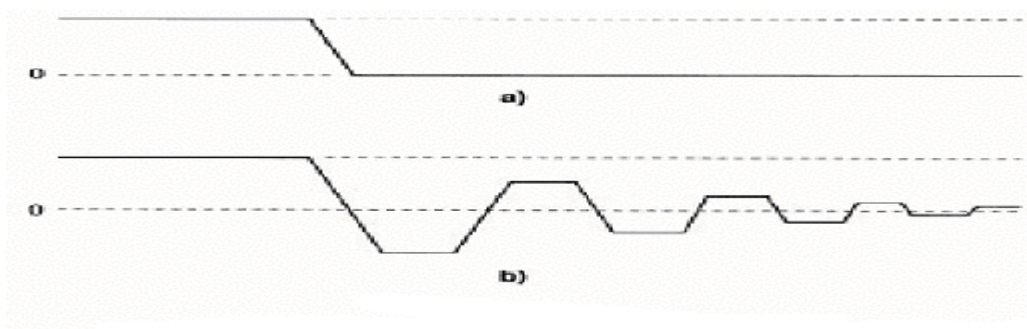


图 17 传输线负载不匹配时的反射信号

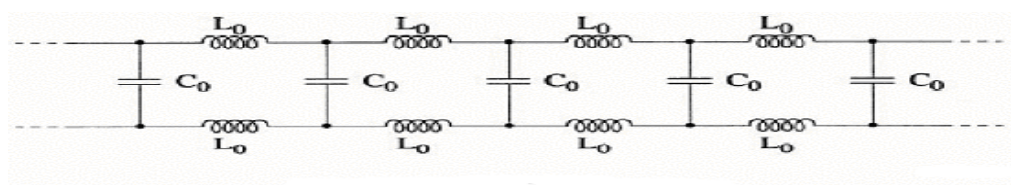


图 18 传输线模型

一个可控阻抗信号线可以用图 18 模型表示。电感和电容均匀地分布在线上。它们分别以亨利每单位长度，法拉每单位长度为单位。

从这个模型，我们可以得到两个重要参数：阻抗 (Z_0)，和传播延迟 (t_{PD})。在一条无损信号线上， Z_0 是一个 AC 阻抗；例如，对于驱动 (driver) 来说， Z_0 是一个纯电阻器。它的单位是欧姆，值等于： $Z_0 = \sqrt{\frac{L_0}{C_0}}$ 式 2-1

其中， L_0 = 信号线自感系数 (亨利每单位长度)

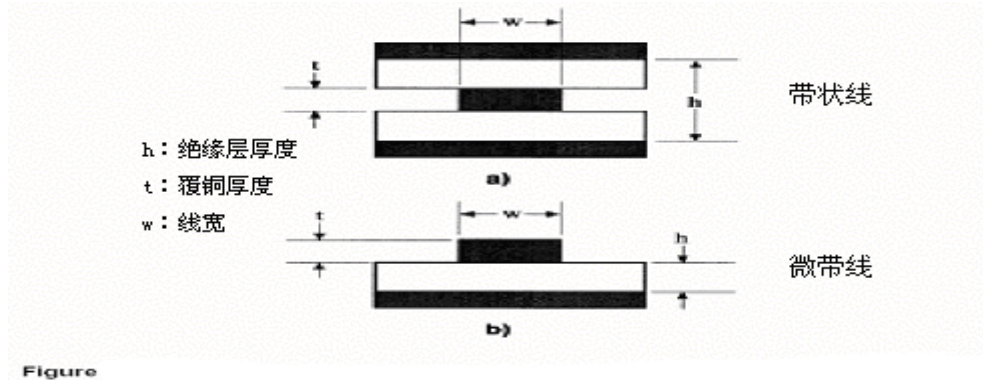
C_0 = 信号线电容 (法拉每单位长度)

延迟时间也依赖于 L_0 , C_0 。单位是“时间每单位长度”，值等于：

$$t_{pd} = \sqrt{L_0 C_0} \quad \text{式 2-2}$$

2.1 传输线分类

因为我们讨论的主要是印刷电路板，可能的信号线种类可以归于两大类：带状线 (stripline) 微波传输线 (microstrip) (图 19)。带状线的信号线夹在两层电源平面之间。这样的设计技术可以得到最干净的信号，因为信号线的两面都受到保护。但是，这样的线是隐藏的，想轻易接触到信号线非常困难。微波信号线则将信号线放在朝外的平面层上。信号线的一端是地线平面。这样的设计技术使得接触信号线变得容易。



Figure

图 19 带状线与微带线地结构

参数 C_0 , L_0 , Z_0 , t_{PD} 和可以由信号线的物理尺寸以及制板物质的绝缘属性决定。下面我们具体讨论。

2.1.1 对带状线来说：

$$Z_0 = \frac{60}{\sqrt{\epsilon_R}} \ln \frac{4h}{0.67\pi w (0.8 + \frac{t}{w})} \quad \Omega \quad \text{式 2-3}$$

$$t_{PD} = 1.017 \sqrt{\epsilon_R} \quad ns / ft$$

$$C_0 = 1000 \frac{t_{PD}}{Z_0} \quad pf / ft$$

$$L_0 = Z_0^2 C_0 \quad pH / ft$$

$$Z_0 = \frac{87}{\sqrt{\epsilon_r + 1.41}} \ln \frac{5.89h}{0.8w + t} \Omega$$

2.1.2 对微波传输线：

$$t_{PD} = 1.017 \sqrt{0.456\epsilon_r + 0.67} \text{ ns / ft} \quad \text{式 2-4}$$

$$C_0 = 1000 \frac{t_{PD}}{Z_0} \text{ pF / ft}$$

$$L_0 = Z_0^2 C_0 \text{ pH / ft}$$

其中 ϵ_r 表示制板材料的相对绝缘系数。一般的制板材料是 epoxy-laminated fiberglass ,它的 ϵ_r

是 5。(国内常用的材料是 FR4 $\epsilon_r = 4.3 \sim 4.5$)

例子：

覆铜厚度 t：线路和板子的尺寸由一些规则规定。一般来说，卖主提供的板子都是 1 oz 铜，所以板子的金属厚度大约是千分之一英寸（1mil）。

布线线宽 w：线路宽度应该在 8 至 15 mil 之间。比 8 mil 更细的信号线很难控制。比 15 mil 更粗的信号线的阻抗则过大。一般信号线的宽度因该是 10 mil。

板间距离 h：则由需要的板子厚度，层数决定。比如，30 mil 就足够了。

介电常数 ϵ_r ：则绝缘材料确定。

基于这些假设，我们可以计算一条典型信号线的参数：

$$w = 10 \text{ mil (线宽)} \quad t = 1 \text{ mil (覆铜厚度)} \quad h = 30 \text{ mil (厚度)} \quad \epsilon_r = 5。$$

根据式 2-4 可以计算出：

$$Z_0 = \frac{87}{\sqrt{5 + 1.41}} \ln \frac{5.89 \times 0.03}{0.8 \times 0.001 + 0.01} = 67.05 \Omega$$

$$t_{PD} = 1.017 \sqrt{0.457 \times 5 + 0.67} = 1.75 \text{ ns / ft}$$

$$C_0 = 1000 \frac{1.75}{67.05 Z_0} = 26.1 \text{ pf / ft}$$

$$L_0 = 67.05^2 \times 26.1 = 117 \text{ pH / ft}$$

2.2 计算分散的负载

以上的计算都是讨论的那种在电路的一端集中接入负载的信号线（图 20）。

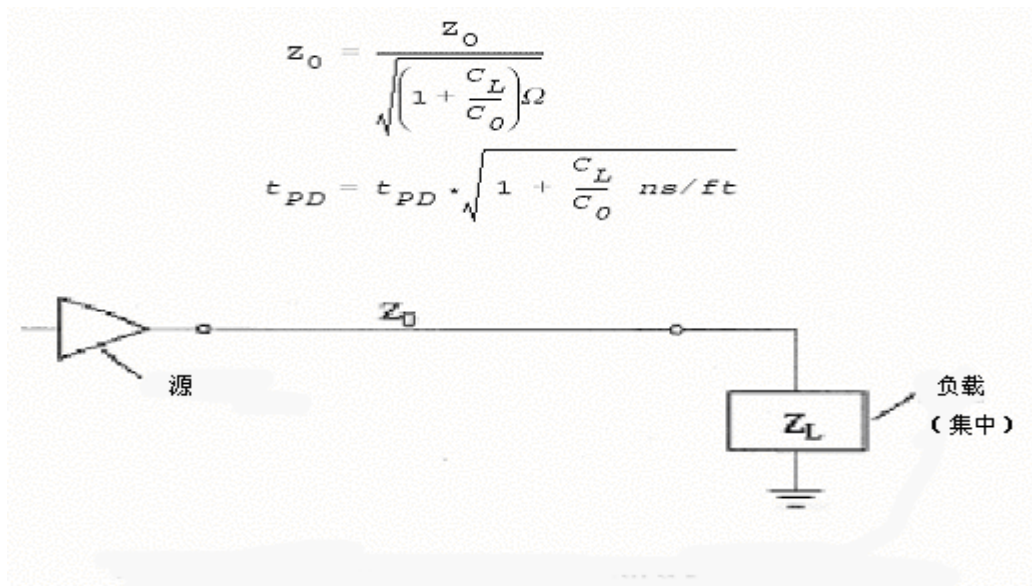


图 20 具有集中负载的传输线

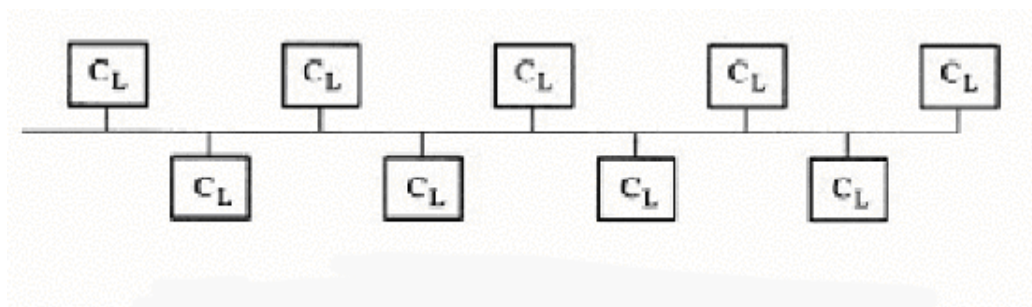


图 21 具有分散负载的传输线

如果负载分散在信号线上（图 21），负载设备的电容也分布在线上，使得线电容加大。这样的改变影响了 Z_0 和 t_{PD} 。新的参数应该等于基于新加入的电容 C_L 计算出来的原值（法拉/每单位长度）。

分散负载通常来自内存插槽（in memory banks）。这些设备的输入电容范围是 4pF 到 12pF。下面的例子使用 5pF。内存设备的物理尺寸通常允许每英寸放置两个。那么额外的分布电容就是：

$$C_L = \frac{5pF}{0.5in \times \frac{1ft}{12in}} = 120 pf / ft \quad \text{式 2-5}$$

当负载分布时，阻抗明显减小，信号也会慢很多，这时的阻抗和时延见式 2-6

$$Z_0 = \frac{67.05\Omega}{\sqrt{1 + \frac{120pf / ft}{26.1pf / ft}}} = 28.34\Omega \quad \text{式 2-6}$$

$$t_{PD} = 1.75ns / ft \times \sqrt{1 + \frac{120pf / ft}{26.1pf / ft}} = 4.14ns / ft$$

2.3 反射

源产生的信号能量是由 Z_0 欧姆决定的。即使线路本身好像是一个阻抗，但是它并不消耗

能量。信号能量必须由负载阻抗 (Z_L) 消耗,如图 20。

如果希望得到从源到负载的最大传输能量,则希望源阻抗与负载阻抗相等。也就是说要传输给 Z_L 全部信号, Z_L 必须与 Z_0 相等。如果它们不相等,则有一部分能量将损耗,另外还有一部分回成为反射返回源。源发生器将调整输出,以便补偿“新”负载。

负载端的信号波形可以被认为是原来产生的信号和后来负载产生的反射信号之和。波形的形状依赖于负载阻抗与传输线阻抗的失调程度,以及信号传输时间 (t_R) 与传播延迟时间的比率 (t), t_R / t 。如果传输时间远远大于延迟时间,那么当反射到达源的时候,原来的信号仅仅被改变了一点点。源发生器能够补偿“新”负载并且传输正确的信号,仅仅有一点点信号干扰。因此负载端信号仅仅有一点点过冲。

如果线路的传输延迟很长,反射在信号改变了一个较大的百分数之后已经回到了源,那么源发生器必须改变一个比较大的量去补偿负载。负载又会反射新一轮传输 (the load reflects the new transition),导致了振铃 (图 17)。

过冲的量和信号线的长度成比例,除非信号线延迟时间等于传输时间。在这种情况下,过冲和原传输相等,有效地将传输摆幅 (swing) 增大一倍。

会产生较大的反射的长信号线可以被认为是传输线。一条线到底是信号线还是传输线,由可容忍的失真量决定。比较宽松的规定认为如果一条信号线的传输时间小于 4 倍的延迟时间的时候,一条信号线就可以被看作一条传输线 (图 22),也就是说 $t_R / \tau \geq 4$ 。

更保守的规定则需要 $\frac{t_R}{\tau}$ 小于 8 倍的传输时间的时候才将一条信号线认为是一条传输线。

一般来说,传输时间与延迟时间的比值越大,信号就越干净。 t_R

这样,我们就知道什么样长度的微波传输带 (microstrip line) 必须被认为是一条传输线。在现有的设备中, t_R 范围是从 5ns(特别是那些使用双极技术的 (bipolar technology)) 到 1ns (比较新的双极及 CMOS 设备)。它们的上升时间和相应的信号线长度由下表 2 给出。

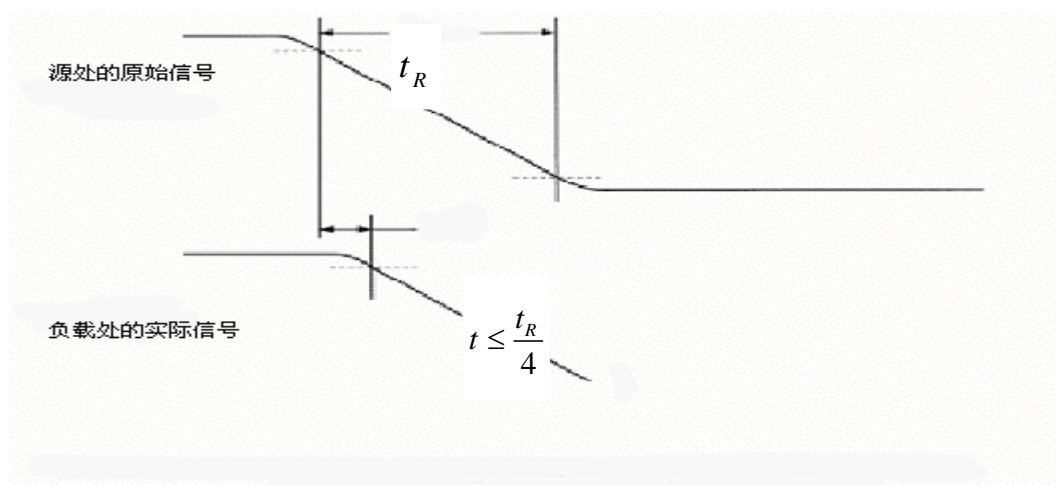


图 22 在传输线上,原始信号与反射信号之间的最小时延的结果

Table 2
Example: t_R and Corresponding Transmission-Line Length for $\frac{T_R}{\tau} = 4$

t_R (ns)	Line Length (inch)
5	8.6
4	6.9
3	5.1
2	3.4
1	1.7

表 2 上升时间 t_R 与传输线长度的对应关系

对于传输时间小于 5ns 的老设备来说，小于 8.6 英寸的信号线不一定要被看作是传输线。对于比较新、比较快的设备来说，即使是 2 英寸的信号线也要被看作是传输线。实际上，高速设备上所有的信号线都应该被看作是传输线。

如果传输线上有分散的负载（如上文所提的例子），那么最小传输线的长度应该被重新考虑。如表 3 所示，一条长度 4 英寸的信号线，如果 $t_R = 5\text{nS}$ ，那么它是一条传输线。如果 $t_R = 1\text{nS}$ ，那么小于 1 英寸的信号线应该被认为是一条传输线。

t_R	线长（英寸）	
	集中负载	分散负载
5	8.6	3.6
3	5.1	2.17
2	3.4	1.4
1	1.7	0.75

表三 对 $t_R / \tau = 4$ 分散负载和集中负载时对应的传输线长

2.4 反射定量化

由于信号线的长度已经足以使其被认为是一条传输线，反射信号的大小将依赖于 Z_0 与 Z_L 的差。numerical indicator 百分比，或者被返回的原信号，被称为反射系数（ K_R ）。等于：

$$K_R = \frac{Z_L - Z_0}{Z_L + Z_0} \quad \text{式 2-7}$$

返回原信号的百分比为: $100 \times K_R$

对于一个开路负载 (open load) : $K_R = \frac{\infty - Z_0}{\infty + Z_0} = 1$

对于一个短路负载 (shorted load) : $K_R = \frac{\infty - Z_0}{\infty + Z_0} = -1$

对于开路或者短路负载来说, 全部的信号都反射了, 没有衰减。 K_R 在短路情况下是一个负值。这表示反射信号与原信号是反向的。

在一块印刷电路板上, 估计出可遇见的不匹配是有可能的 Z_0 的范围一般是从 30Ω 到 150Ω 。输入阻抗的范围从 $10k\Omega$ (对于双极设备) 到 $100k\Omega$ 以上 (对 CMOS 设备)。输出阻抗可以很小。一个 CMOS PAL 设备, 比如 PALCE16V8, 一般它的最低输出阻抗在电压 $0.2V$, 电流 $24mA$ 时候得到, 约为 8Ω ; 它的最高输出阻抗大约为 50Ω , 和期望的 Z_0 差不多。

我们考虑一个比较早期的微波传输带, 负载为一个 CMOS 设备。下面我们讨论在从高到低的传输过程中会发生些什么。(what happens on the HIGH to LOW transition.)

设备的输出阻抗 (Z_S) 为: $Z_S \approx \frac{V_{OL}}{I_{OL}} = \frac{0.2V}{24mA} \approx 8.3\Omega$

我们可以从输出电流/电压曲线上得到更精确的数字:

负载的输入阻抗大于 $100k\Omega$ 。这远大于 Z_0 (67Ω), 所以负载端的 K_R 几乎可以说等于 1。源的 K_R 为: $K_R = \frac{8.3 - 67}{8.3 + 67} \approx -0.78$

于 1. 源的 K_R 为: $K_R = \frac{8.3 - 67}{8.3 + 67} \approx -0.78$

电源产生在 $3.5V$ 到 $0.2V$ 之间变化的信号。由于设备输出阻抗和 Z_0 造成分压 (voltage divider), 所以产生出来的信号是:

$$\Delta_V = \frac{(0.2V - 0.35V) \times Z_0}{Z_0 + Z_S} = \frac{(0.2V - 0.35V) \times 50}{50 + 8} = 2.84V$$

源最后产生的信号是:

$$V_S = 3.5V - \Delta_V = 3.5V - 2.84V = 0.66V$$

当信号传输到负载, V_L 比原来产生时候变化了 $-2.84V$, 经过反射, 又变化了 $-2.84V$ 。

原来 V_L 等于 3.5V，现在则为 -2.19V 了。

开始的时候， $V_S = 0.66V$ 。反射信号回到源。一部分反射经过源 K_R 。 V_S 等于源信号，
反射信号和二次反射信号之和。二次反射等于： $V_R = -0.78 \times -2.84 = 2.21V$

$$V_S = 0.66V \times -2.84V = -0.035V$$

二次反射返回负载。当它到达时候： $V_L = -2.19 + 2.21 + 2.21 = 2.24V$

信号就这样循环往复，每次都变得更小。图 23 表示了这种情况。左右的直线表示源和负载端的电压。带箭头的线表示信号传输和反射的量。

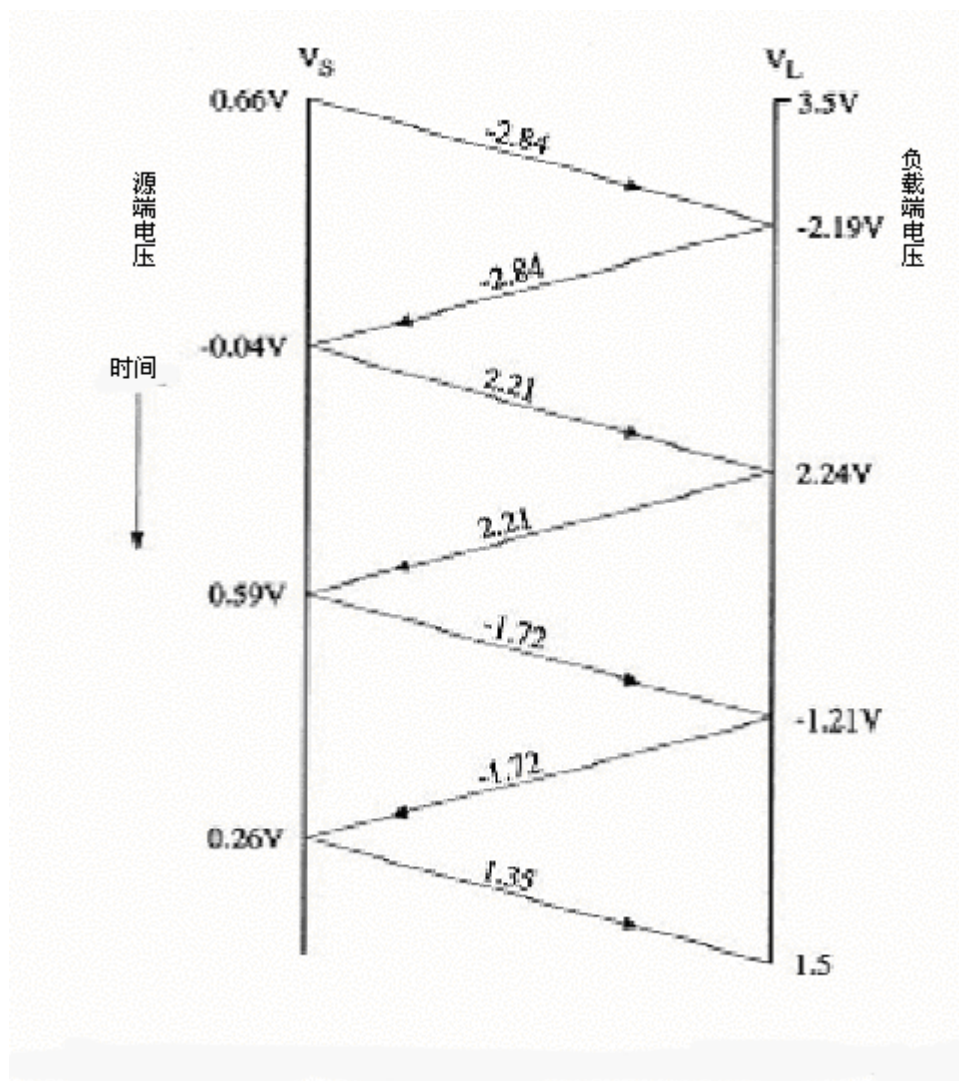


图 23 信号电压在源和负载之间的反射

时间区域上的同样信息由图 24 表示。图的顶部表示源；图的底部表示负载端信号。注意，经过 5 个完全的循环，信号的强度才衰减到输入极限以下。传输延迟从 2ns/ft 到 5ns/ft。

当 $t_{PD} = 3\text{ns/ft}$ 而且线长 6 英寸的时候，线的延迟就是 1.5ns。信号在从源传输后 13.5ns 内都可以被认为是正确有效的。

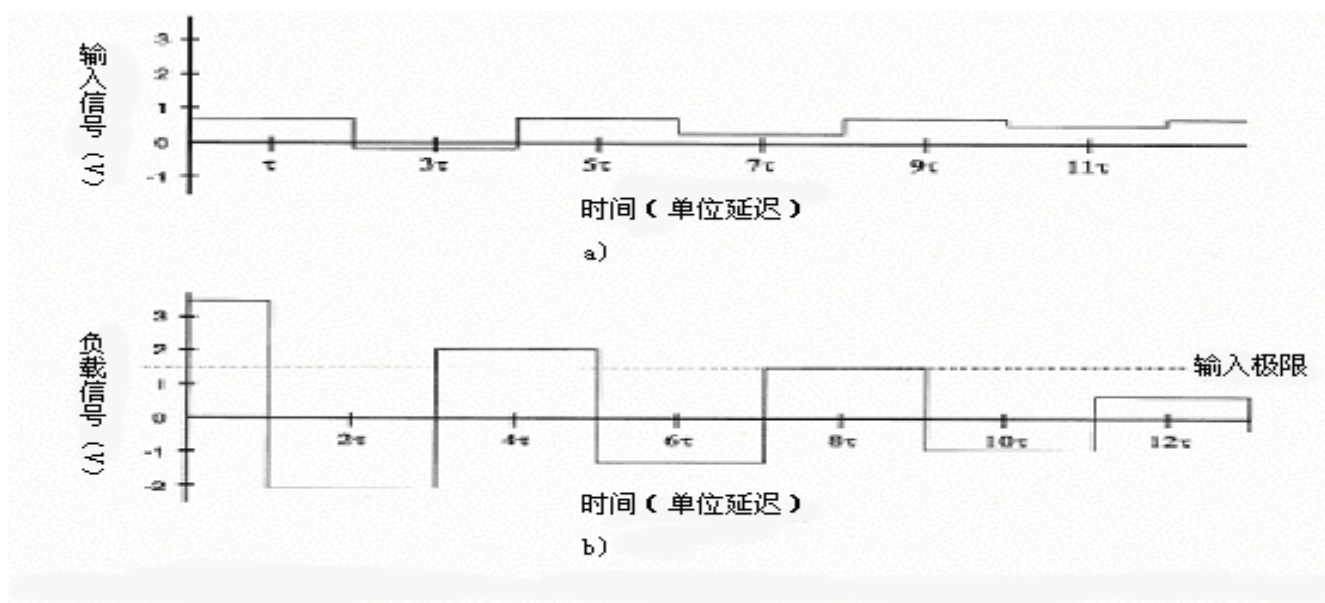
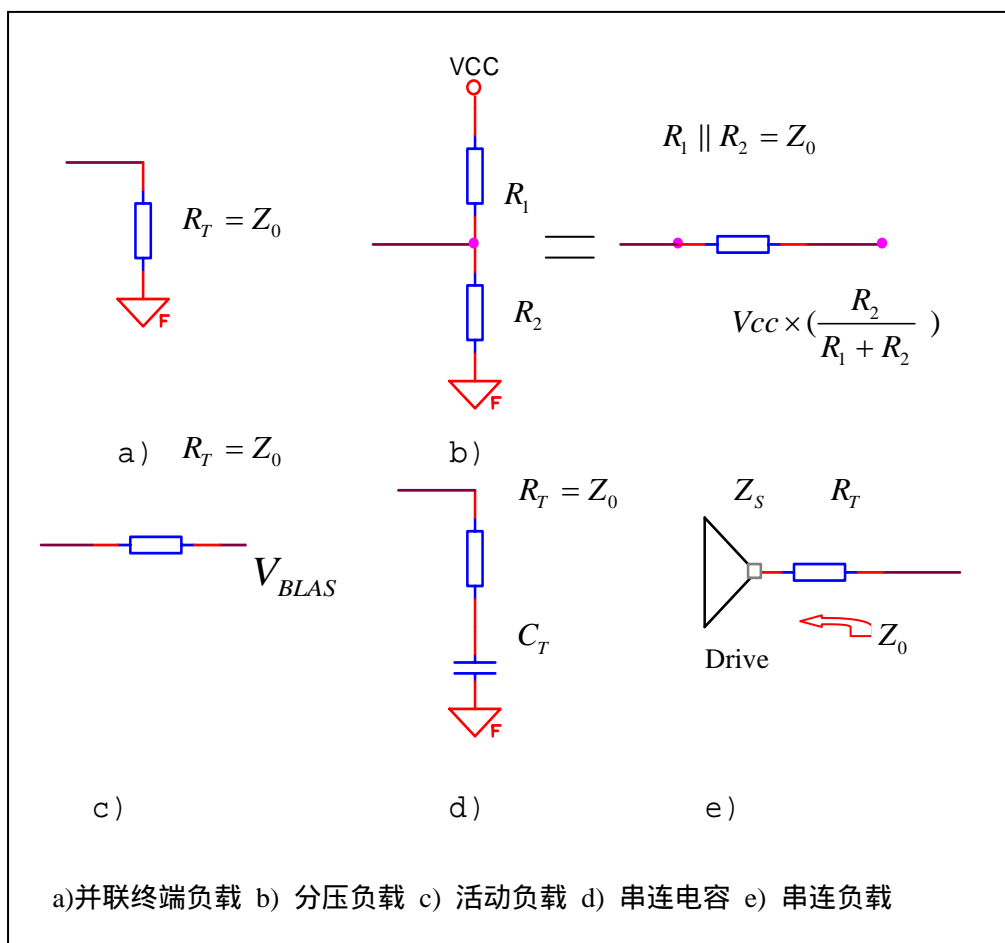


图 24 时域上反射信号的表示：a)在源端 b)在负载端



上面例子里面讲的反射对于大多数系统来说可能都太大了。必须采用某种技术来消除,至少要减小反射。由于

$Z_L = Z_0$ 的时候反射就被消除，所以使得 $Z_L = Z_0$ 非常必要。

要理解这些，必须要了解 PAL 设备的输入输出阻抗的特性。如前文提到的，输入阻抗比较高，当 CMOS 在 10kW 范围内时，双极（bipolar）就在 10kW 范围内。输出设备则一般有比较小的阻抗。

图 25 终端匹配电阻的终接方式

有两种中断方案：将 Z_L 减小到 Z_0 以消除反射；或者将 Z_s 增大到 Z_0 以消除二次反射。

在负载端并联一个电阻可以减小 Z_L —— 并联终端 将源串联一个电阻可以增大 Z_s —— 串联终端。

并联终端如图 25a。由于大多数设备的输入阻抗很高， R_L 可以做的与 Z_0 相等。

这样的设计方案有一个缺点：电流损耗（current drain）在高输出（HIGH-output）状态下很高。对一个 50Ω 的终端，损耗可能会高达 48mA。大多数驱动器的额定电流是

$$f = \frac{1}{\pi \times 1.25ns} = 254MHz$$

$I_{OH} = 3.2mA$ 。很显然，这已经超出了设备可以承受并提供足够的 V_{OH} 的水平。

终端 V_{CC} 会有所帮助，因为一般来说， I_{OL} 比 I_{OH} 高一些。但是，大多数为板级应用设计的 CMOS 设备（CMOS devices designed for board-level applications）的驱动器额定电流 I_{OL} 为 24mA 或者更小。这仍然不足以提供足够的电流来支持一条低阻抗传输线需要的 V_{OL} 。

如图 25b 使用 2 个电阻可以有效减小电流。这两个电阻分压，得到的 thevenin 电压为：

$$V_{TH} = \frac{V_{CC} \times R_2}{R_1 + R_2}$$

$$\text{得到的 thevenin 电阻为：} R_{TH} = \frac{R_1 \times R_2}{R_1 + R_2}$$

尽管这是个不错的解决方案，由于电阻放在 V_{CC} 和地线之间，所以电源供电电流比较高。

另外一个降低负载电流的方案是将电阻放在 V_{OH} 与 V_{OL} 之间的正电压之间（图 25c）。从 3v 到 5v 流经一个 50w 的电阻的电流，会比流经同一个电阻，但是从 3v 流到地线的电流小得多。这样不会给信号带来任何问题，因为 DC 的参考电压是 AC 地线。但是，找到一个可以

飞快从 sinking 电流切换到 sourcing 电流,切换速度快得可以来得及回应传输 (respond to the transitions) 的终端电压源,是很困难的。

另外一项技术是将原来的终端电阻替换成为一个电阻和电容的串联 - RC (series - RC) 网络 (图 25d)。电阻值与 Z_0 相等。电容正常工作下可以是 100pF; 精确的值并不重要。在这样的频率下,电容器是一个 AC 短路,但是它阻塞了 DC。于是驱动器 (driver) 看不到 R_L 的 DC 负载效果 (loading effect)。这个技术被称为 AC 终端。

在负载端使用终端的技术,目的是减小第一次反射。另外一种方法是将一个电阻与源串联,增加 Z_s , 使其等于 Z_0 (图 25e)。加上 Z_s 后,这个电阻使得源阻抗看起来和 Z_0 一样。

这样集中负载的终端效果最好,因为 Z_s 和 Z_0 分压使得信号削弱 (图 26a,b)。因为 $Z_s + R_L = Z_0$, 原来的传输信号被这个分压器分成了两半。半份信号沿传输线传输直到到达负载产生反射,而负载是没有终端的。由于反射的影响,原来减为一半的信号增大了一倍,所以到达负载的信号又变回原值 (图 27a)。反射信号回到传输线,完成沿线路的传输过程 (图 27b)。

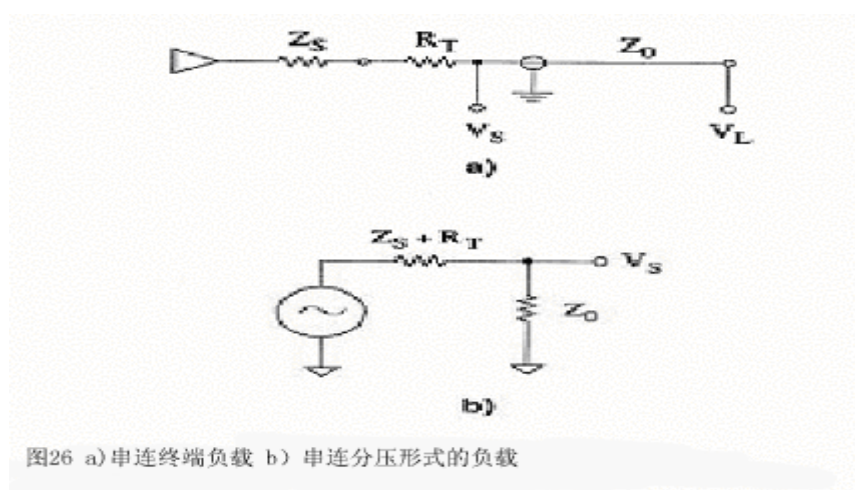


图26 a) 串连终端负载 b) 串连分压形式的负载

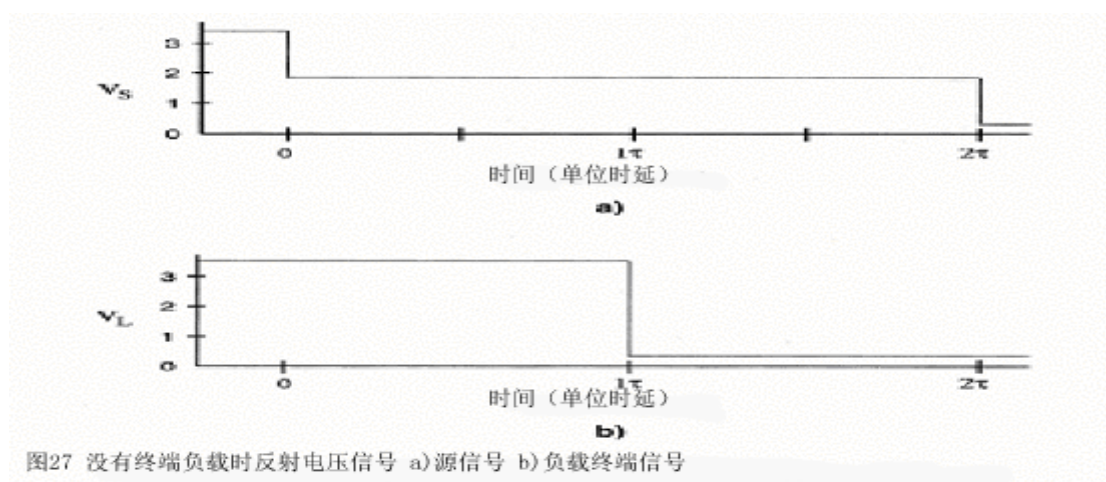


图27 没有终端负载时反射电压信号 a) 源信号 b) 负载终端信号

以上面我们讲过的没有终端的微波传输带放入一个串联的终端电阻为例。一个 59Ω 的电阻 ($68\Omega - 9\Omega$) 与电源串联。对一个从最低到最高的传输 (transition), 源信号是:

$$\Delta V = \frac{(0.2V - 3.5V) \times Z_o}{Z_s + Z_o + 59\Omega} = \frac{(0.2V - 3.5V) \times 67\Omega}{8\Omega + 67\Omega + 59\Omega} = -1.65V$$

$$V_s = 3.5V + \Delta_v = 3.5V - 1.65V = 1.85V$$

$$V_s = 3.5V + \Delta_v = 3.5V - 1.65V = 1.85V$$

如果负载是一个开电路, 那么产生 $-1.65V$ 的反射。当反射回到源, 由于 Z_s 和 Z_o 在加入 R_T 之后匹配了, V_s 是 $1.85V - 1.65V = 0.2V$ 。

当源信号到达的时候, 负载的反射使得 V_L 等于 $0.2V$ 。 V_s 直到反射信号返回的时候才等于 $0.2V$, 在例子中, 是在 $3ns$ 之后 (图 27)。

这种解决方案在负载分散在线路沿线的环境下有一定的风险, 因为所有不在线的终端的设备都会收到一些中间电压的干扰, 这些干扰直到反射返回源的时候才能清除。另外, 这种技术会增大回路的延迟, 因为在距离驱动器 (driver) 最近的设备确认输入有效之前, 所有的信号不能被确认为有效。而距离驱动器最近的设备只有在反射返回的时候才能确认输入有效。这样的时间延迟比前面提到的例子要长, 因为分散的负载加入的电容减小了 Z_o , 增大了 t_{PD} 。

尽管有这些缺点, 串联终端的技术仍然在 DRAM 驱动器中得到了成功的应用, 甚至在 DRAM 是分散在信号线沿线的环境下也如此。信号传输时间接近极限值, 如果精心挑选 R_T , 使得得到的 Z_s 只比 Z_o 略小, 那么额外的延迟时间也会比减小。线上电压 swing 变大, 电压水平接近 VOL, 低于输入极限值。如果线是由 20Ω 的电阻做的终端, 那么 V_s 变成:

$$V_s = 3.5V + \frac{(0.2V - 3.5V) \times Z_o}{Z_s + Z_o + 20\Omega} = 3.5V + \frac{(0.2V - 3.5V) \times 67\Omega}{8\Omega + 67\Omega + 20\Omega} = 1.17V$$

因为终端不能够完全匹配, 所以会产生一些振铃。但是, 如果振铃达不到造成干扰的程度, 终端方法仍然可以成功运用。设计者必须作出折衷选择。此外, 高电容的 memory 线经常 swamp out 振铃。

通常, 由于高输出阻抗和低输出阻抗有区别, 精确的终端匹配是不可能的。TTL 兼容设备的输出阻抗在高电平与低电平的情况下是不同的。比如, PALCE16V8 在低的情况下为 8Ω , 而在高的时候为 50Ω 。这样, 选择合适的终端就变得复杂, 因为没有单值同时适合这两种情况。必须选择一个折衷值, 使得在两个传输方向都能得到可以接受的结果。

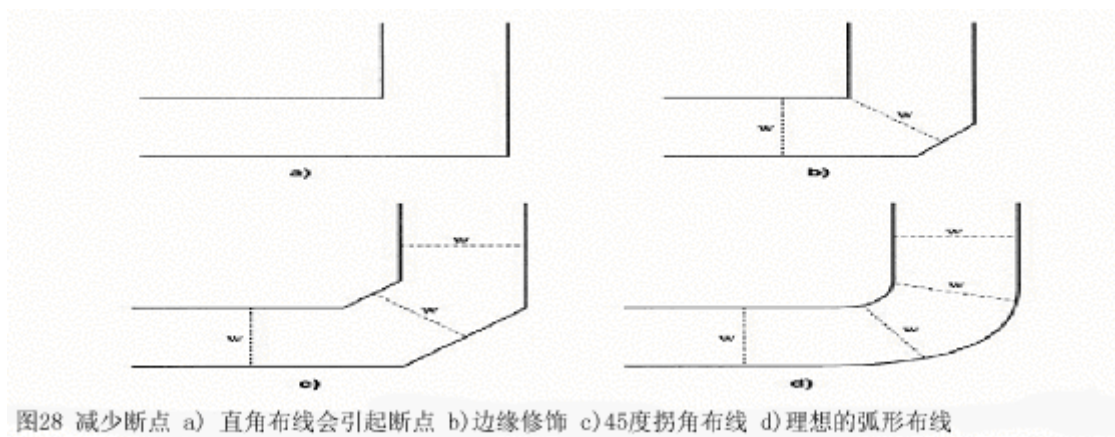
2.5 传输线布局法则

可控阻抗信号线是板上信号传输最实际也最优的媒质，选择合适的终端保证无噪声的运行。但是，如果信号线布局不合理，仍然可能产生噪声。下面的法则可以提高板子的性能。

2.5.1 避免断点

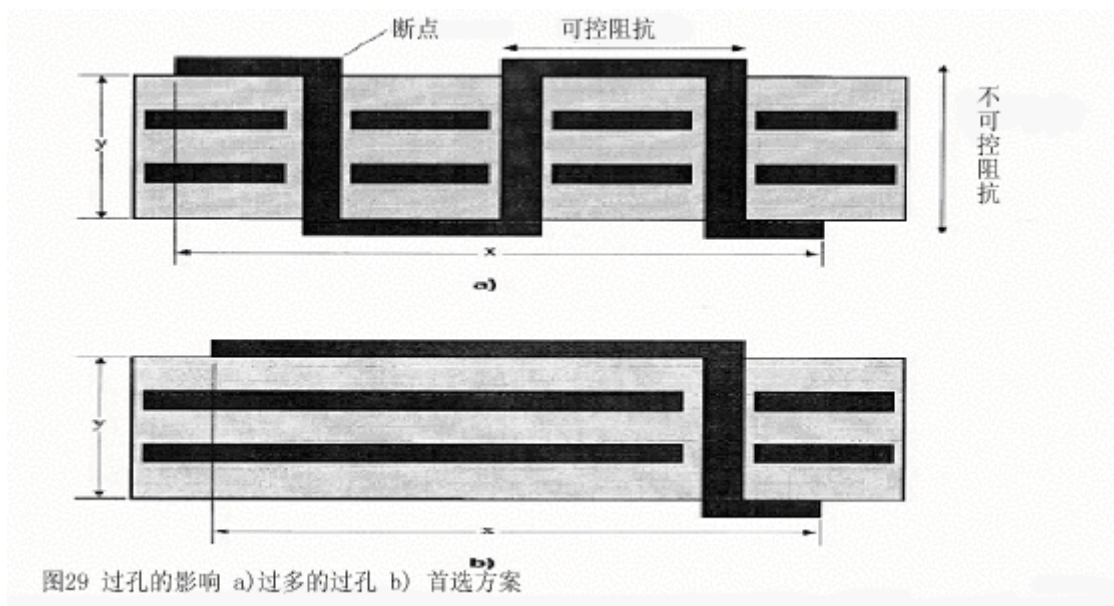
断点是信号线上阻抗突然改变的点；它们会造成反射。适用于线的终端的计算 K_R 公式在这里也同样适用。由于它们产生反射，所以需要避免断点产生。断点可能发生在板子上线路尖锐的拐点处。

在线路拐点处，交叉地带增加， Z_0 减小。如图 28 那样切开线路有可能弥补拐点的缺点。应该选择所得斜边等于原来线路宽度的切线。这样使得交叉区域的三角区最小，断点也最小。用两条 45 度角的拐点应用了这个理论，是平滑拐点的一般办法。光滑的圆弧是最理想的解决方案，但是用一般的工具很难实现。



过孔 (via) 将信号输送到板子的另一侧 (图 29)。板间的垂直金属部分是不可控阻抗，这样的部分越多，线上不可控阻抗的总量就越大。这会增大反射。还有，从水平方向变为垂直方向的 90 度的拐点是一个断点，会产生反射。如果这样的过孔不能避免，那么尽量减少它的出现。

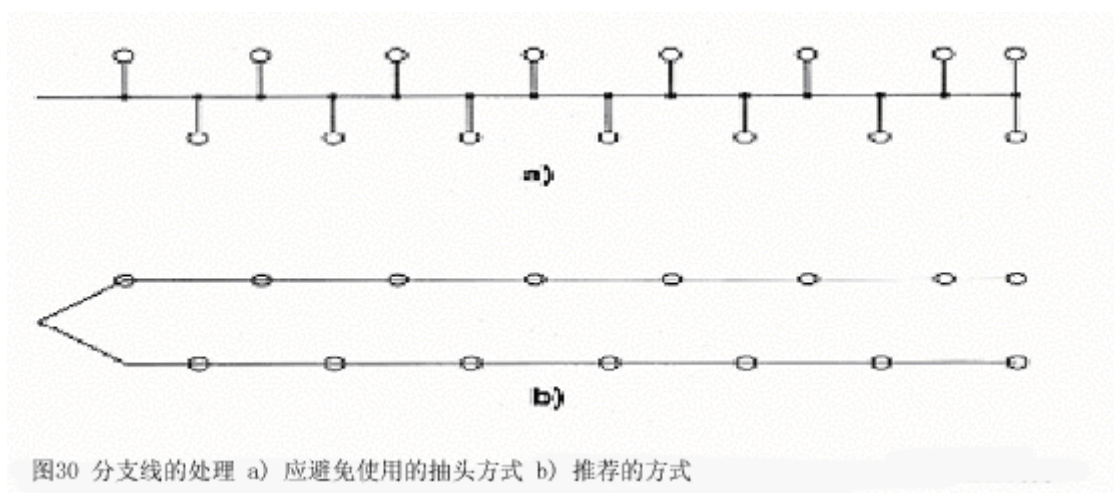
注意，从一个外部层变为内部层 (或者反之) 会使得阻抗改变——因为设计已经从带状线 (stripline) 变成了微带线 (micro-strip；或者反之)。尽管从理论上我们可以改变几何形状来补偿使得阻抗保持不变，但是实际上很难实现。最好的办法就是将内部信号线留在内部，而外部信号线留在外部。



2.5.2 不要使用 stub 和 Ts

布置信号线的时候,使用抽头 (stub) 或者锥形柄 (Ts) 连接设备很方便,如图 30a。stub 和 Ts 可能成为噪声源。如果太长,它们就像带主线 (main line) 的传输线,同样受到反射的影响。

信号线应该避免使用长 stub 和 Ts。只要 stub 非常短,可以将一条单线,末端加上一个终端 (termination) 来使用,尽管 Z_0 必须被减小来解决分散的负载。如图 30a 的例子,如果 stub 太长,信号线应该改变成为两条信号线,如图 30b。两条都是传输线,都需要终端;但是,最好是将每个长 stub 单独做终端。



3. 色度亮度干扰

干扰 (Crosstalk) 是一种不希望产生的电路中的耦合信号。它可能是电容性的,也可能是电感性的,遵守下面的规则可以控制干扰。

3.1 电容性干扰

电容性干扰指的是信号线之间产生的电容性质的信号耦合。如果两条信号线靠得太近，就可能产生这样的干扰。

图 31 的电路表示了两条信号线，分别被称为噪声源和噪声接受者。由于线间有电容，噪声源的噪声会耦合到噪声接受者上。这一现象由噪声接受者被注入电流体现出来。在传输线中，电流在两个方向都碰到 Z_0 ，并向两个方向传播，直到损耗在源或者负载为止。（？）

因此而产生的电压毛刺（voltage spike）是由 Z_0 决定的。当电流脉冲到达 Z_S 和 Z_L 的时候都会在阻抗上损耗，损耗的电压与阻抗成比例。如果阻抗与源或者负载不匹配，反射就会产生。如果负载没有终端，通过 Z_L 的电压毛刺可能非常严重。负载加终端可以有效减小下一个设备会接收到的电压噪声。

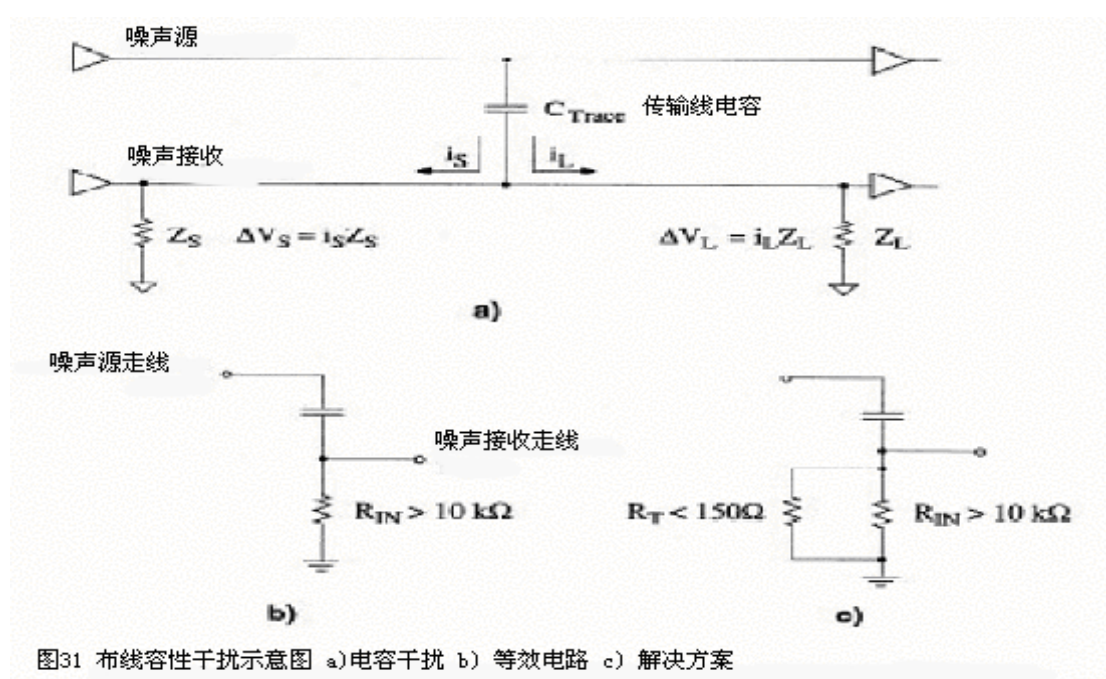


图31 布线容性干扰示意图 a)电容干扰 b) 等效电路 c) 解决方案

电容性干扰也可以用分离电路的方法减小。信号线距离越远，电容越小，干扰越小。由于板面空间会限制两条信号线之间的距离不可能太远。另一个解决方案是在两条相邻的信号线之间加入一条地线。如图 32.这样信号与地线耦合，而不是与相邻的那条信号线耦合。

注意，地线必须接实地。如果它只接着电路终端（trace ends）的地线平面，电路会有相对较大的阻抗。一个良好的接地，地线应该用通孔（tap）连接地平面，tap 间距为最高频率信号成分波长的 $1/4$ 。



图32 用地线隔离信号线以减小容性串扰

波长是信号一个周期传播的距离，或者是：

$$\lambda = vel \times Period = \frac{1}{t_{PD}} \times \frac{1}{freq} \quad \text{其中：} t_{PD} \text{ 为传输线每单位长度延迟时间}$$

数字信号中，我们最感兴趣的是最高频率的谐波（the highest significant frequency harmonic of interest）通常被认为是 $1/\pi t_R$ 。让我们看一个例子，当 $t_R = 1.25nS$ （可能是

$$\text{PAL16R8-4 设备}），最高频率成分是：f_{MAX} = \frac{1}{1.25nS \times \pi} = 255MHz$$

我们在第二节提到的例子中，分散负载的延迟是 4.14ns/ft。 λ 等于周期除以 t_{PD} 得到：

$$\lambda = \frac{1}{255MHz} \times \frac{1}{4.14 \frac{nS}{ft}} \times \frac{12in}{ft} = 11.4in$$

$$\lambda/4 = \frac{11.4}{4} = 2.81in$$

3.2 电感性干扰

电感性干扰可以被看作是一个多余的变压器（transformer）的初级线圈和次级线圈产生的耦合信号（图 33）。变压器的线圈是板子上（或者系统里的）电流回路。这线圈可能是由于不恰当的设计人为造成的(图 34a)，也可能是信号线与信号回路组合自然造成的。(图 34b)。人为造成的线圈时常难以定位，但是可以被排除（图 34c）。

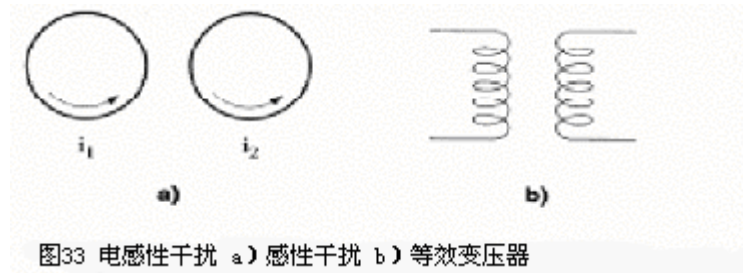


图33 电感性干扰 a) 感性干扰 b) 等效变压器

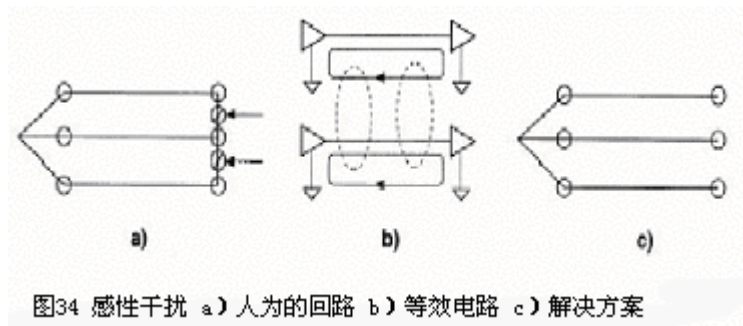


图34 感性干扰 a) 人为的回路 b) 等效电路 c) 解决方案

耦合给负载的多余的信号的大小依赖于线圈的大概尺寸，也依赖于被影响负载的阻抗。线圈尺寸越大，越紧密，传输的能量就越大。在次级线圈，负载端看到的信号随着负载阻抗的增大而增大。

3.2.1 线圈的尺寸和紧密程度

线圈的电感系数 L 随着线圈的大小增大而增大。当两个线圈互相作用，一个会产生初级电感 (L_P)，另一个会产生次级电感 (L_S)，如图 33b。由于信号线并不是有意设计成为变压器的，所以耦合很松散；但是仍然会对次级线圈产生干扰。

如果两条信号线的部分回路是一致的 (coincide)，产生的线圈可能造成自感变压器 (auto-transformer) 如图 35a, c。上面我们讨论过的 VME-背板就是这样一个例子。保证每条信号有自己的回路可以使这种干扰消除。

3.2.2 负载阻抗

如果认为感性干扰是由形成线圈的环路产生的，解决的办法是将环路打开。很不幸，这样的环路很难定位。如果干扰是由于信号/信号回路线自然形成的，这样的环路是不能打开的。但是，减小负载阻抗可以将干扰减小。图 36 表示一个简化的带负载的次级“自然”环路设计方案。这里 Z_s 是次级环路的固有阻抗。注意串联电流 I_s 。因为阻抗是串联的， I_s 在环路中处处相等。 I_s 一定，电压在最大的阻抗上降低得最多。在没有终端的线上，通常就是线上最终那个阻抗。如：在接收设备的输入端。

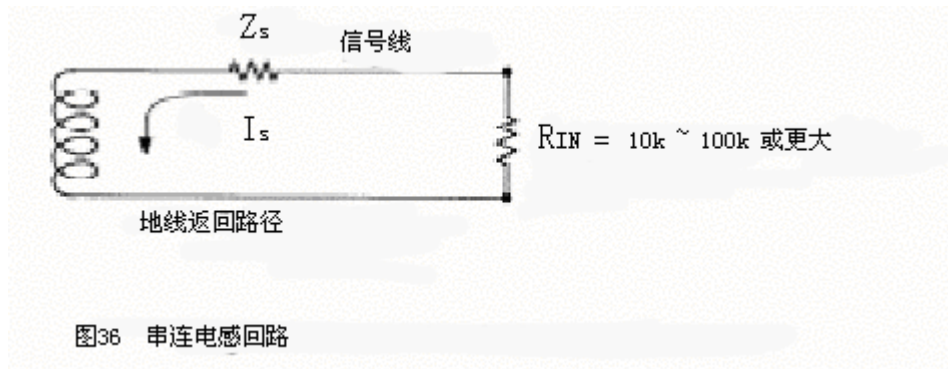


图36 串联电感回路

在输入端最不希望有大噪声，输入端期望最小的噪声。如果最大的信号经过最大的阻抗产生，通过在信号线接收端终端 (terminating) 可以减小输入端的产生的信号：将 R_{in} 减小到 R_T 。

R_T 通常在 30 到 150 欧姆之间。 R_{in} 被减小了起码两个数量级。 R_{in} 上降低的电压也相应减小。降低的具体值很难预计，因为它还依赖于 Z_s ，而 Z_s 是很难预计的。但是 R_{in} 减小几个数量级会有明显效果的。

3.3 干扰解决方法总结

下面的步骤总结了减小干扰的方法。

1. 电容性和电感性干扰都随着负载阻抗的增大而增大。所以，所有可能产生干扰干扰的线都应该为线阻抗 (line impedance) 做终端(terminated)。
2. 将信号线分离，可以减小两条信号线产生的电容耦合能量的大小。
3. 电容性耦合可以通过用地线隔离的方法减小。为了起到良好效果，地线应该每隔 $\lambda/4$ 英寸就与地平面连接。
4. 对电感性干扰，尽量减小环路大小。尽可能消除环路。

5. 对电感性干扰，避免出现共用信号回路的情况。

4. 电磁干扰 (EMI)

EMI 对于速度来说更加重要。高速设备对干扰更加敏感。它们会受到短时脉(glitch)的影响，而低速设备就会忽略这样的影响。即使板子或者系统不是十分敏感，美国 FCC，欧洲的 VDE 和 CCITT，都制定了一些板子可能会产生的高频噪声的限制。

设计者可以通过屏蔽，过滤，避免环路，在可能的时候降低设备速度等方法减小 EMI。虽然屏蔽技术不在本文的讨论范围之内，但是其他的方法我们后面都要讨论。

4.1 环路 (loops)

电流回路是设计中无法避免得。它们就像天线(antennae)一样。减小环路的 EMI 意味着减小环路的数量和环路的天线效力。不要人为制造环路；将自然环路做得越小越好。

1. 保证每条信号线的两点之间只有一条路径，这样可以避免人为的环路。
2. 尽可能使用地平面。最小的自然电流环路会自动产生地平面。使用地平面的时候，必须保证信号回路没有阻塞。

如果必须使用电源总线，应该将高速信号线放在电源总线垂直上方或者旁边。

4.2 过滤 (filtering)

过滤是电源线的标准。它也可以被应用到信号线中，但是只是作为最后选择的手段，如果信号源噪声实在无法消除，才会使用这种方法。

过滤有三种选择：旁路电容，EMI 过滤器和磁铁珠法。旁路电容在第一节已经讨论过。EMI 过滤器是商业上通用的过滤器，适用于很宽的频率范围。磁铁珠(ferrite ceramics)它可以给电线加入一定的电感。它们经常被用作高频干扰抑制器 (high-frequency suppressors)。

4.2.1 EMI 过滤器

EMI 过滤器是商业生产的用于削弱高频噪声的设备。它们最初是为了过滤电源线的噪声而制造的。它们分离系统之外的电源（被称为 the line）和系统内部的电源（被称为 load）。它们产生的是双向的影响：它们过滤板子或者设备输入的噪声，也过滤板子或者设备输出的噪声。

EMI 由电感和电容复合而成。大体上，配置决定于连接节点所需要的阻抗大小。高阻抗节点需要一个电容来连接；而低阻抗节点需要一个电感来连接。EMI 过滤器有如下几种配置：自由旁路电容器 (feedthrough)，L (形) -Circuit， π (形) -Circuit，T (形) -Circuit。

- ◆ 自由旁路电容器只含有一个电容 (图 37a)。适用于连接过滤器的阻抗很高的情况。注意，它不提供节点之间的高频电流分离。
- ◆ L-Circuit 在电容的一边有一个电感 (图 37b)。它适用于 the line 和 load 的阻抗差别很大的情况。电感元件应该与最小的阻抗连接。
- ◆ PI-Circuit 是有两个电容环绕一个电感组成的 (图 37c)。PI 过滤器适用于 the line 和 load 的负载很高，而且削弱水平要求较高的情况。
- ◆ T-Circuit 是在一个电容的某一侧加一个电感，形成 T 型构成的 (图 37d)。它适用

于 the line 和 load 阻抗都很低的情况。

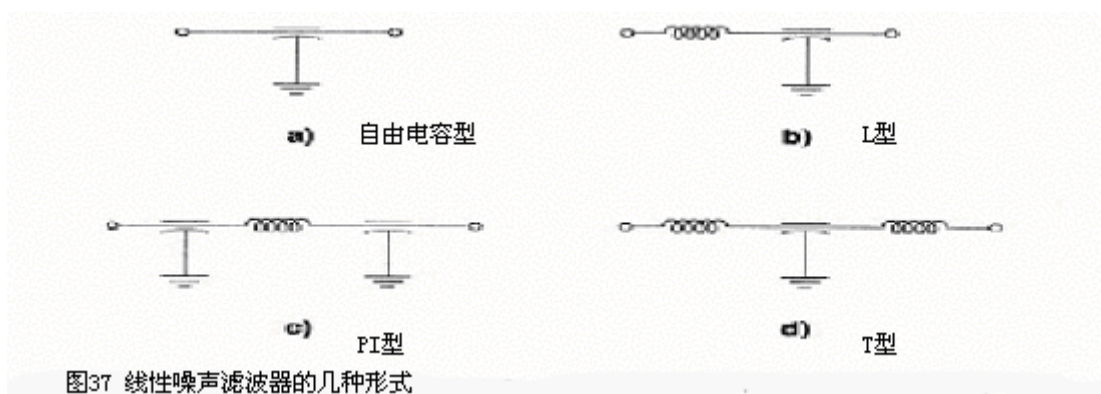


图37 线性噪声滤波器的几种形式

LC 过滤器依照插入损失 (insertion loss) 定价。插入损失是由于插入了过滤器而造成的信号损失。插入损失用分贝描述。过滤器生产商应该根据规定的频率范围提供过滤器的曲线图。

4.2.2 铁氧体噪声干扰抑制器 (ferri te noi se suppressors)

铁氧体噪声干扰抑制器是放在导电物质旁边的铁氧体元件。它们在单电线中是一颗珠子，在电缆中，是一个夹子。如果是珠子，电线从珠子上的小孔穿过 (图 38a)。当使用夹子的时候，铁氧体物质夹在电缆的周围 (图 38b)。带状电缆经常使用夹子。

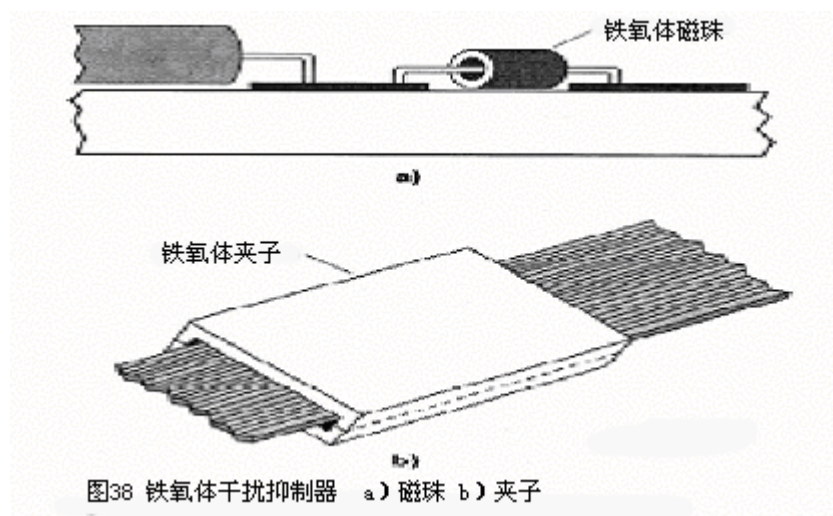
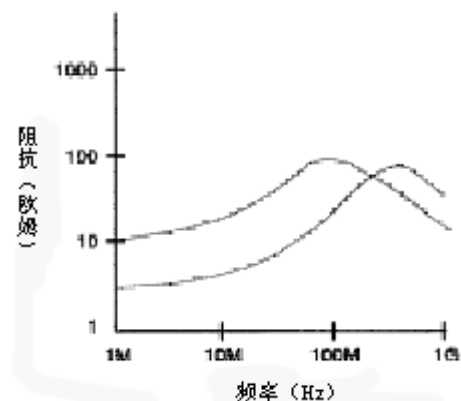
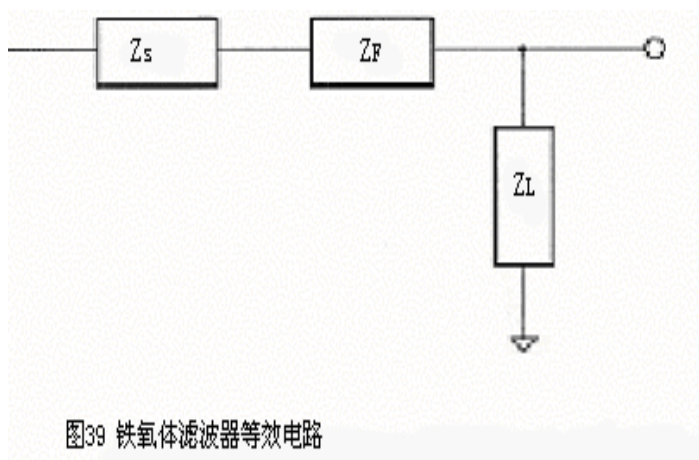


图38 铁氧体干扰抑制器 a) 磁珠 b) 夹子

铁氧体干扰抑制器之所以能工作，是由于它加入了与导线串联的电感 (图 39)。铁氧体制造商应该提供如图 40 那样的曲线图，描述频率 - 加入电感的函数。系统设计者必须考虑

$$\text{到插入损失。插入损失的公式是：} loss(db) = 20LOG_{10} \frac{Z_S + Z_L + Z_F}{Z_S + Z_L}$$

其中： Z_s 是源阻抗； Z_L 是负载阻抗； Z_F 是铁氧体阻抗；



铁氧体干扰抑制器给导线加入电感，但是不加入 DC 阻抗。这使它成为设备理想的 Vcc 管脚线噪声干扰抑制器。

因为铁氧体珠子体积小容易用，所以有时候它们被应用于抑制高频信号线的噪声。我们不推荐这样使用是因为：首先，这样容易掩盖大多数问题；第二，它可能影响信号的边缘速率（edge rate）。但是，如果板子布线已经完毕，铁氧体珠子还是可以作为降低干扰的最后手段的。

4.3 设备速度

在一定的频率范围内，设备的能量越小，这一频率范围内产生的噪声越小。高速设备从定义上来讲，就是传输时间比较短。因为短传输时间内高频范围的能量比较大，所以高速设备更容易产生高频噪声。

图 41a 是傅立叶变化之后的方波图（图 41b）。有两个拐点引起我们的注意： $1/\pi t_L$ （这个频率由信号波长决定）和 $1/\pi t_f$ （由信号传输时间决定；也是我们在讨论电容性耦合的时候决定波长的参数）。 $1/\pi t_f$ 之后，曲线飞快下降。为了实际应用， $1/\pi t_f$ 是信号的最高频成分。

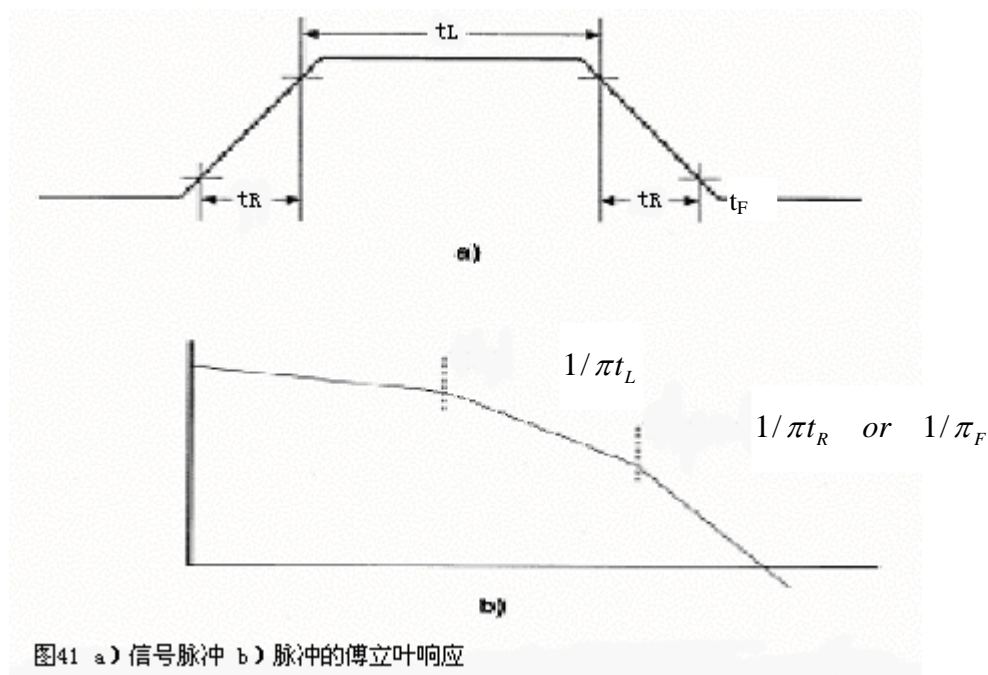


图41 a) 信号脉冲 b) 脉冲的傅立叶响应

举例来说，PAL16R8-4 系列的传输时间为 2ns。最短可以为 1.25ns。边缘的频率为：

$$f = \frac{1}{\pi \times 1.25ns} = 254MHz$$

无论时钟周期是怎样的，输出信号的最高频率为 254MHz。

在高频情况下，为了满足调整（regulatory agencies）的要求，板子可能还需要额外的过滤和屏蔽以配合 EMI 辐射限制。

如果系统需要很高的速度（比如时钟周期大于 80MHz），必须使用高速设备，那么，额外的手段是必须的。但是，如果一个低速设备已经能够满足系统需求，那么应该使用低速设备。由于传输时间比较长，低速设备的高频能量较小。总体来说，尽量使设备的速度满足系统需要，但不要超过系统需要。

总结

高速技术的出现使得高速系统的出现成为可能，但是在实现中，必须加以额外的考虑。最大噪声可以通过如下手段加以消除：

- ◆ 整合稳定电源和地（ground）
- ◆ 使用终端，精心设计传输线，消除反射
- ◆ 使用终端，精心规划，减小电容性和电感性 crosstalk
- ◆ 为满足辐射限制，采取噪声干扰抑制器