

# 500 兆/秒高速 A/D 系统的实现

合肥中国科学技术大学近代物理系快电子实验室( 230027) 武杰 王砚方

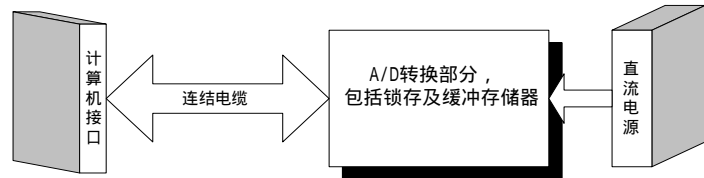
**摘 要：**介绍一套采样率为 500 兆次/秒，采样精度为 8Bits 的高速 A/D 系统的设计结构及高速电路设计中的问题，最后还讨论了如何在 Windows95 下设计具有实时性要求的程序。

**关键词：**高速 A/D 变换 高速电路的设计 Windows95 下的实时程序设计

在现代雷达系统、激光测距以及高能物理试验中往往产生宽带信号或者上升沿比较陡的信号（一般 10ns 左右）。要对此类信号进行数字化处理，要求 A/D 部分的采样率至少应该在 200M/S 以上。该系统正是针对这样一些领域的要求而开发出来的。

## 1、 系统结构

系统分为两大部分（图 1），A/D 转换部分和数据传输控制部分。其中数据传输部分作成 PC 机的插卡插在计算机的 PCI 扩展插槽内，它的主要功能是将 A/D 采样得到的数据传递给计算机同时产生相关的控制信号去作整个系统的操作控制。



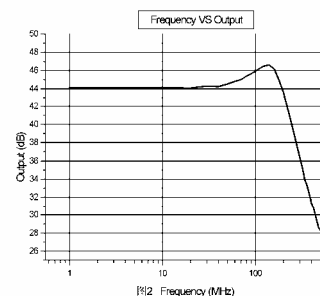
A/D 转换部分则受到电源和体积的影响单独作成一块模块置于计算机外部，其中关键的核心器件 ADC 采用的是 MAXIM 公司推出的 MAX101A，它的最高采样率可达 500MSPS，采样精度为 8Bits。两部分之间的数据传递通过由扁平电缆传输的差分的 TTL 信号来完成。

图1 系统结构

## 2、 A/D 转换

### 2、 1 信号调理

对于高速 A/D 采样电路来讲，前端调理电路显得尤为重要，不仅要有足够的带宽而且还要可以将单端的输入信号变成差分信号提供给 ADC 以减少偶次谐波的产生，同时本身的噪声也要小，这样才不会对 ADC 的精度产生影响。考虑到上述因素，在前端部分我们采用了 AD 公司的 AD8138 作为缓冲放大器，它的性能指标为（-3dB 带宽 320MHz，输入噪声  $5nV/\sqrt{Hz}$ ）。AD8138 为表面封装器件，本身的体积非常小巧使得 ADC 与信号输入点的距离可以很近，大大减少了外界噪声的影响。经测试系统的模拟带宽为 230MHz（图 2）



### 2、 2 系统时钟的选择

ADC 芯片 MAX101A 系统要求的采样时钟为 500MHz 的 ECL 差分时钟，对于如此高速的时钟电路孔径晃动（jitter）是选择时钟源的一个非常重要指标。jitter 是指时钟沿本身不稳定，在一定范围内晃动，时钟沿的晃动会带来采样点的不确定性，被采样信号的频率越高造成的误差就越大（图 3）。经过调研市场上有两种比较成熟的芯片可供选择，一是 Motorola 公司的 MC12439，另一个是 Synergy 公司的 SY89424。其中 MC12439 可输出的频率是

50-800MHz ( Peak-to-Peak jitter 25ps 8 ), SY89424 的最高输出频率为 1GHz ( Peak-to-Peak jitter 10ps 3 ) 且两者的输出电平都为差分的 PECL。虽然两种芯片给出的 jitter 相差不大,但实际上以上参数都是在输出时钟频率小于其最大输出频率一半的条件下给出的,也就是说此时的输出时钟是内部 VCO 的输出经过分频电路后得到的。如果输出时钟不经分频电路而直接输出,这种情况下输出时钟的频率实际上是内部锁相环 VCO 频率的两倍,输出时钟的稳定性与 VCO 时钟的占空比有直接的关系。而 VCO 很难保证它的占空比总是 50%,所以在这种情况下输出时钟的 jitter 将大大增加。鉴于上述原因,我们最终选择了 Synergy 公司的输出频率可达 1GHz 的 SY89424。

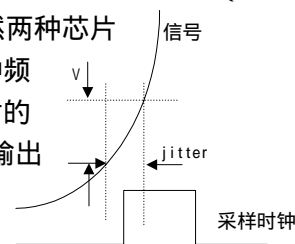


图 3 jitter带来的误差

## 2、3 特殊电平时钟的产生

MAX101A 芯片内部是由两个采样率为 250Mps 的完全独立的 ADC 拼在一起而得到的,从模拟信号输入、参考电压到数字信号输出都是完全分开的两部分。这样作给与用户很大的自由度,但同时也带来一个问题,那就是很难确定在每一次上电后究竟是哪一个 ADC 先输出,从而无法正确的进行数据锁存。MAX101A 要求用户提供一个外加的控制信号 TRK1 和 /TRK1 来确定两个 ADC 的先后顺序,它规定在系统采样时钟的下降沿到来时,如果 TRK1 为“1”,/TRK1 为“0”则第一个 ADC 输出有效,反之则第二个 ADC 输出有效(图 4)。这样的控制信号逻辑上实现起来并不难,关键是 MAX101A 对 TRK1 和 /TRK1 的逻辑电平范围的规定是一个非常规的值,它规定输入电平在  $\pm 50\text{mV}$  之间为逻辑“1”,在  $-350\text{mV}$  到  $-500\text{mV}$  之间为逻辑“0”。对于这样一种非标准的时钟电路不可能用现成的芯片直接产生,为此在模拟仿真结果的基础上,我们采用了以下(图 5)电路来产生这样的时钟信号。D 触发器将时钟信号二分频后经隔直电容送到电阻分压网络进行衰减,同时提供新的基准电平,这样原来 ECL ( $-900\text{mV} \sim -1800\text{mV}$ ) 信号就被转换成在  $0 \sim -450\text{mV}$  之间的时钟信号,满足了 MAX101A 的要求。其实用电容隔直的方法在高速的数字电路中应用十分广泛,应用这种方法可以很方便的将不同电平范围的信号(如 ECL 和 PECL)进行相互转换而不需要额外的电路,使用起来相当方便。

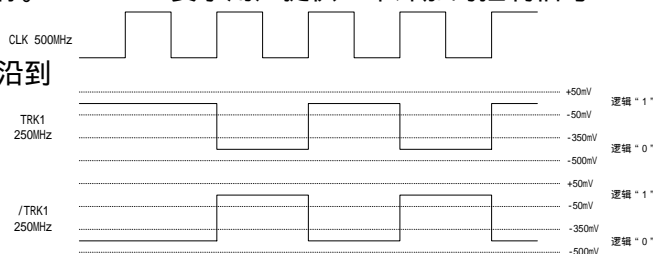


图 4 同步时钟

图 5 电平转换

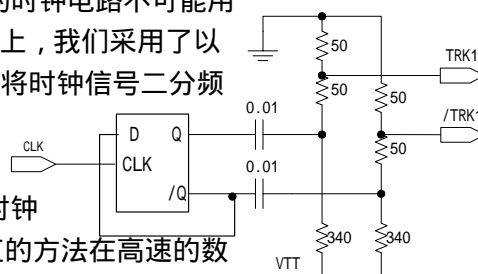


图 5 电平转换

## 2、4 高速数据的锁存

高速 ADC 的数据输出锁存在 A/D 系统的设计里面一直都是一个难点,ADC 的速度越高数据锁存的难度越大。尽管在 MAX101A 的数字输出部分已经分成了 A、B 两个端口,使每个数据通道的速率降为 250Mbytes/S,但要将如此速度的数据准确无误的锁存下来还是相当困难的,必须进一步降低数据端口的输出速率。要降低端口速率唯一的办法就是将输出端口的数据分成多路交替输出,使每一路的数据产生率降到可以接受的速度。但是分的路数越多,电路也越庞大,各路时钟与数据之间的关系也越复杂。综合两者考虑,我们采取了将 ADC 的输出分成八路的方案,这样每一路的数据产生率为 62.5Mbytes/S,完全可以用普通的锁存器来完成。数据锁存部分的结构如图 6 所示,MAX101A 输出的锁存时钟(250MHz)经四分频后送入一个六位的移位寄存器产生 6 个相差 4ns 的时钟,其中的 ABCD 用于锁存各个端口的数据,CDEF 经电平转换后作为 EPLD 锁数据的时钟,之所以推迟两个时钟是为

了补偿数据的传输延时和 EPLD 内部 FIFO 的建立时间。数据进入到 EPLD 后，后端的处理就方便多了，可以用 EPLD 作 DRAM 控制接口将 FIFO 的数据存储到大容量的 DRAM 中去，

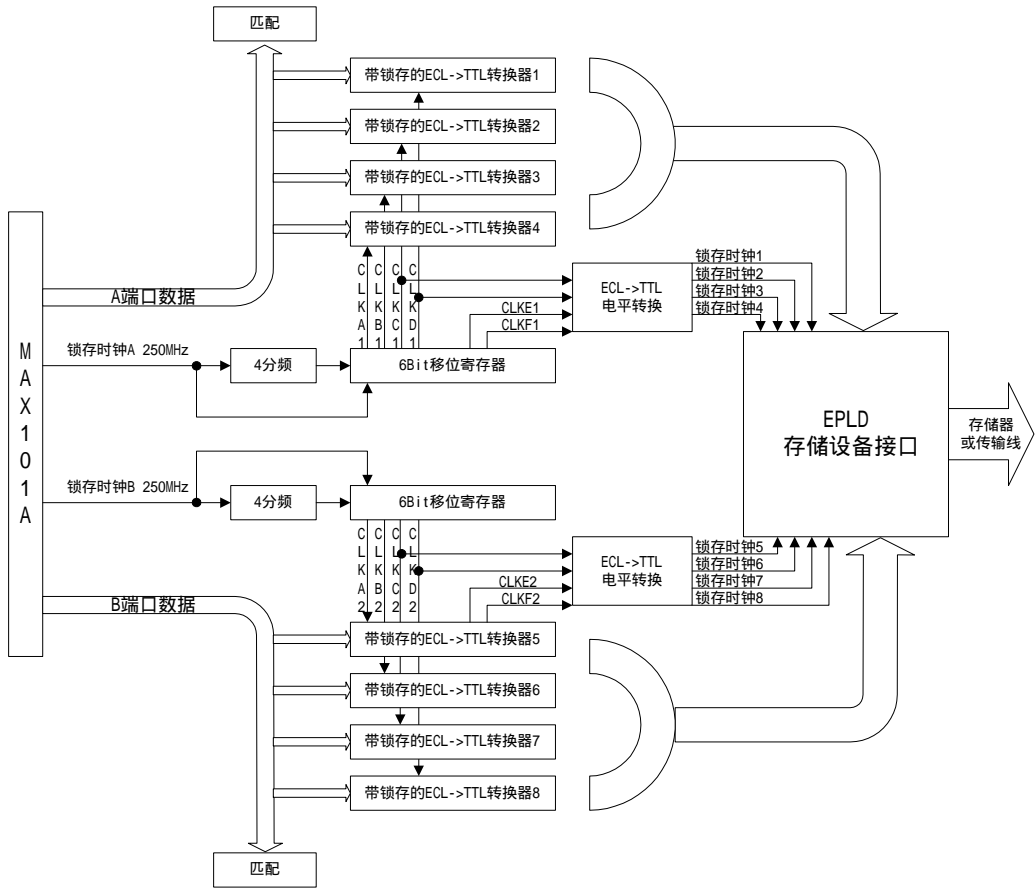


图 6 数据锁存

也可将数据分组打包通过传输介质传递给计算机进行处理。在该系统中采取第二种方法将数据通过电缆传递给位于计算机内的一块 PCI 卡上，计算机再通过它把数据存放到硬盘上。

### 3、高速电路的设计

在高速电路中如何避免各个信号之间的串扰（crosstalk），以及如何保证信号的完整性（integrity）是整个系统正常工作的保障。首先，对于高速电路的电路板（PCB）应至少采用四层以上的多层板技术，该系统中我们采用了六层板（表 1）。采用多层板的目的并不仅仅是为了走线的方便，更重要的是使用了大面积的电源或地层之后可以使各信号线与地或电源平面之间形成一个紧耦合从而减少信号线之间的串扰。通常所用的在走线层大面积网格铺地的方法，虽然也可起到一定的屏蔽作用，但因其面积和与信号线间距离的关系远不如地平面产生的效果好。其次，系统的整体布局要合理，应该综合考虑将来地平面和电源层的分割将使用相同电源和地的芯片尽量布局时放在一起以避免地平面被琐碎的分割。当同一块电路板上既有模拟电路也有数字电路的时，更应该仔细的考虑这两部分的布局，模拟和数字部分应该隔离，不仅是空间的隔离而且电源也应该隔离，两部分最好单独供电最

名称	用途说明
顶层	布线、元件
中间层 1	模拟地、VTT
中间层 2	数字地、ECL 的 VCC
中间层 3	模拟+5V、数字+5V、数字+3.3V
中间层 4	模拟-5V、数字-5V、数字+2.5V
底层	布线

表 1

后模拟地和数字地在一点通过磁珠（ferrite bead）相连。地平面上的电流一般比较大，大电流流过时会对表面的器件产生一定的影响，尤其是对模拟器件产生的影响将直接反映在输出信号质量的变坏，为了减少地电流的影响，在设计地平面时应该在比较敏感的模拟器件下方加一道隔离沟阻断大电流的通路（如图 7 所示），以减小地电流对它的影响。

高速电路的 PCB 设计是整个系统成败的关键因素，PCB 的设计在很大程度上与所选用的 EDA 工具有关。在该系统的 PCB 设计上我们选用的是 PADS 公司出品的 PowerPCB，和传统的设计工具 Protel 相比它有许多新的特点：

- 1、支持圆弧拐角布线，减少信号线的辐射降低串扰
- 2、支持泪滴焊盘，使走线阻抗变化均匀减少反射
- 3、可以方便的在 PCB 的内部层作分割、走线
- 4、支持多种布线规则，如布线长度、走线阻抗等
- 5、与自动布线器 Spectra 接口方便
- 6、直接支持信号完整性分析软件 HyperLynx

鉴于以上种种优越性能，使它非常适合作高速电路板的 PCB 设计。

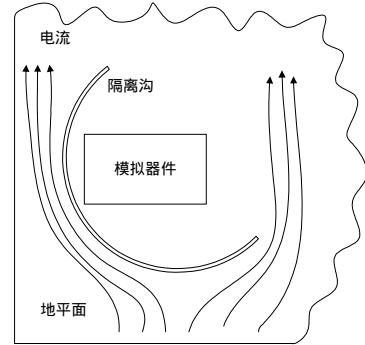


图 7 地平面的考虑

#### 4、 Windows95 下软件设计的实时性考虑

该系统的软件是运行于 Window95 平台之上的，设计的指标要求每秒能进行 200 次的操作，每次采集 512 点，既要求系统在 5 毫秒内将 A/D 部分采到的 512Bytes 传到计算机并存储在硬盘上。这个要求对于 PCI 接口来说是非常低的，实测结果显示系统的平均反应时间远小于这个时间，但是我们发现系统每处理 10,000 次响应总会有一到两次的反应时间特别慢，超过 5 毫秒有时甚至达到 40 毫秒。而我们的系统要处理的是一个连续有序的事件，要求对每一个事件都必须做出反应，否则后面的事件就会被误处理。经过分析表明，这种现象完全是由于 Windows95 操作系统本身的原因造成的。Windows95 是一种多任务的平台，它的核心运行在优先级较高的 Ring0 上，普通的应用程序则在优先级低的 Ring3 上，应用程序靠内核的调度分时运行。Windows95 是专门为 PC 机设计的，主要的用途是处理人们的娱乐以及办公自动化等事务，考虑的是使用起来如何方便并没有作工业控制方面的实时性的考虑，所以外层的应用程序有可能会随时被内核打断，根本没有什么时间的保障。要想准确无误的处理对时间要求比较苛刻的事件必须把处理程序放在运行于内核级的中断服务程序中执行，这样除非有更高级的中断否则程序就不会被打断。在编写中断服务处理函数时我们采用了 Windriver 提供的 Kernal PlugIn 功能，将自己编写的中断服务程序挂接在系统内核上。用此种方法可以实现每秒 10,000 次的中断处理而不丢失。我们在编写中断服务程序时借用了硬件设计中 FIFO 的思想，先在内存中开辟一块区域作缓冲区分别设置读指针和写指针，硬件触发中断后服务程序先从 A/D 读取数据进行处理，然后发出指令控制 A/D 等待下一次事件，接着向上层应用软件发出消息请求上层应用程序从缓冲区读取数据存盘、显示。中断服务程序发出的消息有可能不会马上被上层应用程序响应，但只要缓冲区足够大 A/D 每一次事件产生的数据就都不

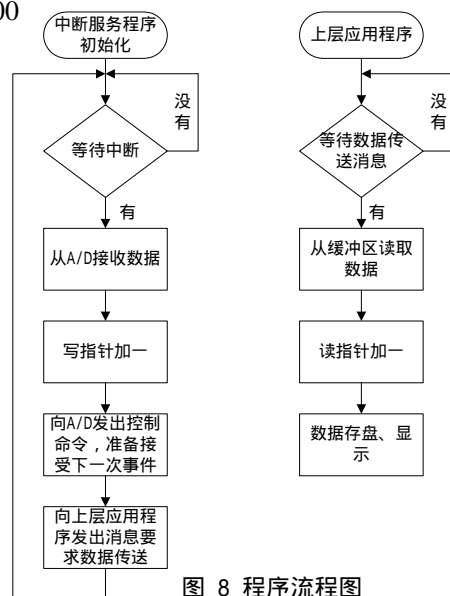


图 8 程序流程图

中断服务程序发出的消息有可能不会马上被上层应用程序响应，但只要缓冲区足够大 A/D 每一次事件产生的数据就都不

会丢失。整个程序的流程图如图 8 所示。

## 结束语

该数据采集系统目前已成功的在上海某科研单位得到应用。虽然设计初衷是为了满足某用户的需求，但它可以很容易的扩展成通用的 A/D 采样系统而应用于相关的各个领域

## 参考文献

- 1 MAX101A Data Sheet, Rev 0, MAXIM Inc, 7/96
- 2 MAX101A Evaluation Kit, Rev 1, MAXIM Inc, 7/96
- 3 ALTERA Device Data Book, Altera Coporation, 1999
- 4 TIMING SOLUTIONS, REV 6, Motorola, Inc. 1997
- 5 High Performance ECL Data, REV 4, Motorola, Inc. 1996
- 6 PCI Products Data Book, AMCC Corporation, 1998