

# 半导体物理及固体物理基础

## 第二章：杂质和缺陷能级



孙斌

Email: [sunbin@suda.edu.cn](mailto:sunbin@suda.edu.cn)

<http://web.suda.edu.cn/sb2>

苏州大学 | 未来科学与工程学院

- 半导体中的电子状态
  - 晶格结构
  - 能带
- 杂质和缺陷能级
  - 缺陷
  - 杂质能级
- 载流子的统计分布
  - 状态密度
  - 费米-狄拉克分布
  - 载流子浓度
- 半导体的导电性
  - 漂移
  - 扩散
- 非平衡载流子
  - 产生
  - 复合
- pn结和金属-半导体接触
  - 零偏
  - 反偏
  - 正偏

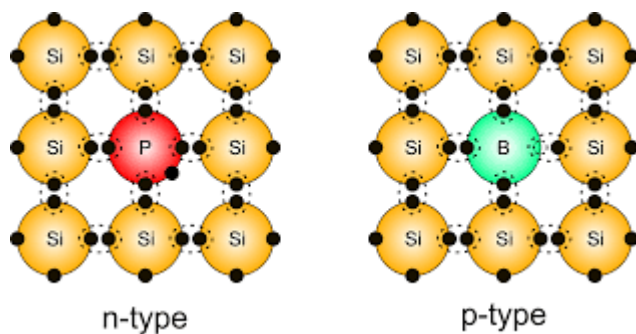
# 半导体中杂质和缺陷能级

# 晶体中的杂质和缺陷

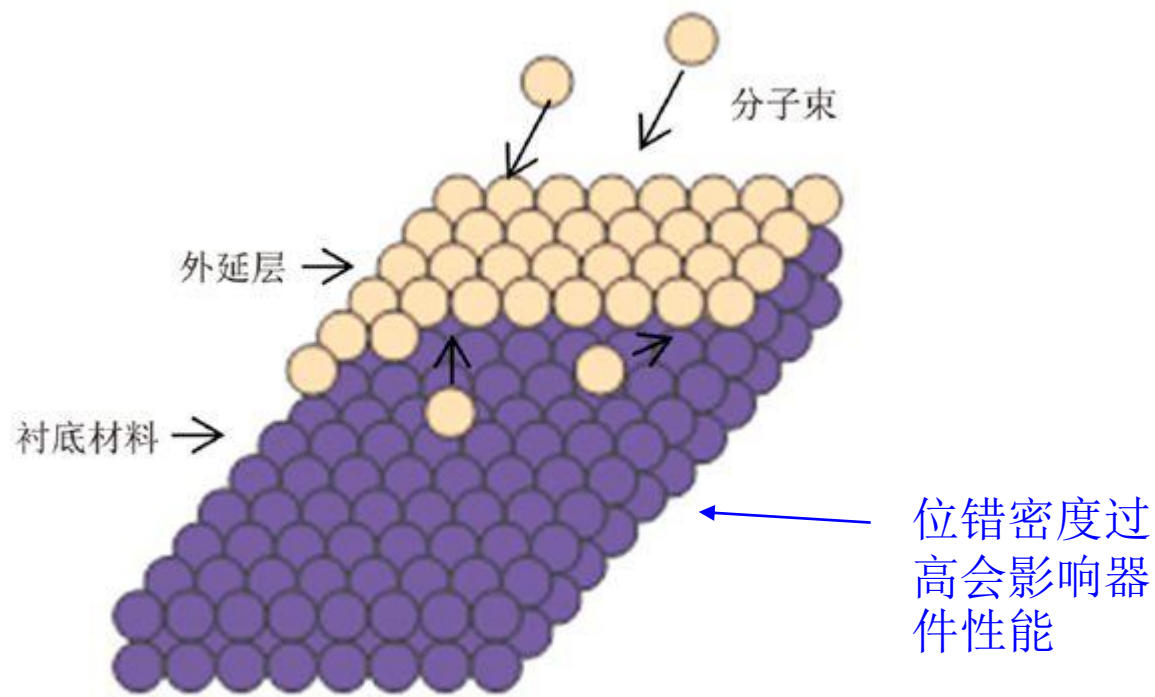


研究杂质和缺陷的原因：

- 微量的杂质和缺陷能对半导体材料的物理性质和化学性质产生决定性影响
- 杂质和缺陷破坏周期性势场，在禁带中引入能级



$10^7$ 个硅原子中掺入一个硼原子，室温下能将接近于绝缘体的单晶硅的电阻率从 $10^4 \Omega\text{cm}$ 降低为 $10 \Omega\text{cm}$

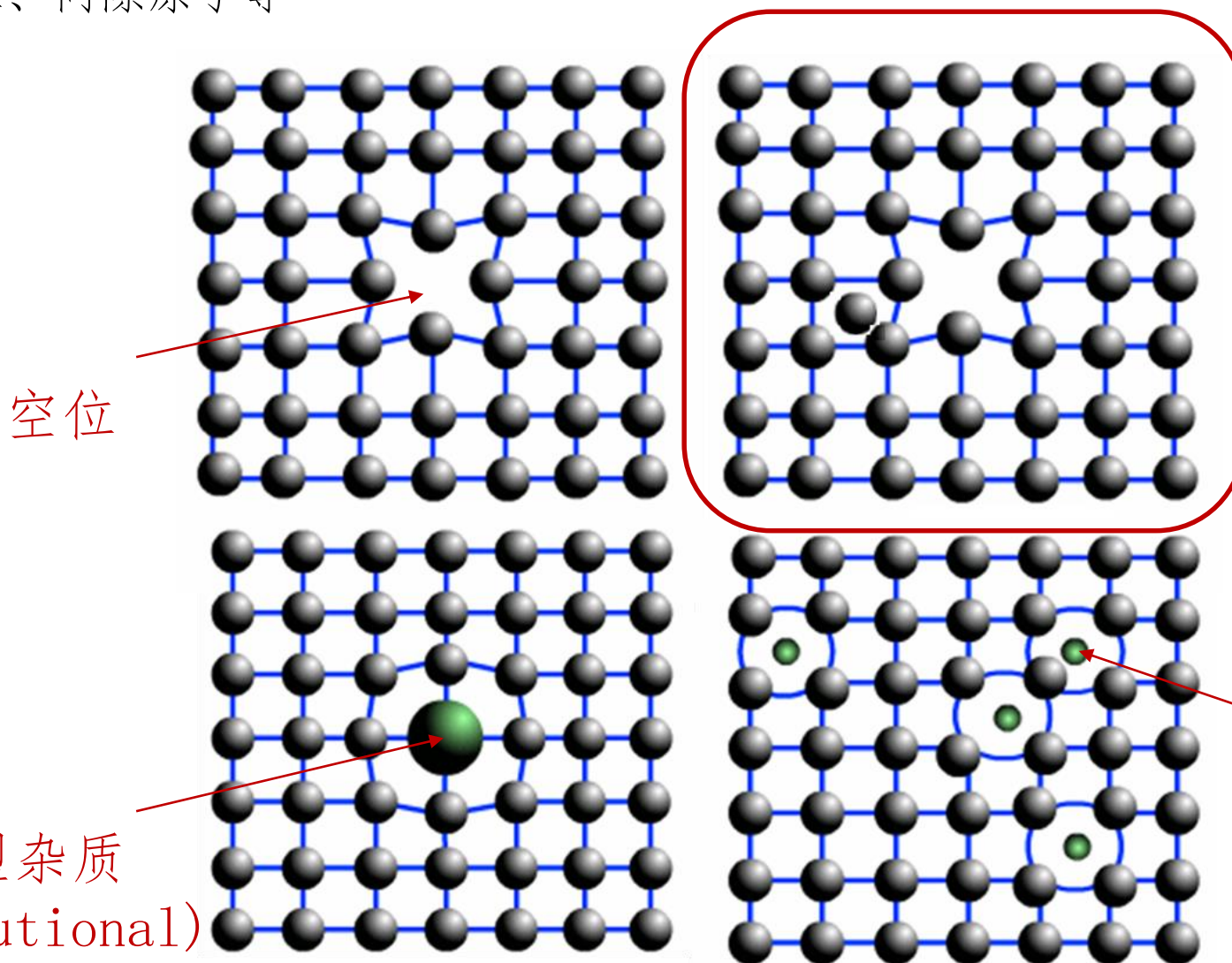


外延生长一层具有和衬底相同晶向的晶格结构完整性好的晶体

# 晶体中的缺陷-点缺陷



点缺陷：空位、间隙原子等



Frenkel 缺陷：间隙原子和空位成对出现

Schottky 缺陷：只有空位无间隙原子

间隙原子  
(interstitial)

替位型杂质  
(substitutional)



# 晶体中的缺陷-线缺陷（位错dislocation）

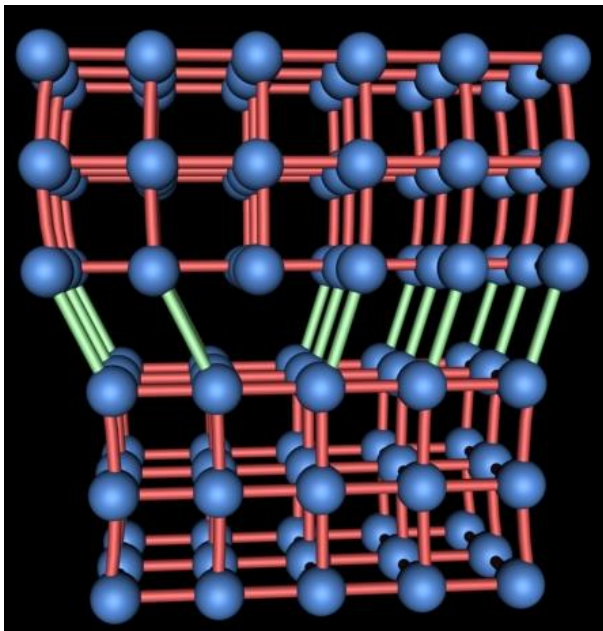


线缺陷：可视为晶体中已滑移部分与未滑移部分的分界线

存在不成对的电子，成为不饱和共价键

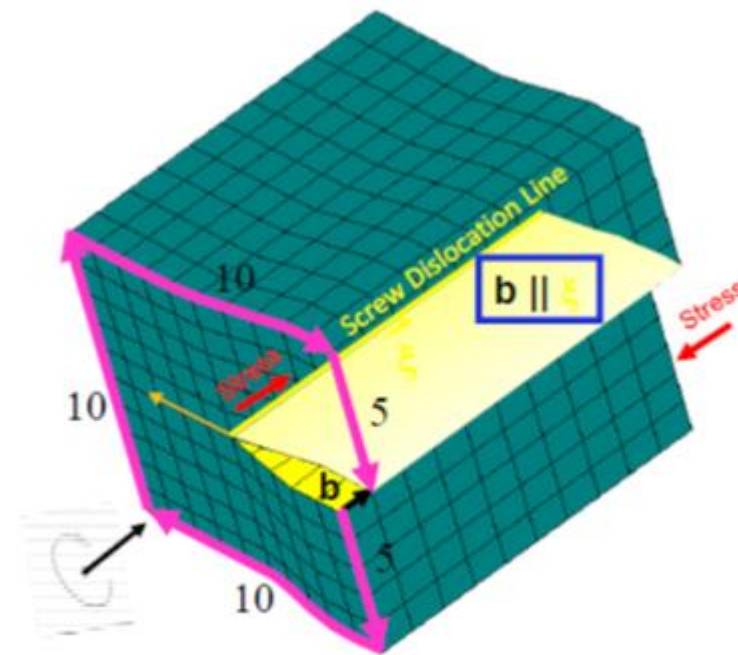
可获得电子——负电中心，受主作用——一串受主

可失去电子——正电中心，施主作用——一串施主



## 刃位错 (edge dislocation)

- 在晶格里额外插入一个原子平面
- 晶面在晶体内部突然终止于某一条线处



## 螺位错 (screw dislocation)

- 晶体中的一部分相对于剩余部分发生滑移
- 原子平面沿着一根轴线盘旋上升
- 每绕轴线一周，原子面上升一个晶格常数的间距

# 晶体中的缺陷-面缺陷

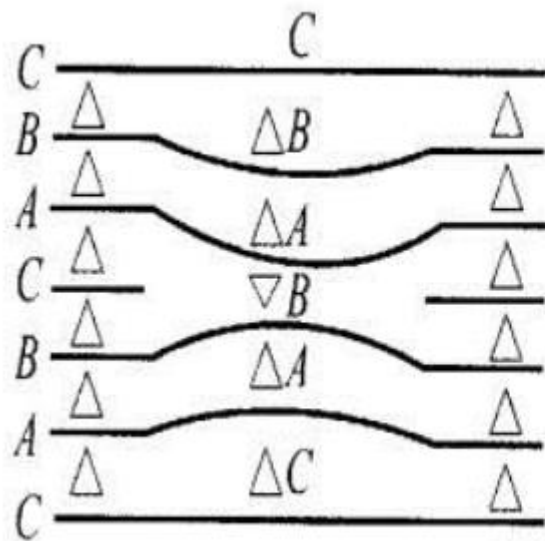


面缺陷：层错、晶粒间界

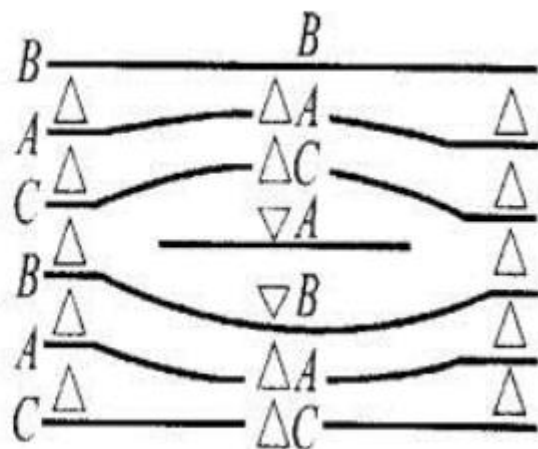
晶粒间界-彼此没有固定晶向关系的晶体之间的过渡区

堆垛层错 (stacking fault)

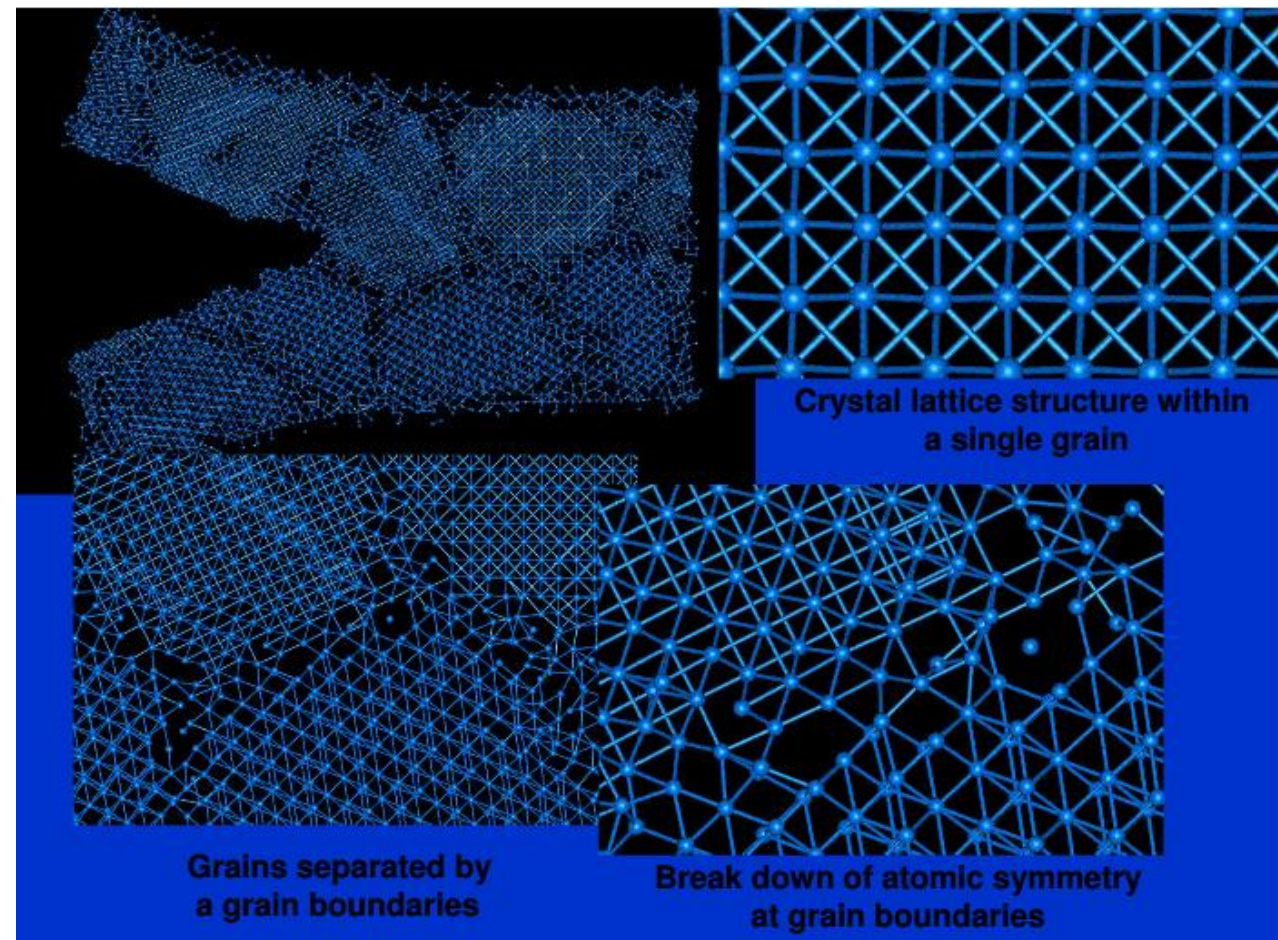
层错的边界为位错



抽出型层错



插入型层错



晶粒间界

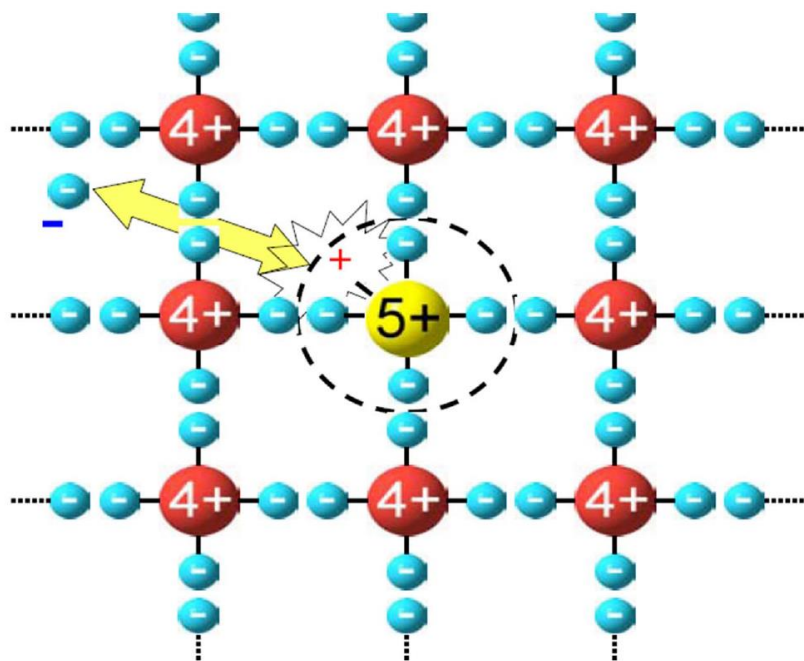


# 半导体的掺杂

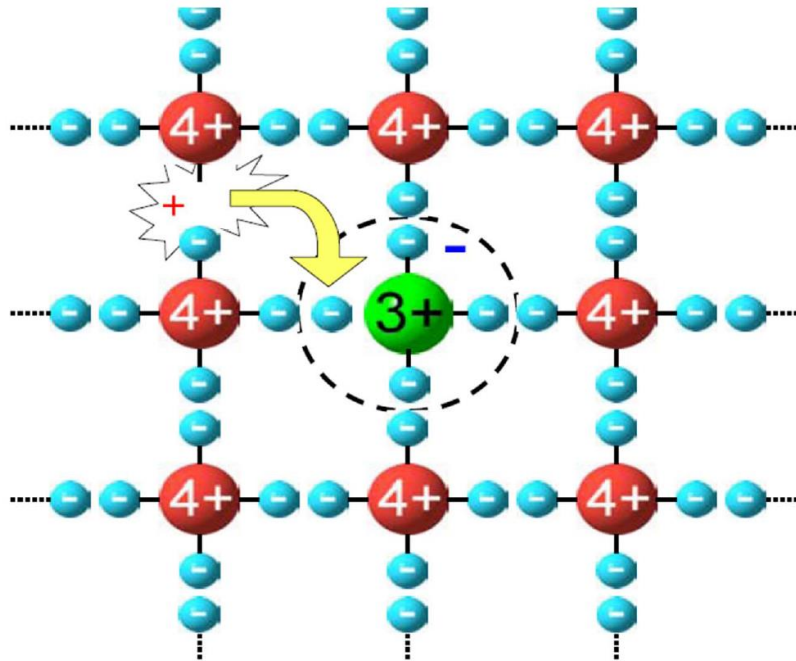


n型、p型掺杂

n型掺杂



p型掺杂



	II	III	IV	V	VI
2	9,0 Be 4	10,8 B 5	12,0 C 6	14,0 N 7	16,0 O 8
3	24,3 Mg 12	27,0 Al 13	28,1 Si 14	31,0 P 15	32,1 S 16
4	40,1 Ca 20	69,7 Ga 31	72,6 Ge 32	74,9 As 33	79,0 Se 34
5	87,6 Sr 38	114,8 In 49	118,7 Sn 50	121,8 Sb 51	127,6 Te 52
6	137,3 Ba 56	204,4 Tl 81	207,2 Pb 82	209,0 Bi 83	209 Po 84

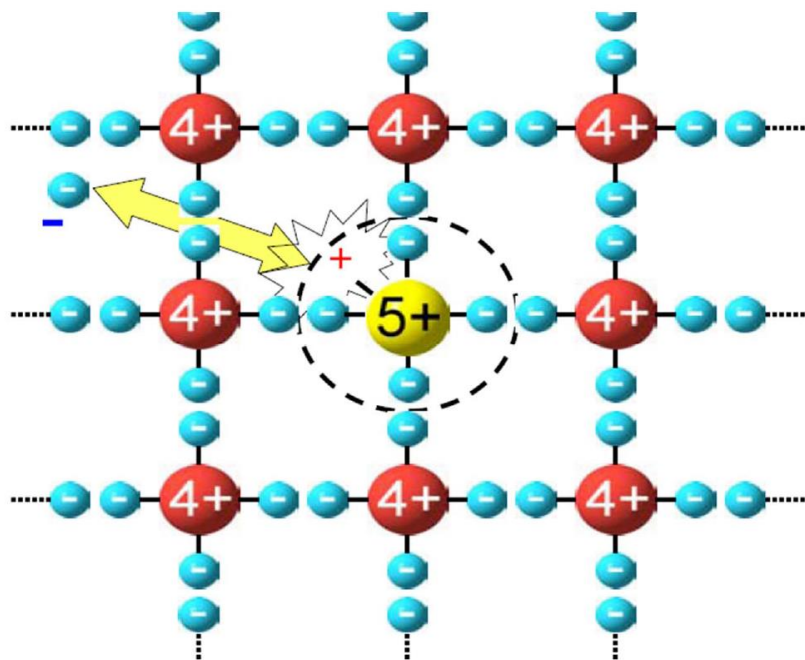
问题：为什么N, Al, Ga, In不常被用来掺杂硅？



# n型掺杂

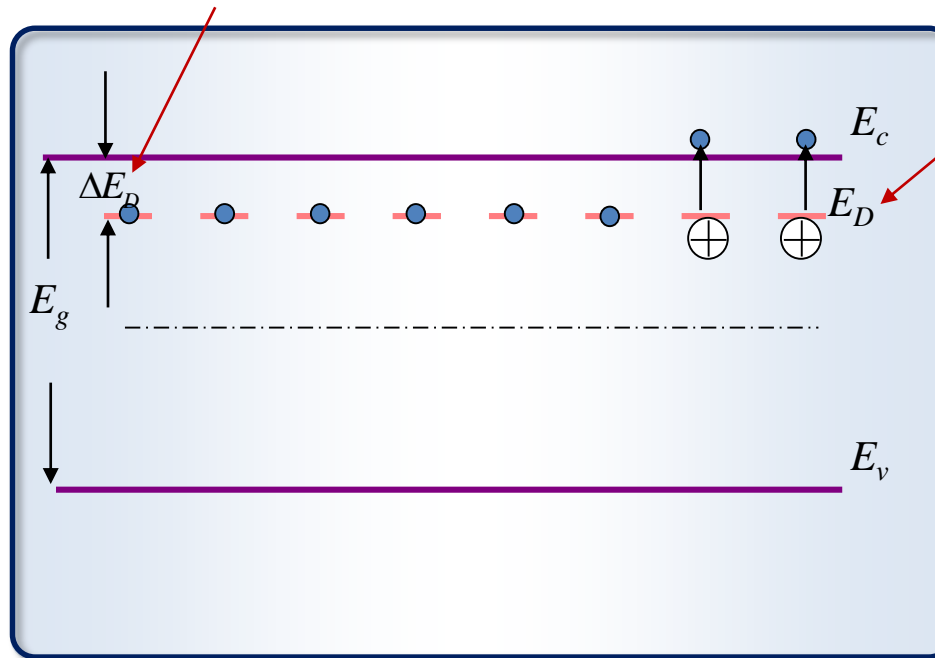
施主杂质、施主能级、离化能

n型掺杂



离化能：电子脱离杂质原子的束缚成为导电电子所需要的最小能量。

$$\Delta E_D = E_C - E_D$$



施主杂质在禁带中产生能级 $E_D$

**正电中心和束缚态**：硅中掺入V族元素（如：砷As），替位型杂质，4个价电子和周围的4个硅原子形成共价键，多余一个电子，形成一个正电中心 $As^+$ ，若多余电子束缚在正电中心周围，但是这种束缚很弱，少量的能量使电子脱离正电中心成为导电电子。

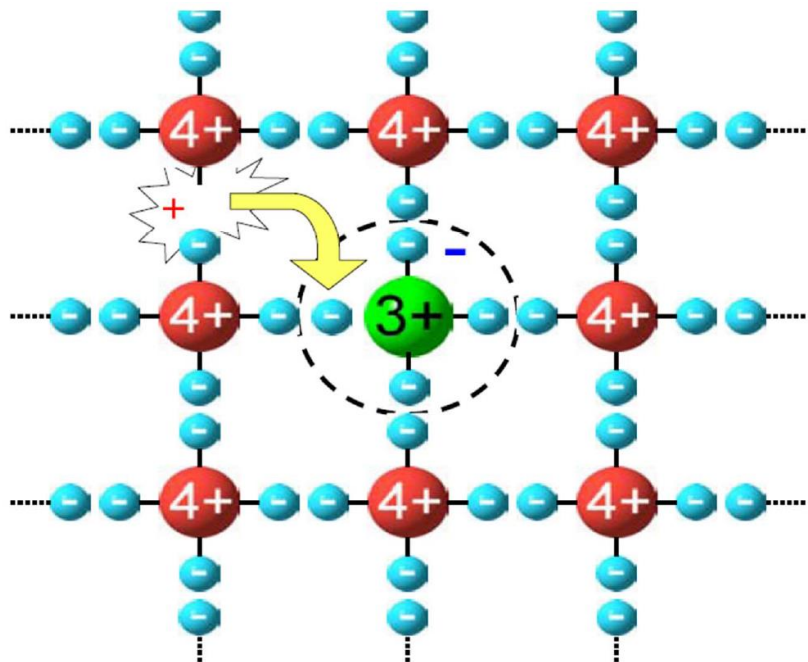
**杂质电离**：电子脱离杂质原子的束缚成为导电电子的过程。

# p型掺杂



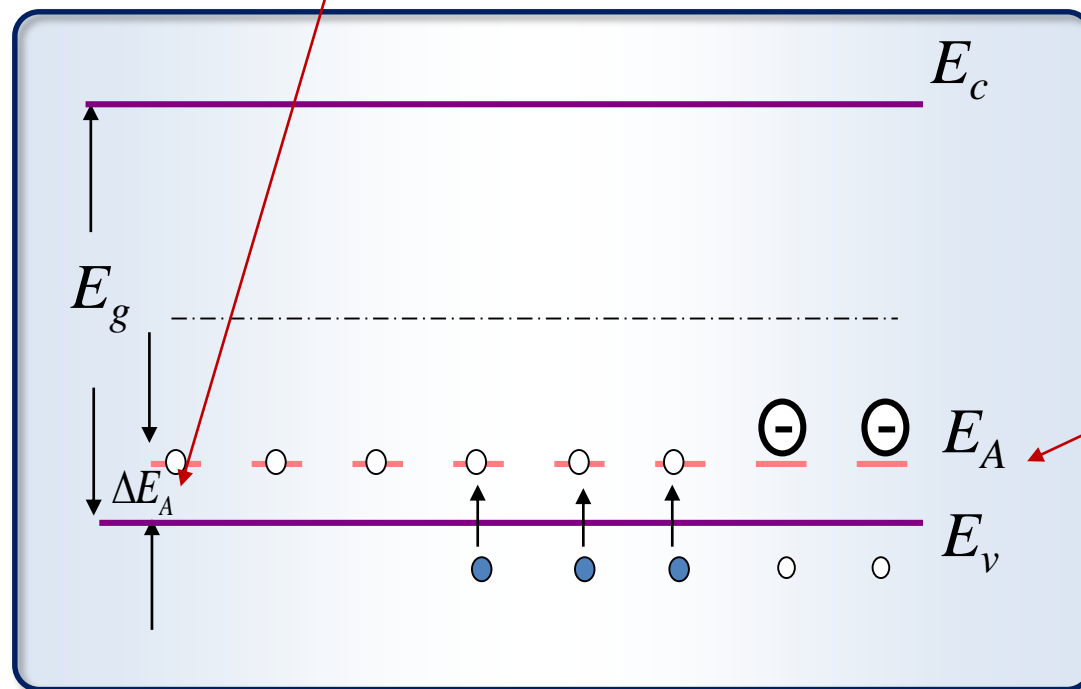
受主杂质、受主能级、离化能

p型掺杂



离化能：空穴脱离杂质原子的束缚成为导电空穴所需要的最小能量。

$$\Delta E_A = E_A - E_V$$



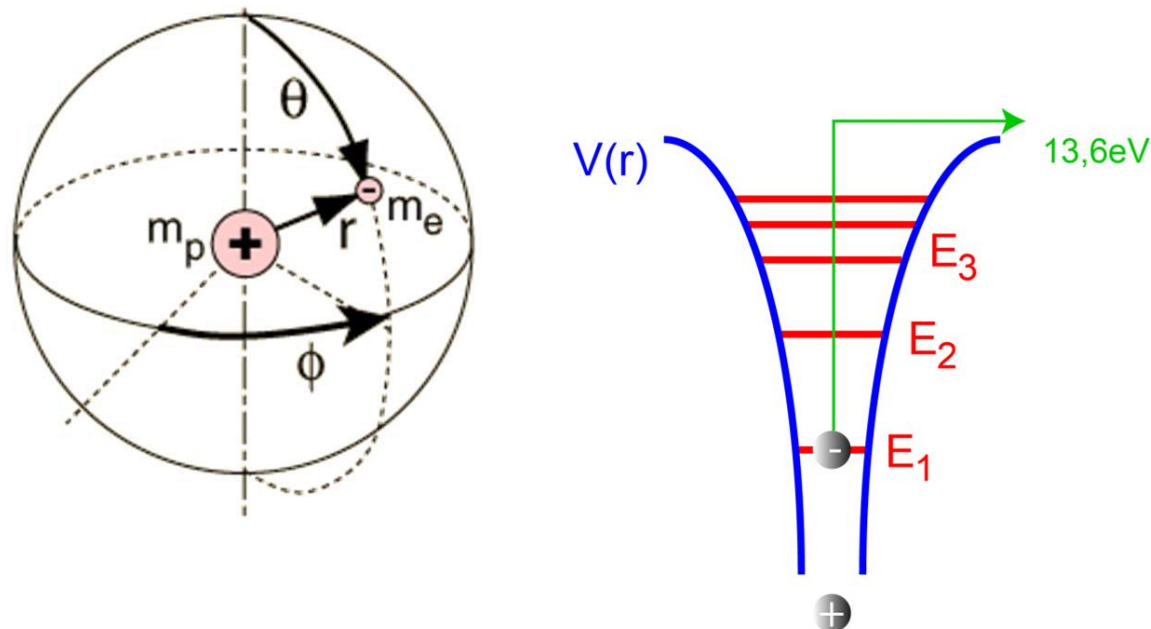
受主杂质在禁带中产生能级 $E_A$

**负电中心和束缚态**：硅中掺入Ⅲ族元素硼原子B，替位型杂质，3个价电子和周围的4个硅原子形成共价键，从旁边夺一个电子，形成一个负电中心 $B^-$ 和空位，空穴束缚在负电中心周围，但是这种束缚很弱，少量的能量使空穴脱离负电中心成为导电空穴。

**杂质电离**：空穴脱离杂质原子的束缚成为导电空穴的过程。

# 半导体物理知识要点回顾

利用氢原子模型估算离化能(ionization energy)

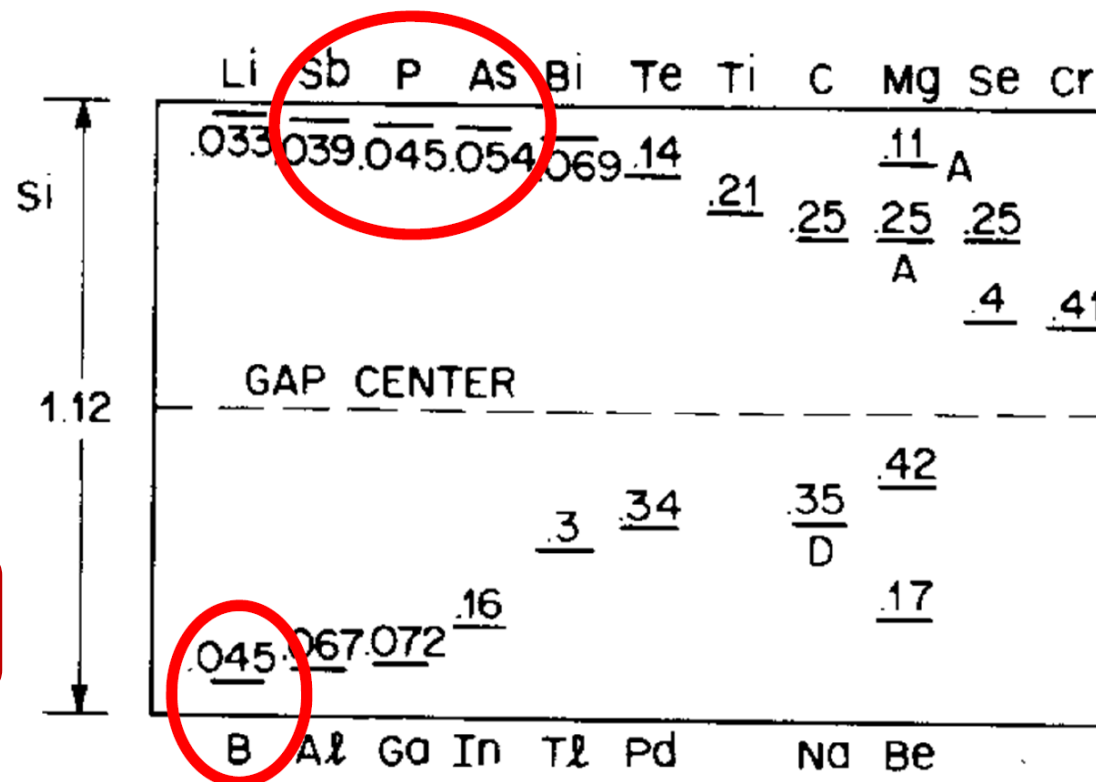


$$E_{\text{ion}} = \frac{m_0 q^4}{8 \epsilon_0^2 h^2} \approx 13.6 \text{ eV}$$

见尼曼书 2.4.1 节

氢原子的离化能  $\begin{cases} m_0 \rightarrow m^* \\ \epsilon_0 \rightarrow \epsilon_0 \epsilon_{\text{si}} \end{cases}$

$$E_{\text{ion}} \approx 50 \text{ meV}$$



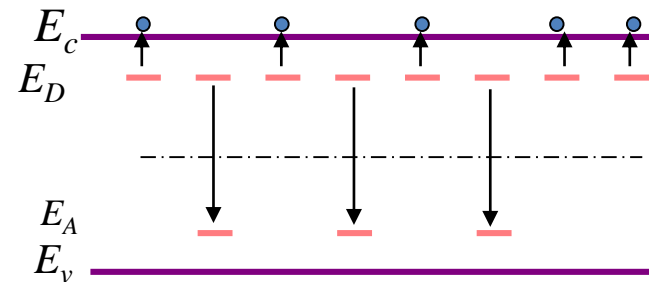
# 补偿半导体

半导体掺入两种杂质，分别引入两种杂质能级，对于半导体载流子都有贡献，两者有相互的抵消的作用。

$$N_D > N_A$$

施主杂质的电子首先跃迁到受主能级，  
剩余的向导带跃迁；

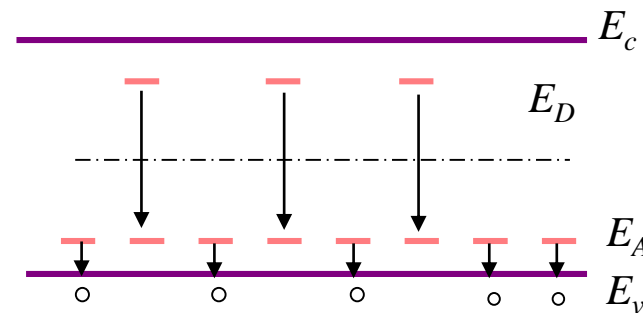
有效杂质浓度为  $n = N_D - N_A$  (n型半导体)



$$N_A > N_D$$

受主杂质上的空位首先接受来自施主  
杂质的电子，剩余的向价带释放空穴

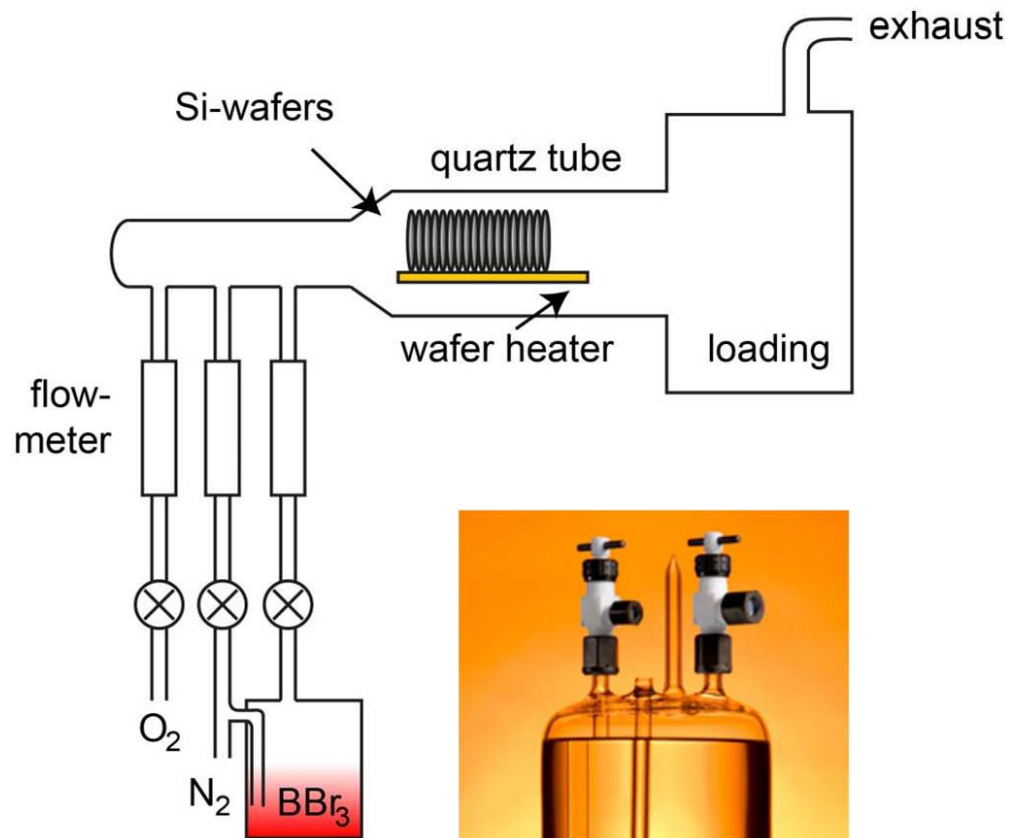
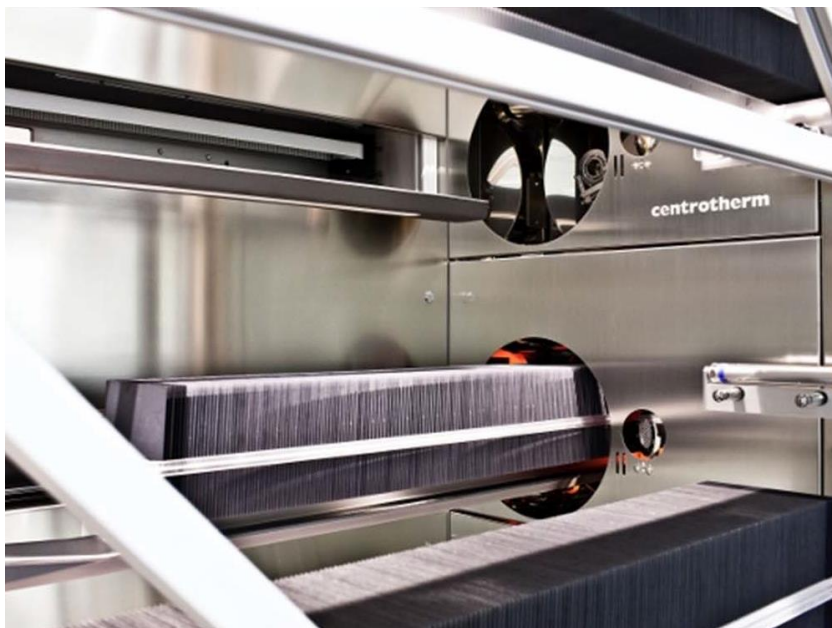
有效杂质浓度为  $p = N_A - N_D$  (p型半导体)





# 掺杂工艺

## 掺杂途径1: 扩散



silicon substrate

两步扩散工艺

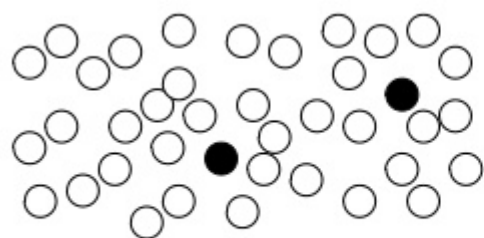
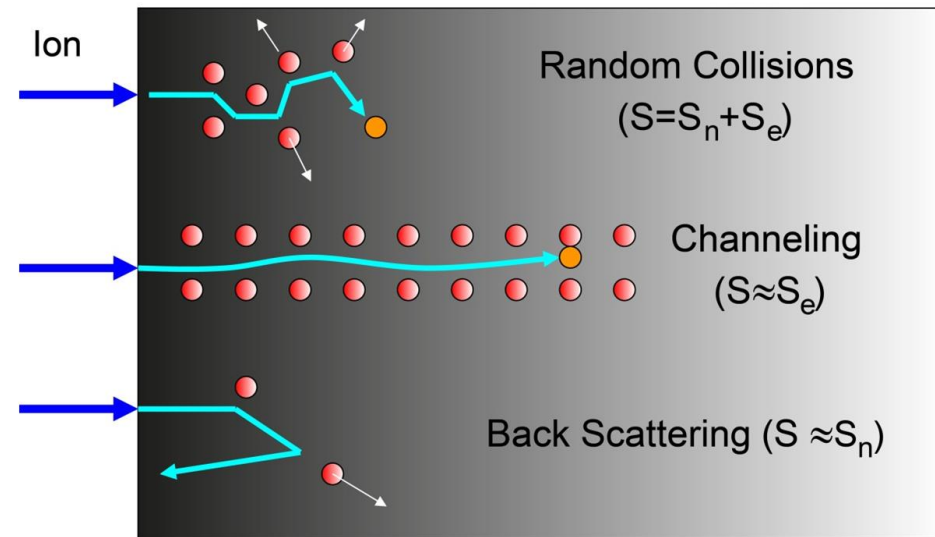
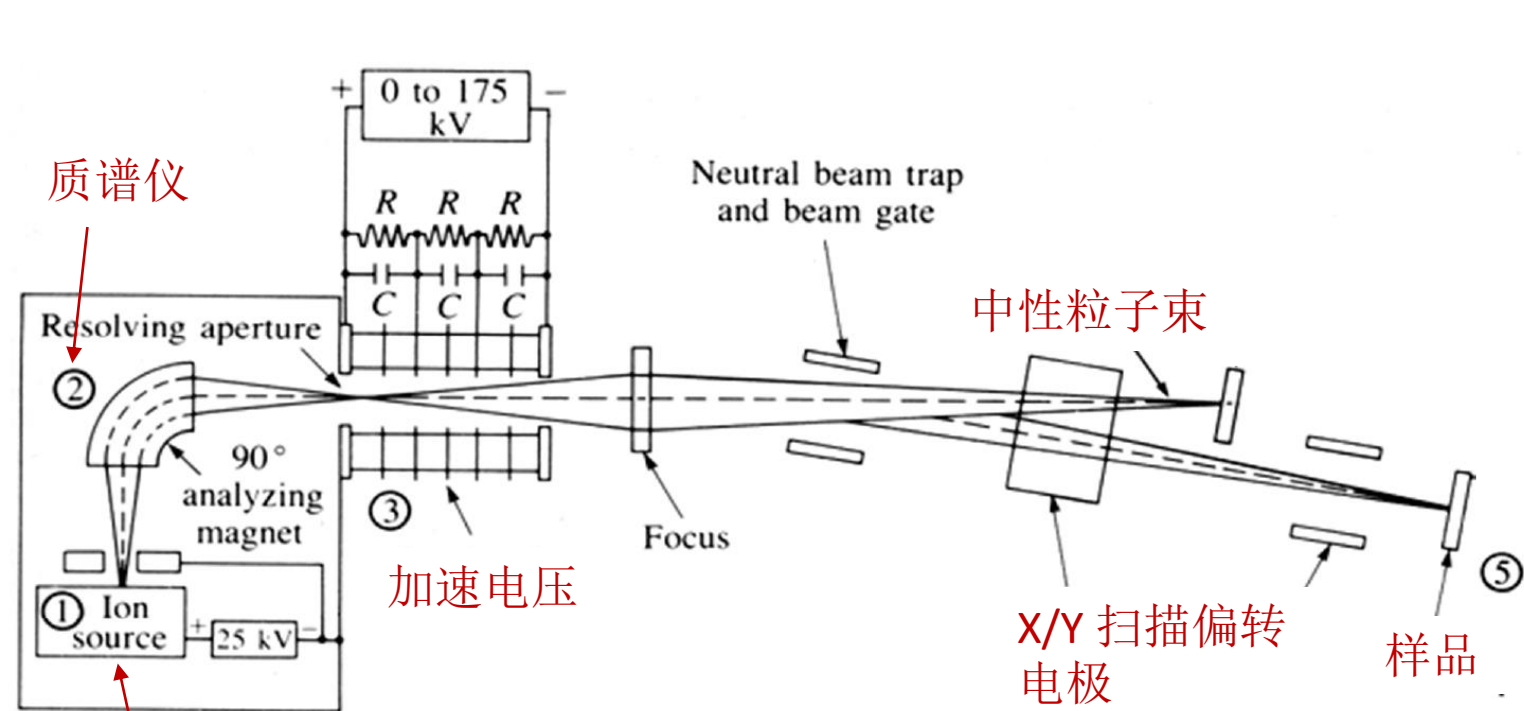
- 生成SiO<sub>2</sub>+B<sub>2</sub>O<sub>3</sub>薄膜
- 加热



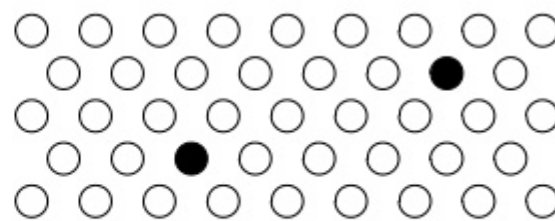
# 掺杂工艺



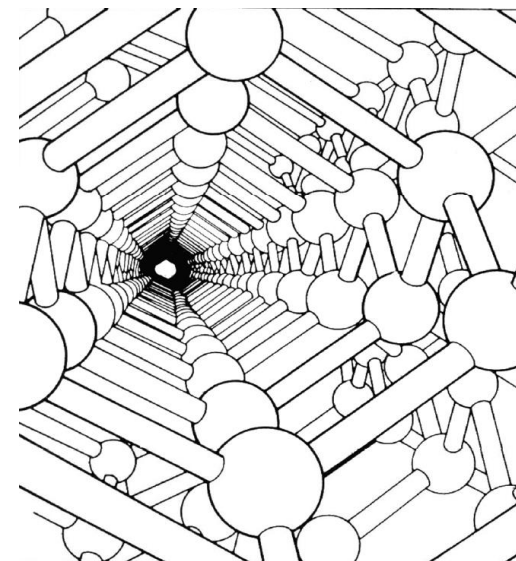
## 掺杂途径2：离子注入



退火前



退火后

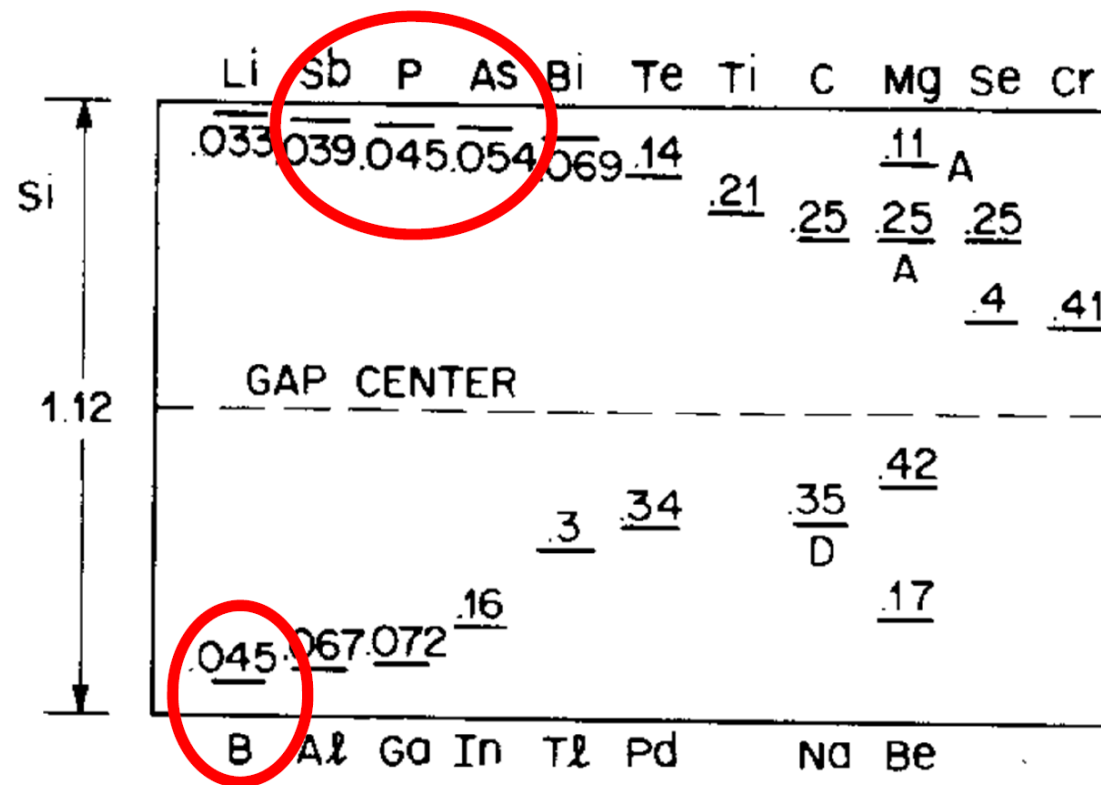


# 深能级杂质



深能级杂质：施主能级距离导带底较远，受主能级距离价带顶较远

- 深能级杂质能多次电离，每次电离相应有一个能级。所以这种杂质往往在禁带中引入多个能级。
- 同一杂质既能引入施主能级，又能引入受主能级。  
如：金Au在Ge中有3个受主能级，1个施主能级。  
银Ag引入3个受主能级引入多个能级与杂质原子的电子壳层结构、杂质原子的大小、杂质在半导体晶格中的位置等因素有关；
- 相对浅能级而言，深能级对载流子的贡献较小，但是对非平衡载流子的复合作用影响很强。



半导体fab厂中常将有铜区和无铜区分开！

# 杂质和缺陷能级小结



- 1) 点缺陷(空位、间隙原子)、线缺陷(位错)、面缺陷(层错、晶粒间界)
- 2) 线缺陷(刃位错、螺位错)
- 3) 面缺陷(层错、晶粒晶界)
- 4) n型半导体(载流子为电子)
  - 施主杂质、施主能级、离化能
- 5) p型半导体(载流子为空穴)
  - 受主杂质、受主能级、离化能
- 6) 补偿半导体
- 7) 扩散、离子注入
- 8) 浅能级杂质、深能级杂质