苏州大学VHDL语言及应用期末答题卷（A卷）共　页

考试形式 开 **卷　2020 年 06 月**

院系 电子信息学院 **年级** 18 **级** **专业** 通信工程

学号 1828401052 **姓名** 任彤 **成绩**

总　分	题 号	一	二	三	四	五	六	七
	题 分	60	20	20				
合分人	得 分							

得分

一．课程教学目标（共 60 分）

1.

（1）（9 分）答案：

①
(1) 用IF改写:

```
ARCHITECTURE behav OF test1 IS
BEGIN
   PROCESS (s, a,b,c, d)
   BEGIN
    IF S="00" THEN y<=a;
    ELSIF S="01" THEN y<=b;
    ELSIF S="10" THEN y<=c;
     ELSE   y<=d;
    END IF;
   END PROCESS;
  END behav;
```

② 用 when-else 改写:

```
ARCHITECTURE behav OF test1 IS
BEGIN
   y<= a  when S="00" ELSE
       b  when S="01" ELSE
       c  when S="10" ELSE
       d ;
 END behav;
```

③用 with - select改写.

```
ARCHITECTURE behav OF test1 IS
 BEGIN
    WITH S SELECT
       y <= a when "00",
            b when "01",
            c when "10",
            d ;
 END behav;
```

（2）（3 分）答案：

(2) 组合电路。
该电路实现4选1多路选择器的功能，不存在时序逻辑器件；
且选择器是一个组合逻辑器件。

（3）（3 分）答案：

(3) 该程序实现4选1多路选择器的功能，当输入S="00"，输出a；输入"01"，输出b；
输入"10"；输出c，其余输出d。

2.

（1）（5 分）答案：

2. (1) 内部组成：门阵列，2^N个输入变量，一路输出
原理：多路选择器

（2）（5 分）答案：

(2). (1)~(16)内容：
0000 0000 00000011

3.

（1）（10 分）答案：

```
3.(1) STD_LOGIC_ALL
      STD_LOGIC
      3 DOWNTO 0
      test2
      behav
      BEGIN
      clk
      q
      d
     END IF
```

（2）（3 分）答案：

```
(2) ARCHITECTURE behav OF test2 IS
    SIGNAL a : STD_LOGIC_VECTOR(3 DOWNTO 0);
    BEGIN
      PROCESS(clk, load, d, input)
      BEGIN
        IF RISING_EDGE(clk) THEN
          IF(load = '1') THEN
                a <= input;
          else
                a(3) <= a(0);
                a(2) <= a(3);
                a(1) <= a(2);
                a(0) <= a(1);
          END IF;
        END IF.
        END PROCESS;
      q<= a;
    END behav;
```

（3）（2 分）答案：

```
(3) LIBRARY IEEE;
   USE IEEE.STD_LOGIC_1164.ALL;
   ENTITY test2 IS
     PORT(clk, load, d : IN STD_LOGIC;
          input: IN STD_LOGIC_VECTOR(3 DOWNTO 0);
          q: BUFFER STD_LOGIC_VECTOR(3 DOWNTO 0));
   END test2;
   ARCHITECTURE behav OF test2 IS
     BEGIN.
       PROCESS(clk, load, d, input)
       BEGIN.
         IF RISING_EDGE(clk) THEN
           IF(load='1') THEN
                q<= input;
           else
             FOR i IN 2 DOWNTO 0 LOOP
                q(i) <= q(i+1);
             END LOOP;
              q(3)<= d ;
           END IF;
         END PROCESS;
       END behav;
```

4.

（1）（10 分）答案：

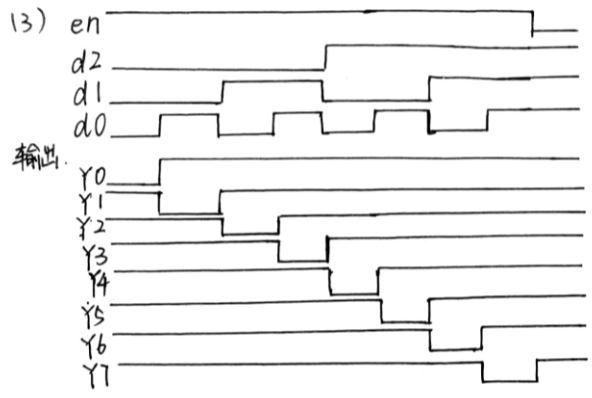
4.(1)

```
1) 01   LIBRARY IEEE;(结尾加;)
2) 02   USE IEEE.STD_LOGIC_1164.ALL;(LOGIC和1164中间是_)
3)05    Y: OUT STD_LOGIC_VECTOR(7 DOWNTO 0));   (TO改为DOWNTO)
4)08    SIGNAL indata:STD_LOGIC_VECTOR(2 DOWNTO 0);(进程外,这里定义信号SIGNAL)
5) 10   Indata <= d2&d1&d0;   (信号赋值<=)
6) 11   PROCESS(indata, en)   (Y是输出,不应在敏感信号表中).
7) 13   IF(en='1') THEN       (en是逻辑位,需加引号).
8)24    END CASE;             (CASE语句结尾为END CASE)
9)26.   Y<="11111111";        (8位逻输量用双引号)
10)29   END rtl;               (结构体名rtl).
```

（2）（5 分）答案：

(2) 该程序实现3线-8线译码的功能。
输入3位二进制和一个使能信号，当使能信号为高电平，电路工作。根据3位二进制转换为十进制的值，在对应的输出端口输出低电平，其它位为高电平。当使能信号不为高电平，电路不工作，输出8位全为高电平。

（3）（5 分）答案：



得分

二．课程教学目标（共 20 分）

1．（10 分）答案：

二、1.
```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
USE IEEE.STD_LOGIC_UNSIGNED.ALL;
ENTITY count12 IS
   PORT(clk, clr, en: IN STD_LOGIC;
        Q : OUT STD_LOGIC_VECTOR(3 DOWNTO 0));
END count12;
ARCHITECTURE rtl OF count12 IS
 SIGNAL CQ: STD_LOGIC_VECTOR(3DOWNTO0);
 BEGIN
  PROCESS(clk, clr, en)
    BEGIN
      IF(clr='1') THEN
          CQ <= "0000";
      ELSIF (clk'EVENT AND CLK='1') THEN
         IF(en='1') THEN
           IF( CQ = "1011") THEN
               CQ <= "0000";
           ELSE
               CQ <= CQ+1;
            END IF;
           END IF;
         END IF;
      END PROCESS;
     Q<=CQ;
  END rtl;
```

2．（10 分）答案：

2.
```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL; USE IEEE.STD_LOGIC_UNSIGNED.ALL;
ENTITY CLKGEN IS
   PORT ( clk: IN STD_LOGIC;
          clk2div, clk4div : OUT STD_LOGIC);
END CLKGEN;
ARCHITECTURE behav OF CLKGEN IS
SIGNAL   div2, div4 : STD_LOGIC;
SIGNAL   count: STD_LOGIC_VECTOR(1 DOWNTO 0);
BEGIN
   PROCESS(clk)
     IF(clk'EVENT AND clk='1') THEN
          div2 <= not div2;
          IF(count="01") THEN
              count <= (OTHERS=>'0');
              div4 <= not div4;
          ELSE
              count <= count+1;
          END IF;
        END IF;
     END PROCESS;
    clk2div <= div2;
    clk4div <= div4;
END behav;
```

注：若clk处输入100MHz时钟信号，clk2div输出50MHz，clk4div输出25MHz.

得分

三．课程教学目标（共 20 分）

1.

（1）（10 分）答案：

三. 1. (1)

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
USE IEEE.STD_LOGIC_UNSIGNED.ALL;
ENTITY monostable IS
    PORT (clk4, din, rst : IN STD_LOGIC;
          dout : OUT STD_LOGIC);
END monostable;
ARCHITECTURE behave OF monostable IS
  SIGNAL i: INTEGER;
    PROCESS (clk4, din, rst)
    BEGIN

  IF rst='1' THEN dout<='0';
   ELSIF (clk4'EVENT AND clk='1') THEN
        IF(din='1') THEN
            i<=0;
          WHILE (i<4) LOOP
              IF (clk4'EVENT AND clk='1') THEN
                 dout <='1';
                 i<= i+1;
              END IF;
            END LOOP;
         END IF;
       END IF;
    END PROCESS;
END behav;
```

（2）（10 分）答案：

```
(2) LIBRARY IEEE;
    USE IEEE.STD_LOGIC_1164.ALL;
    ENTITY  PLL1 IS
        PORT( clk4, pd_bef, pd_aft, rst:IN STD_LOGIC;
                    clk_d2, clkd1 : IN  STD_LOGIC;
                      clk_in  :  OUT STD_LOGIC);
     END PLL1;
    ARCHITECTURE behav OF PLL1 IS
       COMPONENT monostable
           PORT (clk4, din, rst : IN STD_LOGIC;
                          dout : OUT STD_LOGIC);
        END COMPONENT;
     SIGNAL a, b, c, d : STD_LOGIC;
      BEGIN
        u1: monostable PORT MAP (clk4, pd_bef, rst, a);
        u2: monostable PORT MAP(clk4, pd_aft, rst, b);
        c <= (NOT a) AND clk_d1;
        d <=  b AND clk_d2;
       clk_in <=  c OR d;

      END behav;
```