

苏州大学 VHDL 语言及应用 课程试卷 (A) 卷 共 10 页

考试形式 开 卷 2020 年 06 月

院系 电子信息学院 年级 2018 级 专业

学号 姓名 成绩

总 分	题 号	一	二	三	四	五	六	七
	题 分	60	20	20				
合分人	得 分							

得分

一. 课程教学目标 1 (共 60 分)

了解大规模可编程逻辑器件的基本知识和工作原理, 掌握 VHDL 语言的基本语法

1. 阅读如下程序:

```
library ieee;
use ieee.std_logic_1164.all;
entity test1 is
port ( s : in std_logic_vector(1 downto 0);
      a,b,c,d : in std_logic;
      y : out std_logic);
end test1;
architecture behav of test1 is
begin
  process(s, a, b, c, d)
  begin
    case s is
      when "00" => y<=a;
      when "01" => y<=b;
      when "10" => y<=c;
      when others => y<=d;
    end case;
  end process;
end behav;
```

(1) 分别用 **if**、**when-else**、**with-select** 语句进行改写其结构体部分。(每个 3 分，共 9 分)

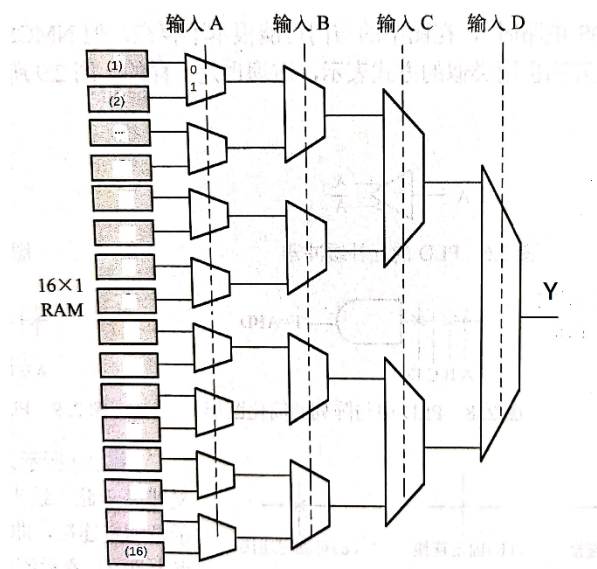
(2) 判断该程序实现的是组合电路还是时序电路，并解释判断依据。(3 分)

(3) 写出该程序实现的功能。(3 分)

2. 可编程查找表是 FPGA 器件中常用的可编程单元:

(1) 阐述其内部组成和实现可编程逻辑功能的原理；(5 分)

(2) 若其单元内部结构如下所示, 填写实现 $Y = ABCD + \bar{A}BCD$ 的逻辑时其 RAM 中 (1) ~ (16) 保存的内容; (5 分)



3. 四位移位寄存器的代码如下所示：

(1) 完成程序中的空白部分（每空 1 分，共 10 分）

```
library ieee;
use ieee._____.all;

entity test2 is
port ( clk, load, d : in _____;
      input : in std_logic_vector(_____);
      q : buffer std_logic_vector(3 downto 0));
end _____;

architecture _____ of test2 is
begin
  process(clk, load, d, input)
    _____
    if rising_edge(_____) then
      if (load = '1') then
        _____ <= input;
      else
        q(3) <= _____;
        q(2) <= q(3);
        q(1) <= q(2);
        q(0) <= q(1);
        _____;
      end if;
    end process;
end behav;
```

(2) 若将端口 `q` 的模式改为 `out`，写出修改后的结构体部分。(3 分)

(3) 使用 `for..loop` 语句实现该移位寄存器。(2 分)

4. 阅读如下 VHDL 程序:

```
01  LIBRARY  IEEE
02  USE IEEE.STD_LOGIC.1164.ALL;
03  ENTITY decoder3_8  IS
04  PORT( d0, d1, d2, en :IN STD_LOGIC;
05         Y : OUT STD_LOGIC_VECTOR ( 7 TO 0 ) );
06  END decoder3_8;
07  ARCHITECTURE rtl OF decoder3_8 IS
08      VARIABLE indata : STD_LOGIC_VECTOR ( 2 DOWNTO 0 );
09  BEGIN
10      Indata := d2 & d1 & d0 ;
11      PROCESS (indata, en, Y)
12      BEGIN
13          IF (en= 1) THEN
14              CASE indata IS
15                  WHEN  "000"  => Y <=  "11111110"  ;
16                  WHEN  "001"  => Y <=  "11111101"  ;
17                  WHEN  "010"  => Y <=  "11111011"  ;
18                  WHEN  "011"  => Y <=  "11110111"  ;
19                  WHEN  "100"  => Y <=  "11101111"  ;
20                  WHEN  "101"  => Y <=  "11011111"  ;
21                  WHEN  "110"  => Y <=  "10111111"  ;
22                  WHEN  "111"  => Y <=  "01111111"  ;
23                  WHEN  OTHERS=> NULL;
24              END WHEN;
25          ELSE
26              Y <=  '11111111'  ;
27          END IF;
28      END PROCESS;
29  END decoder3_8;
```

(1) 该程序中有十个语法错误, 给出错误所在的行号及修改方法。(每个 1 分, 共 10 分)

1)

2)

3)

4)

5)

6)

7)

8)

9)

10)

(2) 尽量完整的描述该程序实现的功能。(5 分)

(3) 自行设计仿真的输入信号波形，并画出输出信号的仿真结果。(5 分)

得分

二. 课程教学目标 1 (每题 10 分, 共 20 分)

掌握使用 VHDL 语言设计数字系统的方法

1. 设计一个带计数允许的异步清零的十二进制计数器。计数器的真值表如下:

输入端			输出端
clr	en	clk	Q(3..0)
1	X	X	0000
0	0	X	不变
0	1	上升沿	计数值加 1

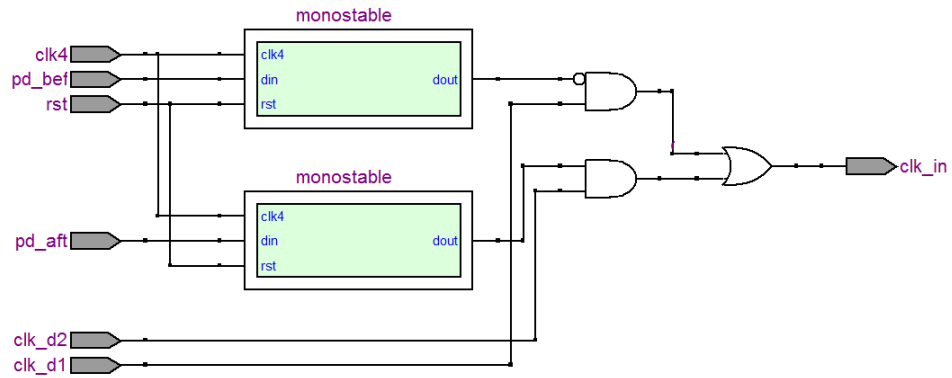
2. 设输入的时钟频率为 100MHz, 写出实现输出为 50MHz 和 25MHz 的 VHDL 程序。

得分

三、课程教学目标 1（共 20 分）

能够针对设计要求完成模块和系统的设计

1. 某锁相环位同步电路的控制模块逻辑图为



(1) 其中 **monostable** 模块为单稳态触发器，其功能为：**rst** 为异步复位引脚，高电平有效，复位时 **dout** 输出低电平；**clk4** 为时钟信号，若在 **clk4** 上升沿时检测到 **din** 引脚为高电平时，则 **dout** 输出 4 个 **clk4** 时钟周期的高电平，完成该模块程序的编写。（10 分）

(2) 完成控制模块顶层电路程序（monostable 模块采用元件例化方式进行调用）。（10 分）