**第七章作业 2020.4.15**

1、分别用IF、CASE、WHEN-ELSE、WITH-SELECT语句描述4选1数据选择器。

2、设计一个七段显示译码器的VHDL程序。

3、设计一个8线-3线优先编码器（考虑使能信号）的VHDL程序

4、设计一个异步复位、同步置位的D触发器。控制信号均高电平有效，时钟信号上升沿触发。

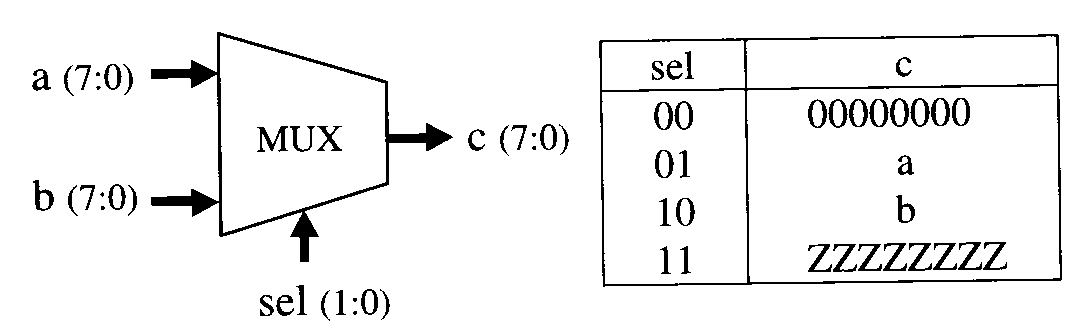
5、设计一个按BCD码输出的60进制计数器（异步清零，同步使能，带进位输出）

6、用VHDL程序设计一个1000分频的分频器。

7、用VHDL程序设计一个10双向移位寄存器。

8、完成程序中的空白部分。

1）



LIBRARY IEEE;

USE ;

ENTITY mux IS

PORT( , : STD\_LOGIC\_VECTOR(7 DOWNTO 0);

sel : IN ;

: OUT STD\_LOGIC\_VECTOR(7 DOWNTO 0));

END ;

ARCHITECTURE behav OF IS

BEGIN

. PROCESS(a, b, )

BEGIN

IF (sel = "00") THEN

c <= "00000000";

ELSIF ( ) THEN

c <= a;

(sel = "10") THEN

c <= ;

ELSE

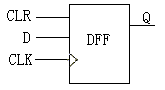
c <= (OTHERS => );

\_\_\_\_\_\_\_\_\_\_\_\_;

END PROCESS;

END \_\_\_\_\_\_\_\_\_\_\_\_\_;

2)



IEEE;

USE IEEE.STD\_LOGIC\_1164.ALL;

ENTITY dff IS

PORT ( d, clk, clr : std\_logic ;

Q: std\_logic) ;

END ;

ARCHITECTURE OF dff IS

BEGIN

P1: PROCESS ( )

BEGIN

IF ( AND clk = ‘1’ ) THEN

IF(clr= ) THEN

Q <= ;

ELSE

Q <= ;

END IF;

;

END PROCESS P1;

END dff1 ;

9、程序改错：给出错误所在的行号及修改方法。并分析该程序实现的功能；自行设计仿真的输入信号波形，画出输出信号的仿真结果。

01 LIBRARY IEEE

02 USE IEEE.STD\_LOGIC.1164.ALL;

03 ENTITY decoder3\_8 IS

04 PORT( d0, d1, d2, en :IN STD\_LOGIC;

05 Y : OUT STD\_LOGIC\_VECTOR ( 7 TO 0 ) );

06 END decoder3\_8;

07 ARCHITECTURE rtl OF decoder3\_8 IS

08 VARIABLE indata : STD\_LOGIC\_VECTOR ( 2 DOWNTO 0 );

09 BEGIN

10 indata := d2 & d1 & d0 ;

11 PROCESS ( indata, en, Y)

12 BEGIN

13 IF (en= 1) THEN

14 CASE indata IS

15 WHEN “000” => Y <= “11111110” ;

16 WHEN “001” => Y <= “11111101” ;

17 WHEN “010” => Y <= “11111011” ;

18 WHEN “011” => Y <= “11110111” ;

19 WHEN “100” => Y <= “11101111” ;

20 WHEN “101” => Y <= “11011111” ;

21 WHEN “110” => Y <= “10111111” ;

22 WHEN “111” => Y <= “01111111” ;

23 WHEN OTHERS=> NULL;

24 END WHEN;

25 ELSE

26 Y <= ‘11111111’;

27 END IF;

28 END PROCESS;

29 END decoder3\_8;

10、根据下图所示结构，先分别设计十进制计数器COUNTER10和六进制计数器COUNTER6。若已有FENPIN、COUNTER10及COUNTER6元件，用元件例化语句完成图示顶层电路程序。

