**第三次练习题 2020.3.11**

1、画出与以下实体描述对应的原理图符号元件:

ENTITY buf3s IS --实体1

PORT(input: IN STD\_LOGIC; --输入端

enable: IN STD\_LOGIC; --使能端

output: OUT STD\_LOGIC); --输出端

END buf3s ;

ENTITY mux21 IS --实体2

PORT( in0, in1, sel : IN STD\_LOGIC;

Output : OUT STD\_LOGIC);

END mux21 ;

2、8位加法器Adder\_8的原理图符号如下图所示，写出对应的实体描述程序。



3、试分别用IF\_THEN语句、CASE语句和WHEN\_ELSE语句的表达方式写出4选1数据选择器电路的VHDL程序。在此基础上，写出8选1数据选择器的VHDL程序。

要求：先画出电路模型图（符号元件图），再根据图中符号标识写程序。

4、用VHDL编程设计下图所示的1位全减器电路，要求：

1）设计下图中的1位半减器h\_suber（其中：x为被减数，y为减数，diff为差数，s\_out为借位输出），写出其VHDL程序;

2）用元件例化语句按下图所示电路连接起来，构成1位全减器电路f\_suber，写出其VHDL程序。

