**第六章作业 2020.4.1**

1、写出74HC148、74HC138、74HC151、74HC283、74LS194A、74161、74160等器件的实体描述。

2、数据类型BIT、INTEGER、BOOLEAN和STD\_LOGIC分别定义在哪个库中？哪些库和程序包总是可见的？STD\_LOGIC\_1164和STD\_LOGIC\_UNSIGNED库里具体定义了什么内容？

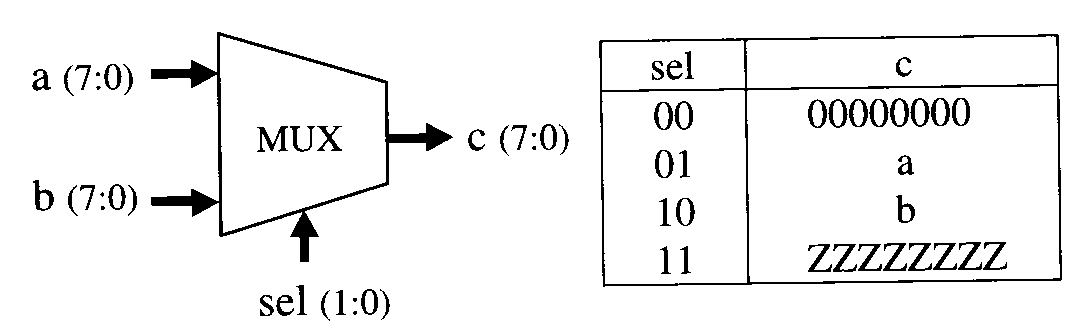
3、判断下列VHDL标识符中，哪些是正确的？哪些是错误的？如果有错请简要说明错误原因。

encoder4\_2，select\_，81mux，rst@4，signal，data\_ \_bus，count\_123，abc，74HC153，clr/3

4、复习梳理第三章、第四章所学电路的结构体描述。

5、完成程序中的空白部分。

1）



LIBRARY IEEE;

USE ;

ENTITY mux IS

PORT( , : STD\_LOGIC\_VECTOR(7 DOWNTO 0);

sel : IN ;

: OUT STD\_LOGIC\_VECTOR(7 DOWNTO 0));

END ;

ARCHITECTURE behav OF IS

BEGIN

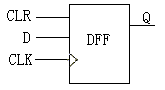
.

.

.

END \_\_\_\_\_\_\_\_\_\_\_\_\_;

2)



IEEE;

USE IEEE.STD\_LOGIC\_1164.ALL;

ENTITY dff IS

PORT ( d, clk, clr : std\_logic ;

Q: std\_logic) ;

END ;

ARCHITECTURE OF dff IS

BEGIN

.

.

.

END dff1 ;

6、程序改错

1）程序段一：

01 LIBRARY IEEE

02 USE IEEE\_STD\_LOGIC\_1164.ALL;

03 ENTITY and2 IS

04 PORT(a, b： IN STD\_LOGIC;

05 y： STD\_LOGIC OUT);

06 END and2;

07 ARCHITECTURE and2\_1 OF and2 IS

08 BEGIN

09 y=a AND b;

1. END and2;

2) 程序段二：

01 LIBRARY IEEE;

02 LIBRARY IEEE.STD\_LOGIC\_1164.ALL;

03 ENTITY mux41 IS

04 PORT (i0, i1, i2, i3, a, b: IN STD\_LOGIC;

05 q: OUT STD\_LOGIC; )

06 END mux41;

07 ARCHICTURE rtl OF mux IS

08 BEGIN

09 SIGNAL sel: STD\_LOGIC\_VECTOR (1 DOWNTO 0);

10 sel:=b & a;

11 q<=i0 WHEN sel=“00” ELSE

12 i1 WHEN sel=“01” ELSE

13 i2 WHEN sel=“10” ELSE

14 i3 WHEN sel=“11” ELSE

15 “X”;

16 END rtl;

3) 程序段三：

01 LIBRARY IEE;

02 USE IEEE.STD\_LOGIC\_1164.ALL;

03 USE IEEE.STD\_LOGIC\_UNSIGNED.ALL；

04 ENTITY decoder3to8 IS

05 PORT (input: IN STD\_LOGIC\_VECTOR (2 TO 0);

06 output: OUT STD\_LOGIC\_VECTOR (7 DOWNTO 0) ; )

07 END decoder3\_8;

08 ARCHITECTURE behave OF decoder3to8 IS;

09 BEGIN

10 PROCESS (input)

11 BEGIN

12 output<= (OTHERS=>’0’);

13 output (CONV\_INTEGER (input))<=’1’;

14 END PROCESS;

15 END decoder3to8;