**第四章作业 2020.3.18**

1、设计一个具有同步置1，异步置0的D触发器。如果要求异步置1，异步置0，程序应该如何改写？

2、参照课件中4位二进制加法计数器的程序，设计一个带进位输出的异步清零、同步置数和同步使能的8位二进制加法计数器。

3、用VHDL设计一个类似74160的计数器。程序中对应74160中的工作状态控制端EP和ET只需用一个使能信号表示即可。