

Vorbereitung:

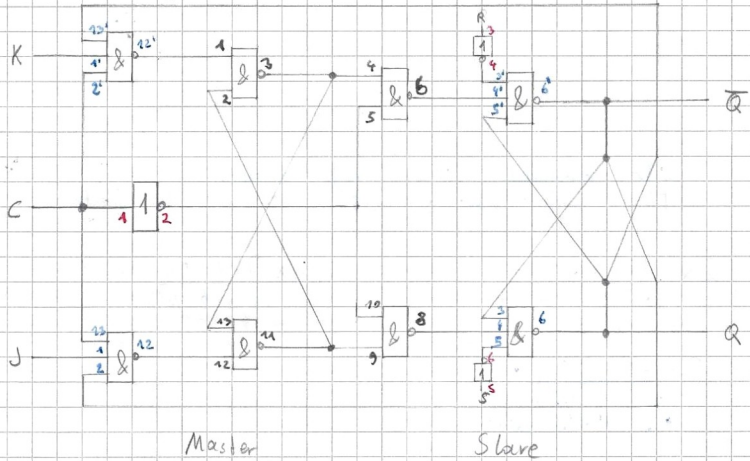
A) Master-Slave-Flip-Flop

1.1) 2-flankengesteuertes JK-Master-Slave-Flip-Flop

K/J ... Eingänge  
 C ... Clock  
 S ... Set  
 R ... Reset  
 Q/Q̄ ... Ausgänge

⇒ Rückkopplung Ausgang auf Eingang

Wie in VD werden europäische Ersatzschaltbilder verwendet (für Vorleser)



1x 74LS00 (2x NAND) → 4 benötigt  
 1x 74LS04 (6 NOT) → 3 benötigt (C, S, R)

Pin 7 & 14  
 GND V<sub>CC</sub>

2x 74LS10 (3x 3-NAND) → 4 benötigt

1.2)

C	K	J	Q	Q̄
—	0	0	1	0
—	0	0	0	1
—	0	1	1	0
—	1	0	0	1
↓	0	1	0	1
↓	1	0	1	0
↓	1	1	0	1
↓	1	1	1	0

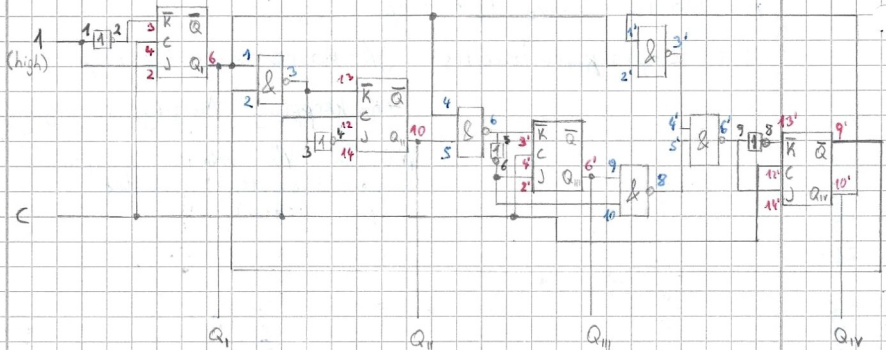
(bin. Q<sub>n</sub> / unverändert) }  
 (analog) }  
 gleich RS }  
 Umschalten }

Für RS-FF ist S=1 & R=1 verboten!

Michael Hinterleitner  
 Gruppe: 7 (Mittwoch Nachmittags)  
 12.02.11

# B) Dehndischer - synchron - 4bit - Zähler

1.1)



nicht verwendete Pins auf Masse  
Pins links unten & rechts oben an den Bausteinen  $\Rightarrow$  GND bzw.  $V_{CC}$

2x 74LS109.  
(aus 2 JK-MS-FF)  
 $\rightarrow$  4 JK-MS-FF nötig

1x 74LS04.  
(aus 6 NOT)  
 $\rightarrow$  6 NOT nötig

2x 74LS00.  
(aus 4 NAND)  
 $\rightarrow$  5 NAND nötig