

Graz University of Technology

Institut für Materialphysik der Technischen Universität Graz

LABORÜBUNGEN: ELEKTRONIK UND COMPUTERUNTERSTÜTZTE MESSTECHNIK

Übungsnummer: 4

Übungstitel: Digitale Schaltungen - Schaltwerke

Gruppennummer: 7

Name: Maximilian PHILIPP

Name: Michael HINTERLEITNER

Mat. Nr.: 11839611

Mat. Nr.: 12002411

Datum der Übung: 01.06.2022

Sommersemester 2022

Inhaltsverzeichnis

1	Aufgabenstellung	3
2	Vorbereitung	5
3	Grundlagen	8
4	Versuchsdurchführung	9
4.1	Master-Slave-Flip-Flop	11
4.1.1	Simulation	11
4.1.2	Steckboard	13
4.2	Dekadischer synchron 4Bit-Zähler	17
4.2.1	Simulation	17
4.2.2	Steckboard	18
5	Auswertung	20
6	Diskussion und Zusammenfassung	22
6.1	Diskussion	22
6.2	Zusammenfassung	22

Elektronik und computerunterstützte Messtechnik

Labor, SS 2022

PHY.I02UF

Übung 4: Digitale Schaltungen - Schaltwerke

A Master-Slave-Flip-Flop

B Dekadischer synchron 4bit Zähler

Abgabe der Vorbereitung: **Achtung: Änderung wegen Rektorstag Fr. 27.05.**

bis Freitag, 27. Mai 2022, 12 Uhr im Teach Center (online) !!

Praktikumstermin: **KW22 (01.06. bis 03.06.2022)**

A Master-Slave-Flip-Flop

1 Vorbereitung

- 1.1 Für ein zweiflankengesteuertes JK-Master-Slave-Flip-Flop ist der Schaltplan, unter Verwendung von NAND- (74LS00, 74LS10) und NOT-Gattern (74LS04) zu erstellen. Es sind auch die direkt wirkenden Set- und Reset- Eingänge zu realisieren. **Anschlusspins sind im Schaltplan** entsprechend der ICs zu nummerieren.
- 1.2 Die Wahrheitstabelle für den entworfenen JK-MS-FF ist zu notieren. Worin liegt der Unterschied zu einem RS-Master-Slave-Flip-Flop?

2 Durchführung

- 2.1 Die Schaltung ist mit LTspice zu simulieren. Die Eingangspegel sowie die Ausgangspegel sind digital darzustellen
- 2.2 Das JK-Flipflop ist auf dem Steckboard aufzubauen und auf seine Funktionalität zu prüfen. Als Pegelgeber werden für das Steckboard vorhandene elektronisch entprellte Schalter verwendet.
Die Ein- und Ausgangszustände sind durch LED's anzuzeigen und die Funktionalität der Schaltung ist anhand ebendieser zu zeigen.

Trivia: Das Entprellen bei Pegelgebern (Taster/Schalter) wird durch RS-Flip-Flops realisiert.

- 2.3 Die Ergebnisse sind zu dokumentieren und zu diskutieren.

B Dekadischer synchron 4bit-Zähler

1 Vorbereitung

- 1.1 Für einen synchronen, vorwärtzählenden, **dekadischen**¹ 4bit-Zähler ist der Schaltplan, unter Verwendung von JK-MS-FlipFlops (74LS109), sowie NAND- (74LS00, 74LS10) und NOT-Gatter (74LS04) zu erstellen. Die **Anschlusspins sind im Schaltplan** entsprechend zu nummerieren.

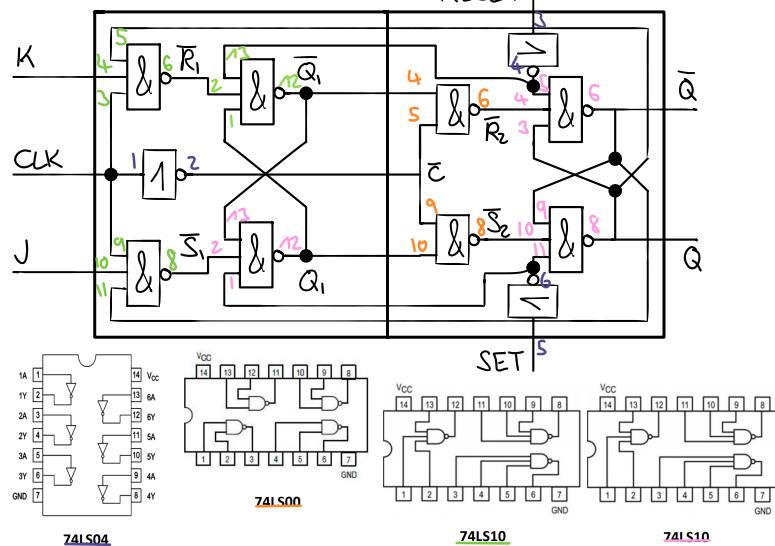
2 Durchführung

- 2.1 Die Schaltung ist mit LTspice zu simulieren. Die Eingangspegel sowie die Ausgangspegel sind darzustellen.
- 2.2 Die Schaltung ist am Steckboard aufzubauen und ihre Funktionalität zu zeigen (siehe Aufgabenstellung A).
- 2.3 Die Ergebnisse sind zu dokumentieren und zu diskutieren.

¹ Beim zehnten Zählimpuls soll sich der Zähler von selbst auf null zurücksetzen.

Master Slave Flip Flop

Maximilian Pflüpp
11839611 GRUPPE 7 Mittwoch
Nachmittag



Natürlich müssen die Komponenten nach mit VCC gespeist & mit Ground verbunden werden.

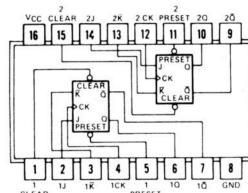
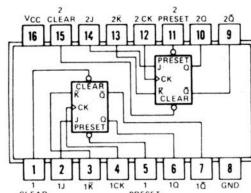
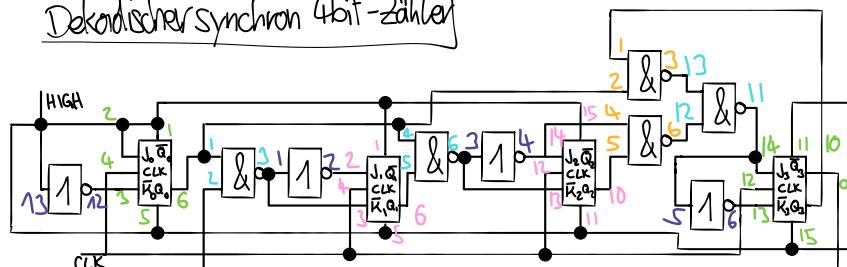
7.2) Wahrheitstabelle vom Zeitpunkt n zu n+1
wobei Q_n , \bar{Q}_n die Zustände von Q, \bar{Q} zum Zeitpunkt n ist.

CLK	J	K	Q_n	\bar{Q}_n
X	-	-	Q_n	\bar{Q}_n
Low to High oder no transition	0	0	Q_n	\bar{Q}_n
High to Low	0	1	0	1
	1	0	1	0
	1	1	\bar{Q}_n	Q_n

NOP
NOP
RESET
SET
TOGGLE

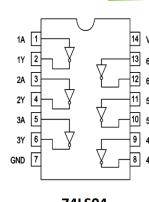
Beim RS-Ms-FF dürfen die Eingänge R, S nicht beide HIGH sonst verhalten Sie sich gleich
→ Selbe Wahrheitstabelle ohne letzte Zeile.

Dekodischer synchron 4bit-Zähler

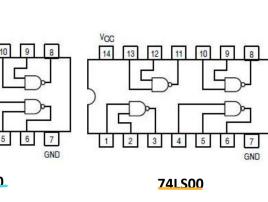


74LS109

74LS109



74LS04



74LS00

Natürlich müssen die Komponenten nach mit VCC gespeist & mit Ground verbunden werden.

25.5.22 ECM Übung 4

Vorbereitung:

A) Master-Slave-Flip-Flop

1.1) 2-flankengesteuertes JK-Master-Slave-Flip-Flop

K/J ... Eingänge

C ... Clock

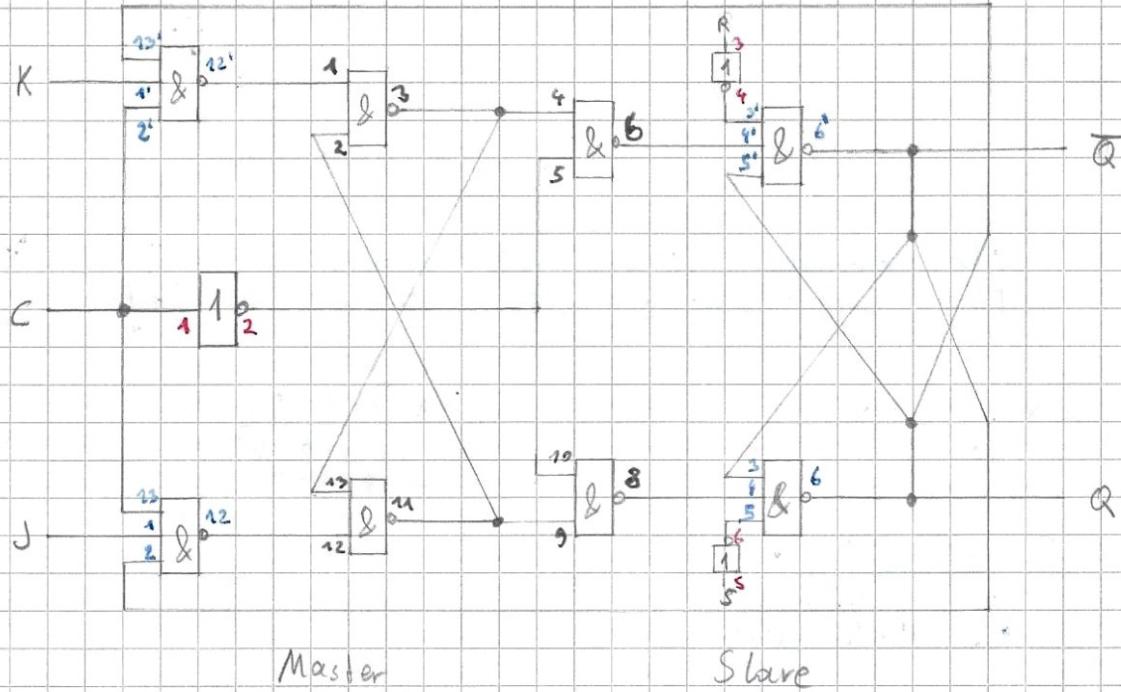
S ... Set

R ... Reset

Q/Q ... Ausgänge

⇒ Rückkopplung Ausgang auf Eingang

Wie in VD werden europäische
Ersatzschaltblöcke verwendet
(für Großteil)



1x 74LS00, 1x 74LS04
(4xNAND)
↳ 4 benötigt
↳ 3 benötigt
(C, S, R)

Pin 7814
GND \downarrow V_{cc}

2x 74LS10
(3x3-NAND)
↳ 4 benötigt

1.2)

C	K	J	Q	\bar{Q}
—	0	0	1	0
—	0	0	0	1
—	0	1	1	0
1	0	0	0	1
↓	0	1	0	1
↓	1	0	1	0
↓	1	1	0	1
↓	1	1	1	0

} (bei Q_{in} unverändert) } $\stackrel{\cong}{=} C=1, K=0$
(analog)

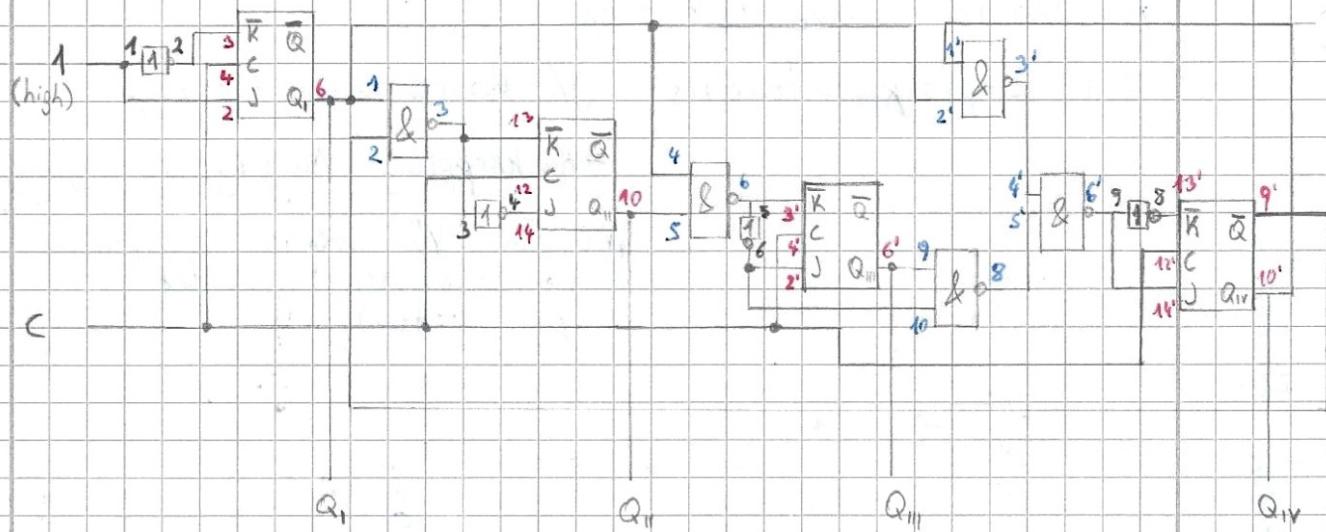
} gleich RS

} Umschalten

Für RS-FF ist $S=1$ & $R=1$ verboten!

B) Dechardischer - synchron - 4bit - Zähler

1.1)



nicht verwendete Pins auf Masse
Pins links unten & rechts oben am den Bauteilen \Rightarrow GND bzw. V_{CC}

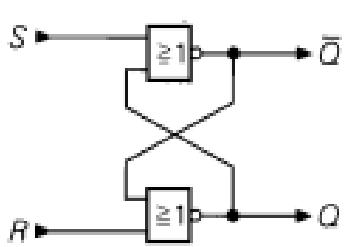
$2 \times \underline{74LS109}$ •
(aus 2 JK-Ms-FF)
 \hookrightarrow 4 JK-Ms-FF nötig

$2 \times \underline{74LS00}$ •
(aus 4 NAND)
 \hookrightarrow 5 NAND nötig

$1 \times \underline{74LS04}$ •
(aus 6 NOT)
 \hookrightarrow 6 NOT nötig

3 Grundlagen

Schaltwerke (sequentielle Logik) können im Gegensatz zu Schaltnetzen (kombinatorische Logik) deren Zustände speichern. Als Grundlage dienen hierfür Flip-Flops, also bistabile Kippstufen, die es in diversen Ausführungen gibt - beispielsweise existieren unterschiedliche Steuerungsarten (zustands- oder flankengesteuert). Elementar ist hierbei das RS-Flip-Flop wie es in Abbildung 1 mitsamt Wahrheitstabelle zu sehen ist. Hierbei wurde jenes mittels NOR-Gattern realisiert; anstelle hätten auch NAND-Gatter verwendet werden können.



S	R	Q	\bar{Q}
0	0	Q_{-1}	\bar{Q}_{-1}
0	1	0	1
1	0	1	0
1	1	(0)	(0)

Abbildung 1: Diese Schaltung (links) zeigt den Aufbau eines RS-Flip-Flops aus NOR-Gattern mit Eingängen R und S sowie Ausgängen Q und \bar{Q} ; die zugehörige Wahrheitstabelle (rechts) beinhaltet alle möglichen Kombinationen der Eingänge. [5]

Dabei handelt es sich um ein zustandsgesteuertes Flip-Flop mit den Eingängen R und S sowie Ausgängen Q und \bar{Q} , wobei dieses transparent ist, da Änderungen vom Ein- auf den Ausgang sofort übertragen werden. Ein Flip-Flop kann nun mit einem zusätzlichen Eingang, dem Takt, auch Clock (C), angesteuert werden. Wenn nun zusätzlich zwei Flips-Flops miteinander seriell verbunden werden und der Takt am Eingang des zweiten Flip-Flops negiert wird, kann man ein Master-Slave Flip-Flop erhalten, welches zweiflankengesteuert und nicht-transparent ist; d.h. dass am Master, dem ersten Flip-Flop, die Signale der Eingänge bei steigender Flanke eingelesen/zwischengespeichert und an den Slave, den hinteren Flip-Flop, bei fallender Flanke übertragen werden, wobei der Eingang dabei verriegelt ist. Somit sind Eingang und Ausgang also getrennt. Wenn weiters die Ausgänge auf die Eingänge rückgekoppelt werden, erhält man ein zweiflankengesteuertes JK-Master-Slave Flip-Flop mit Eingängen J und K , wie es in Abschnitt 2 (Vorbereitung) inklusive der zugehörigen Wahrheitstabelle dargestellt wird. Aufgrund der Rückkopplung tritt bei $J = K = 1$ Togglen auf (an der negativen Flanke des Takts), was das Kippen des vorherigen Zustands beschreibt. Diese Konstellation der Eingangszustände war ohne Rückkopplung nicht definiert beziehungsweise verboten.

Tabelle 1: Tabelle der verwendeten Geräte

Geräte liste		
Gerät/Bauelement	Typ	In Simulation
Netzgerät	nicht bestimmbar	
NOT-Gatter	74LS04[1]	74HCT04
2x-NAND-Gatter	74LS00[3]	74HCT00
3x-NAND-Gatter	74LS10[4]	74HCT10
JK-MS-FF	74LS109[2]	74HCT109

Anwendungen finden Flip-Flops unter anderem für Zähler (wie in dieser Laborübung) oder für Schieberegister. Dabei stellen die Flip-Flops Speicherelemente für die Zustände dar, welche mittels der anliegenden Taktung verändert werden können. Für Zähler beschränkt die Anzahl der verwendeten Flip-Flops die Zählhohe, die weiters mithilfe von beispielsweise NAND-Gattern, wie in Abschnitt 2 (Vorbereitung) zu sehen, begrenzt werden kann, wodurch die Ausgabe wieder auf Null gesetzt wird. Wenn wie in diesem Zähler-Versuch die gleiche Taktug an jeden Flip-Flop angelegt wird, handelt es sich um einen Synchron-Zähler. Beim asynchronen Zähler wird dagegen der (nicht-negierte) Ausgang des einen Flip-Flops auf den Takteingang des nächsten gelegt, woraus Zeitverzögerungen resultieren.

4 Versuchsdurchführung

Da die exakten Komponenten für die logischen Gatter nicht in *LTspice* zur Verfügung standen, wurden funktionstüchtig-äquivalente Bauteile in der Simulation verwendet. Die Gegenstücke in der Simulation wurden unten angeführt. Die verwendeten Geräte sind Tabelle 1 zu entnehmen.

Entprellter Schalter Der entprellter Schalter wird als Signalgeber für die logischen Schaltungen und Gatter verwendet. Der Aufbau dieses Schalters ist in Abbildung 2 ersichtlich, jedoch ist noch der *GND* mit Ground und *VCC* mit 5 V zu beschalten, damit das Signal von den Schaltern für die jeweilige Betriebsart abgegriffen werden kann.

Jeder dieser Schalter hat hierbei eine Standard-*HIGH*- bzw. *LOW*-Betriebsart.



Abbildung 2: Dies sind die zwei entprellten Schalterplatinen mit je zwei Schaltern (S_1, S_2) die entweder mit Standard-HIGH oder -LOW verwendet werden können. Diese werden durch Beschalten des GND und der 5 V Betriebsspannung in Betrieb genommen

LED Leiste Damit die Eingangssignale und Ausgangssignale der logischen Schaltungen dargestellt werden können, wird eine LED-Leiste verwendet. Diese besteht aus mehreren LEDs mit Vorwiderständen und ist in Abbildung 3 dargestellt und unterstützt bis zu 8 Aus- bzw. Eingangssignale. Die hier verwendete LED-Leiste hat einen Common-Ground und somit werden positiven Spannungssignale direkt an den verschiedenen Anschlüssen angelegt um die LED zum Leuchten zu bringen.

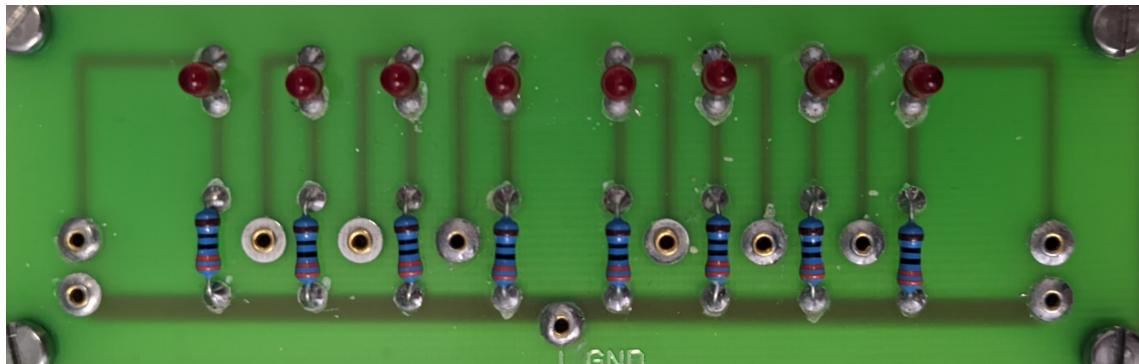


Abbildung 3: Dies ist die LED-Leiste, welche 8 LEDs mit je einem Vorwiderstand hat. Sie ist in Common-Ground-Konfiguration und wird verwendet, um Signal anzeigen zu können.

Damit die Aufnahmen der Schaltungen übersichtlich bleiben, wurden diese meistens von den Aufnahmen weggescchnitten und deren Funktion in der jeweiligen Grafik mittels *LED* dargestellt oder in der Beschriftung gekennzeichnet bzw. erwähnt.

4.1 Master-Slave-Flip-Flop

4.1.1 Simulation

Die Schaltung des JK-Master-Slave-Flip-Flop (JK-MS-FF) wurde gemäß der Aufgabenstellung in Abbildung 4 in LTSpice aufgebaut und simuliert. Diese Schaltung wurde mit fünf Eingangspins und zwei Ausgangspins konstruiert. Die fünf Eingangspins sind *J C K R S*, wobei *S R* die direkten Set und Reset (bzw. PRESET & CLEAR), *C* das Clocksignal, *J K* die normalen SET und RESET Pins als Eingänge des JK-Master-Slave-Flip-Flop sind.

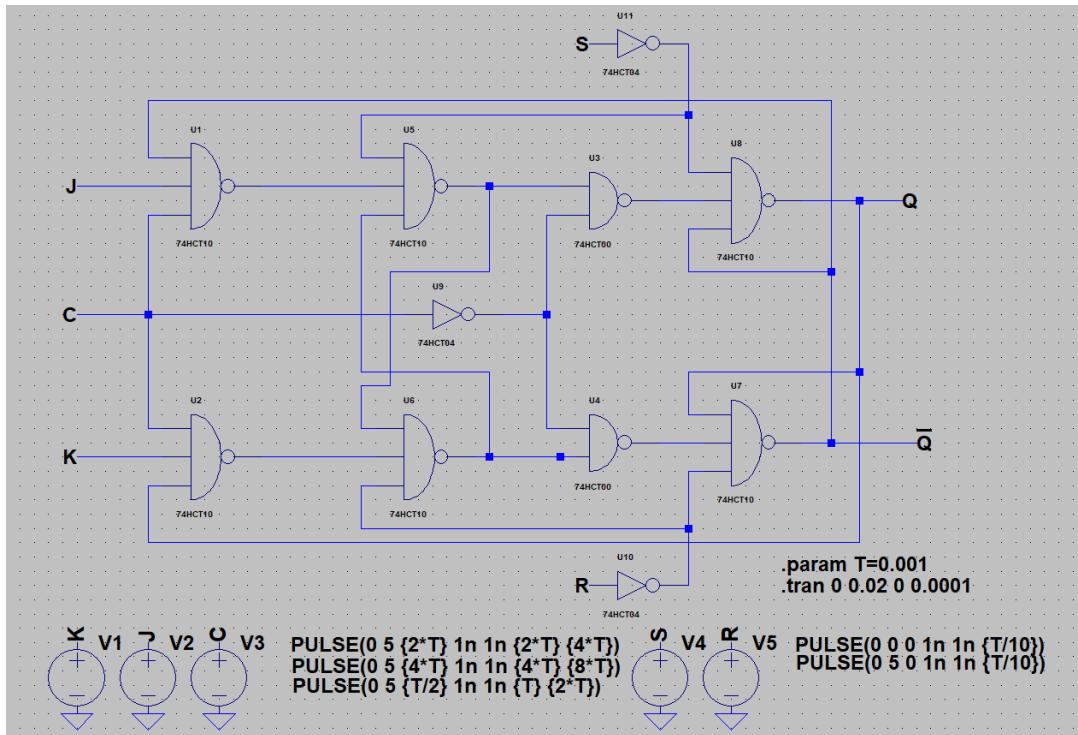


Abbildung 4: Dieser Schaltplan zeigt, den Aufbau eines JK-Master-Slave-Flip-Flops. Die verwendeten Bauteile sind in der Grafik abgebildet und in Tabelle 1 nochmals angeführt. Die verwendeten Simulationskomponenten im Schaltplan ersichtlich. Dabei ist:

- J... normaler Set-Eingang
- K... normaler Reset-Eingang
- C... Clocksignal-Eingang
- R... CLEAR-Eingang
- S... PRESET-Eingang
- Q... Ausgang
- \bar{Q} ... Invertierter Ausgang

Nun wurde das Schaltverhalten bei verschiedenen Eingangssignalen simuliert. Damit die Simulation mit einem bekannten Zustand starten und die Simulationszeit somit drastisch verringert werden kann, wurde am Anfang ein direktes Set-Signal am PRESET-Eingang gegeben. Um die möglichen Kombinationen der Eingangssignale zu erhalten, wurden die drei für das Verhalten eines JK-MS-FF wichtigen Eingänge C K J mit PWM-Spannungsquellen beschaltet. Wobei K die halbe Frequenz von C und J die Halbe von K hat. Zudem wurde das Clocksignal in C um ein Viertel der Periodendauer verzögert, damit das Schalten der Zustände

nie unklar abzulesen ist. Die Schaltsignale wurden mit PWM-Signal von *HIGH* 5 V und *LOW* 0V gegeben. Die genauen SPICE-Directives können dem Schaltplan aus Abbildung 4 entnommen werden. Daraufhin wurde eine zeitliche Transienten-Analyse der Eingangs- und Ausgangsspannungen durchgeführt, woraus sich Abbildung 5 ergab. Für die Transienten-Analyse wurde folgende SPICE-Directive `.tran 0 0.02 0 0.0001` verwendet.

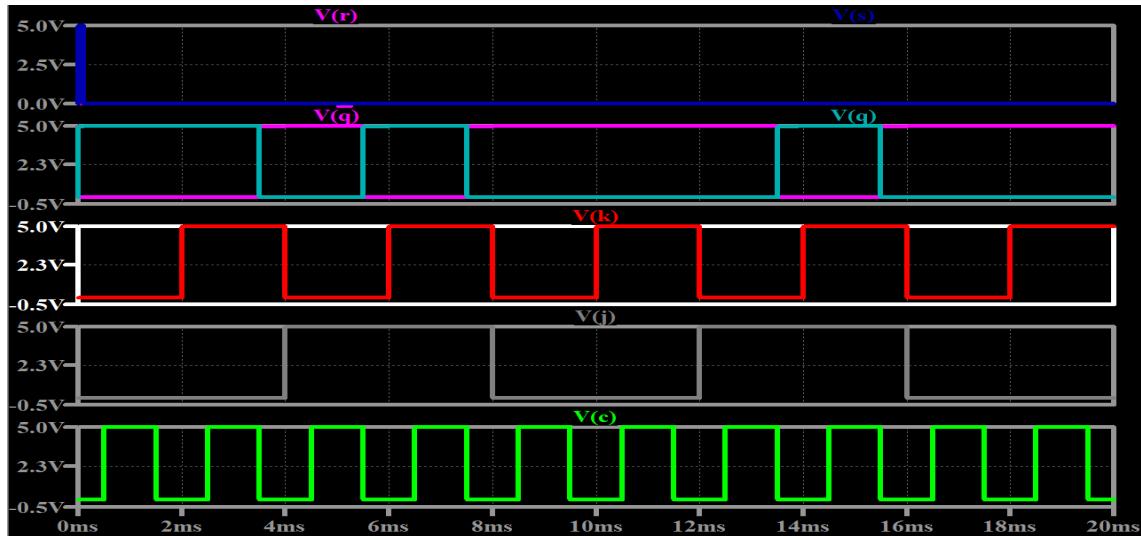


Abbildung 5: Diese Grafik spiegelt das simulierte Verhalten des JK-Master-Slave-Flip-Flops (aus Abbildung 4) wider, indem alle möglichen Eingangssignale durchgeschaltet worden sind und die Response am Ausgang aufgezeichnet wurde (entsprechend der Wahrheitstafel). Dabei ist:

- J*... normale Set Eingang
- K*... normale Reset Eingang
- C*... Clocksignal Eingang
- R*... CLEAR Eingang
- S*... PRESET Eingang
- Q*... Ausgang
- Q̄*... Invertierte Ausgang

Die SPICE-Directives der Simulation sind in Abbildung 4 ersichtlich.

4.1.2 Steckboard

Aufbau des JK-Master-Slave-Flip-Flop Zunächst wird der JK-Master-Slave-Flip-Flop mittels den logischen Bauelementen *74LS10* (3x-NAND), *74LS00* (2x-NAND) und *74LS04* (NOT) nach dem Schaltbild (Abbildung 4) aufgebaut. Zur Visualisierung

der Eingänge $C\ K\ J$ und der Ausgangszustände $Q\ \bar{Q}$ wurden die LEDs der LED-Leiste parallel dazu geschaltet. Das Eingangssignal für $C\ K\ J$ wurde durch entprellte Schalter, im Standardzustand *LOW*, gegeben, dessen Aufbau in Absatz 4 dargestellt wird. Als Spannungsquelle wurde ein Netzgerät verwendet und auf 5 V eingestellt. Die Eingänge $S\ R$ wurden auf *GND* gelegt, wodurch deren Negationen, die an die logischen Gatter, wie in Abbildung 4 zu sehen, gelegt werden, auf *HIGH* liegen. Wie immer war darauf zu achten die jeweiligen Pins der integrierten Bauelemente an die Versorgungsspannung *VCC* (Pin rechts oben) respektive an den *GND* (Pin links unten) anzuschließen. Der Aufbau der Schaltung am Steckbrett ist in Abbildung 6 dargestellt.

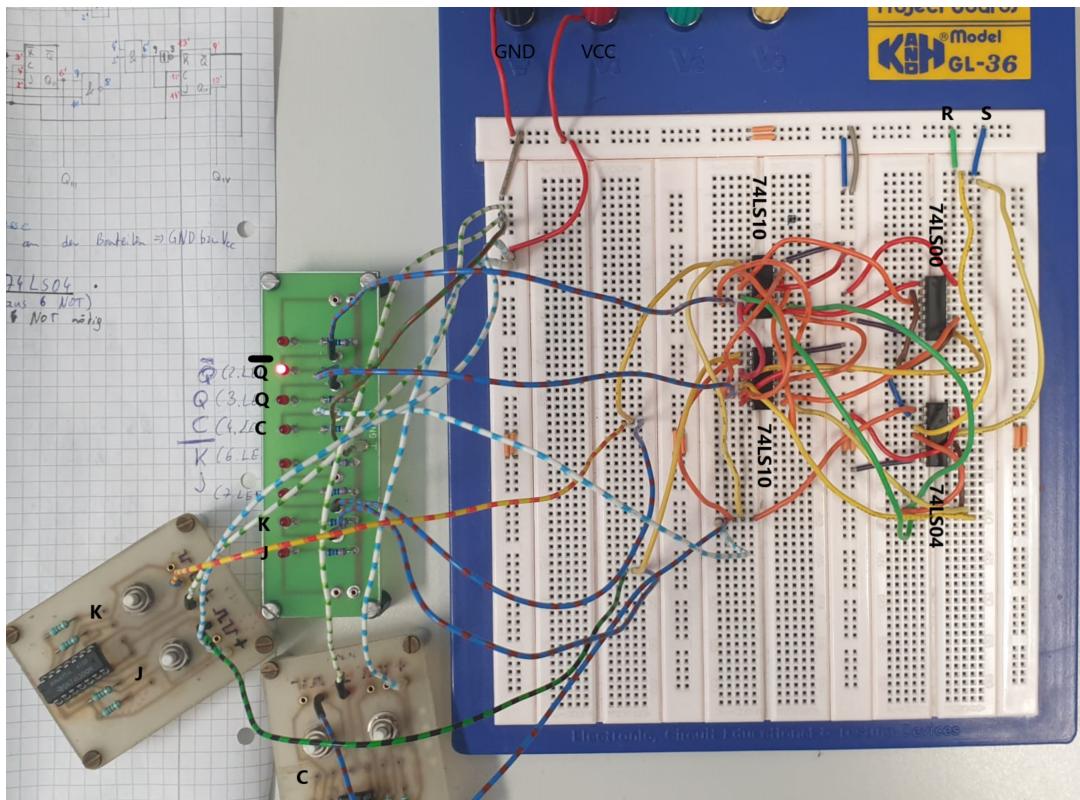


Abbildung 6: Dies ist der Aufbau eines JK-Master-Slave-Flip-Flops nach dem Schaltplan aus Abbildung 4, wobei:

- J ... normaler Set-Eingang
- K ... normaler Reset-Eingang
- C ... Clocksignal-Eingang
- R ... CLEAR-Eingang
- S ... PRESET-Eingang
- Q ... Ausgang
- \bar{Q} ... Invertierter Ausgang

Die Zustände können anhand der LED-Leiste abgelesen werden

Um die Funktionstüchtigkeit des JK-MS-Flip-Flops zu überprüfen, wurde die Wahrheitstafel aller möglichen Schaltsignale der K J -Eingänge durchgeschaltet, wobei zu beachten ist, dass erst bei fallender Flanke des Taktsignals C das Signal an den Ausgang gelangt. Die Resultate sind in Abbildung 7 anhand der LEDs ersichtlich.

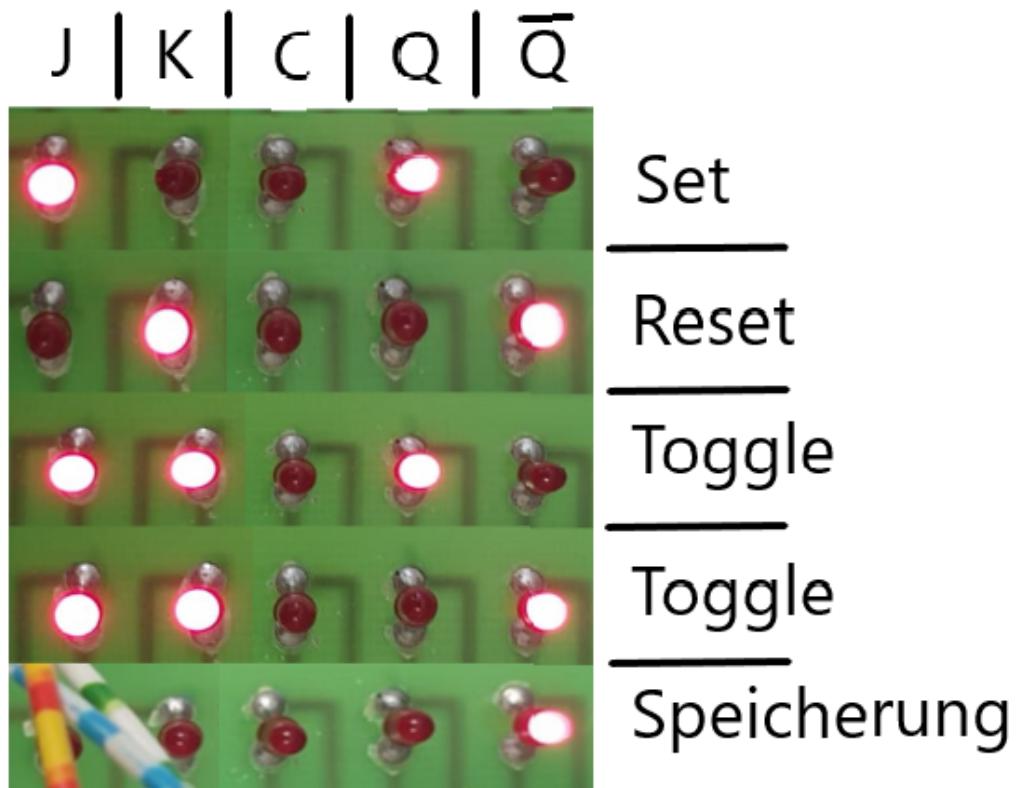


Abbildung 7: Diese Abbildung beinhaltet die Eingangs- und Ausgangssignale des aufgebauten JK-Master-Slave-Flip-Flops. Eine leuchtende LED entspricht einem *HIGH* Signal, eine nicht leuchtende entspricht *LOW*. Rechts neben den LED-Leisten sind die Funktionen der jeweiligen Konfiguration zu sehen. Zudem ist:

- $J \dots$ normaler Set-Eingang
- $K \dots$ normaler Reset-Eingang
- $C \dots$ Clocksignal-Eingang
- $Q \dots$ Ausgang
- $\bar{Q} \dots$ Invertierte Ausgang

4.2 Dekadischer synchron 4Bit-Zähler

4.2.1 Simulation

Das Schaltnetz des dekadischen synchronen 4Bit-Zählers wurde in Abbildung 8 aufgebaut. Dabei ist CLK das Eingangssignal und $Q1$ bis $Q4$ sind die Ausgänge des Zählers, wobei QN dem $(N - 1)$ ten Bit entspricht. Wenn nun beispielsweise nur $Q3$ *HIGH* ist, ergibt dies als Zahlenwert 4.

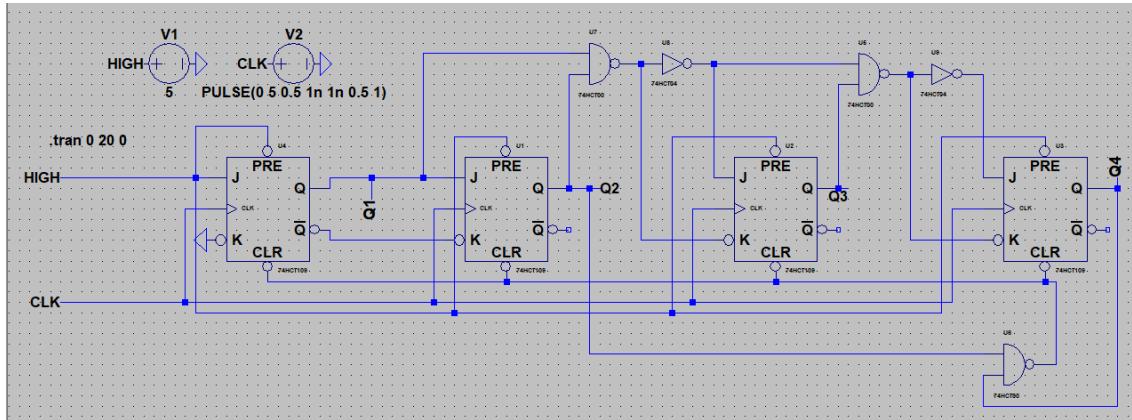


Abbildung 8: Dieser Schaltplan beschreibt einen 4Bit dekadischen synchron Zähler, wie er in Aufgabenstellung gefordert wurde, wobei CLK das zu zählende Eingangssignal ist und QN die $(N - 1)$ ten Ausgangsbits des Zählers sind. Die verwendeten Komponenten können der Tabelle 1 entnommen werden.

Damit das Zählverhalten des 4Bit dekadischen Zählers untersucht werden kann, wird das Eingangssignal CLK und die Ausgangssignale $Q1$ bis $Q4$ aufgenommen. Die Simulation wurde so lange betrieben, dass ein Overflow stattfindet und somit der dekadischen Zähler geresetzt wird.

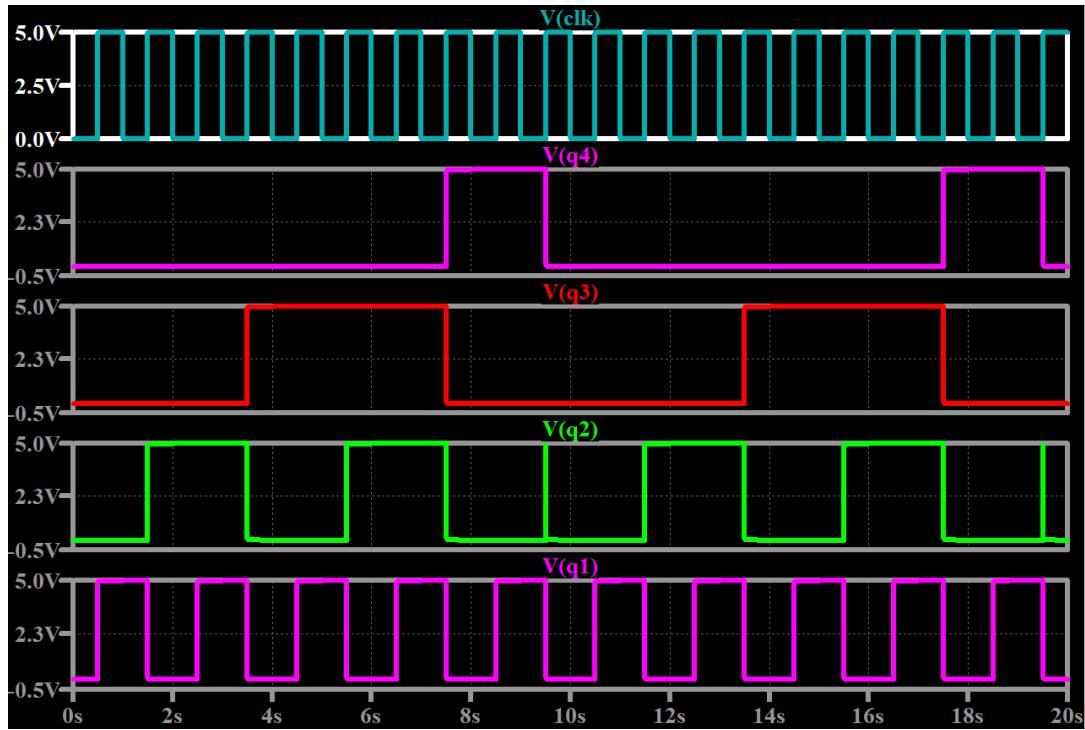


Abbildung 9: Diese Grafik spiegelt das Verhalten des 4Bit dekadischen synchron Zählers (aus Abbildung 8) wider, indem bis zum Overflow simuliert wurde und das Eingangssignal sowie alle Ausgangssignale aufgezeichnet wurden (entsprechend Wahrheitstafel). Dabei sind QN die $(N - 1)$.ten Bits des Zählers und CLK das zu zählende Eingangssignal. Die SPICE-Directive der Simulation ist `.tran 0 20 0`; die Einstellung des Eingangssignals kann der Abbildung 8 entnommen werden.

4.2.2 Steckboard

Zunächst wird der dekadische synchron 4bit-Zähler an der Steckplatine mittels den integrierten Bauelementen $74LS109$ (JK-MS-Flip-Flop), $74LS00$ (2x-NAND) und $74LS04$ (NOT) nach dem Schaltbild (Abbildung 8) aufgebaut. Zur Visualisierung des Eingangssignals C und der Ausgangszustände $Q1$ bis $Q4$ wurden die LEDs der LED-Leiste parallel dazu geschaltet. Das Eingangssignal für C wurde durch einen entprellten Schalter, im Standardzustand *LOW*, gegeben, dessen Aufbau in Absatz 4 dargestellt wird. Als Spannungsquelle wurde ein Netzgerät verwendet und auf 5 V eingestellt. Wie immer war darauf zu achten die jeweiligen Pins der integrierten Bauelemente an die Versorgungsspannung VCC (Pin rechts oben) respektive an den GND (Pin links unten) anzuschließen. Der Aufbau der Schaltung am Steckbrett kann

Dies ist der Aufbau des dekadischen synchron 4Bit-Zähler nach dem Schaltplan aus Abbildung 8. Dabei sind QN die $(N - 1)$ ten Bits des Zählers und C das zu zählende Eingangssignal. Die verwendeten Komponenten sind der Tabelle 1 zu entnehmen. entnommen werden.

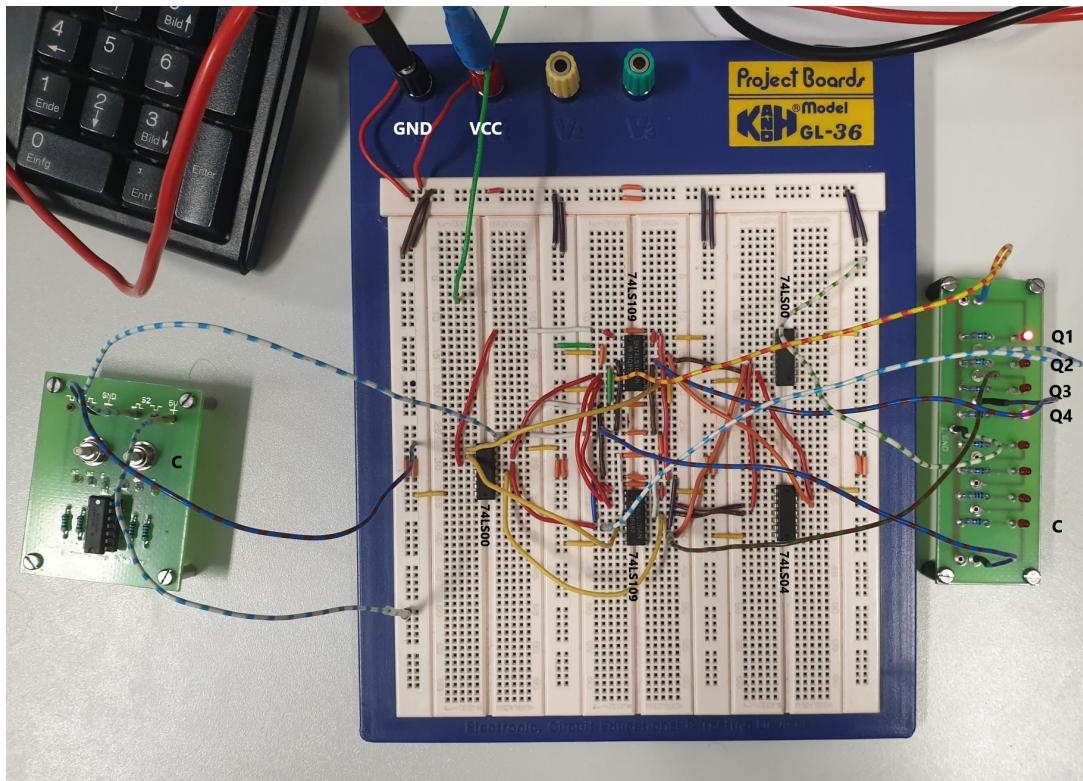


Abbildung 10: Dies ist der Aufbau des dekadischen synchron 4Bit-Zähler nach dem Schaltplan aus Abbildung 8. Dabei sind QN die $(N - 1)$ ten Bits des Zählers und C das zu zählende Eingangssignal. Die verwendeten Komponenten sind der Tabelle 1 zu entnehmen.

Um die Funktionstüchtigkeit des 4Bit dekadischen synchron Zählers zu überprüfen, wurde der entprellte Schalter für C so oft betätigt, dass ein gesamter Durchlauf von 0 bis 9 im Binärsystem an den QN erfolgte, wobei bei der darauffolgenden Betätigung des Schalters der Zähler anstelle von 10 auf 0 zurückgesetzt wird. Somit konnte die Zählfähigkeit der Schaltung mittels LEDs an den Ausgängen QN dargestellt werden. Die Kombinationen sind in Abbildung 11 ersichtlich.



Abbildung 11: Diese Abbildung beinhaltet die gemessenen logischen Ausgangszustände der QN Ausgänge bei einer Serie an Eingangspulsen. Dabei sind QN die $(N - 1)$ -ten Bits des aufgebauten 4Bit dekadischen synchron Zählers. Die Zahlen in der rechten Spalte entsprechen dem j.-ten gegebenen Puls im Eingangssignal C . Eine leuchtende LED entspricht einem *HIGH*-, eine nicht leuchtende entspricht einem *LOW*-Signal

5 Auswertung

In diesem Protokoll ist keine Auswertung von Nöten, da die geforderten Resultate direkt aus den Ergebnissen der Laborübung folgen. Dennoch wurde für bessere Nachvollziehbarkeit die Daten aus Abbildung 5 nochmals mit Farben hinterlegt und

die *HIGH* Zustände mit einer 1 markiert und *LOW* mit 0. Weiters wurden die Aktionen noch dazu beschriftet.

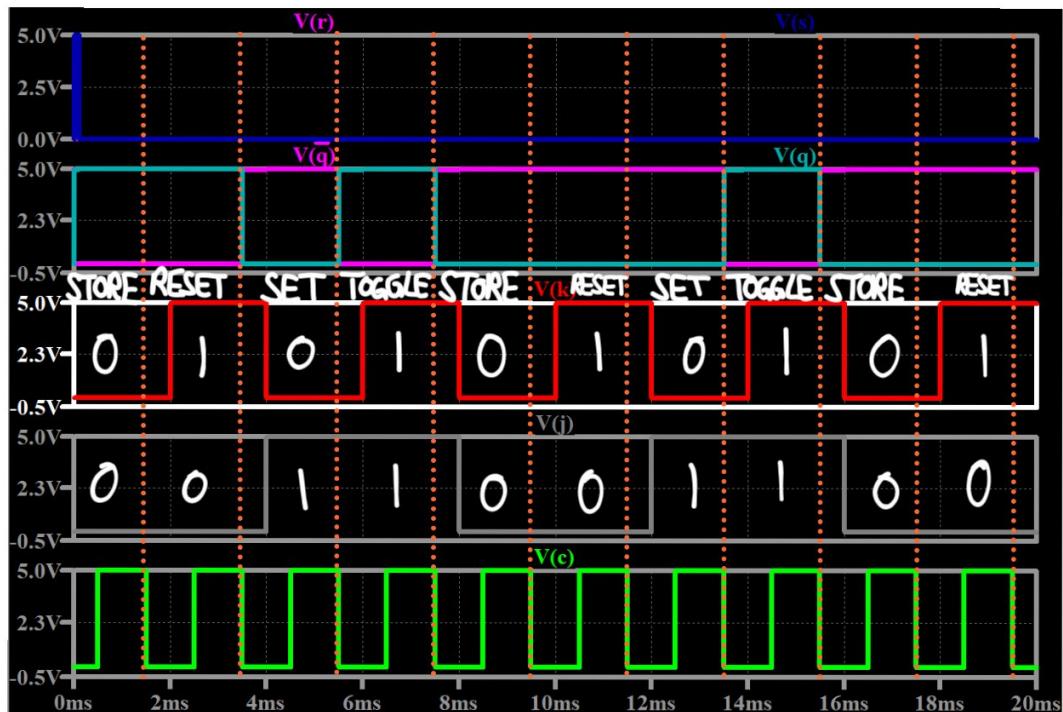


Abbildung 12: Diese Grafik spiegelt das simulierte Verhalten des JK-Master-Slave-Flip-Flops (aus Abbildung 4) wider, indem alle möglichen Eingangssignale durchgeschaltet worden sind und die Response am Ausgang aufgezeichnet wurde (entsprechend der Wahrheitstafel). Dabei ist:

- $J \dots$ normale Set Eingang
- $K \dots$ normale Reset Eingang
- $C \dots$ Clocksignal Eingang
- $R \dots$ CLEAR Eingang
- $S \dots$ PRESET Eingang
- $Q \dots$ Ausgang
- $\bar{Q} \dots$ Invertierte Ausgang

Die SPICE-Directives der Simulation sind in Abbildung 4 ersichtlich; die Einstellungen der Eingangssignale können auch der Abbildung 8 entnommen werden. Zudem wurden hier die Ticks von einander mittels orange gepunkteten Linien getrennt und die *HIGH* mit 1er und *LOW* mit 0er markiert.

6 Diskussion und Zusammenfassung

6.1 Diskussion

In Abbildung 5 von der Simulation und Abbildung 7, welche die LEDs vom Steckbrett zeigt, ist das Verhalten eines JK-MS-Flip-Flop gut zu erkennen; bei fallender Flanke des Taktsignals C wird das Signal an den Ausgang übertragen und es wird je nach Zuständen der Eingangssignalen J und K während der steigender Flanke der Taktung eine Funktion nach der Wahrheitstabelle in Abschnitt 2 (Vorbereitung) erhalten - also *Set* ($J=1, K=0$), *Reset* ($J=0, K=1$), *Togglen* ($J=1, K=1$) oder *Speicherung* ($J=0, K=0$).

Der Zähler, dessen Funktion in Abbildung 9 für die Simulation und Abbildung 11 mittels LED für die Steckbrettschaltung dargestellt wird, zählt, wie gefordert, über die Bits QN bei jedem Taktsignal um 1 rauf bis zum 10. Taktsignal, wo der Reset erfolgt. Anhand von Abbildung 9 der Simulation ist jedoch beim 10. Taktsignal, dem eigentlichen Reset-Punkt, bei $Q2$ ein steiler Anstieg und sofort darauffolgender Abfall des Spannungssignals zu erkennen. Dies liegt daran, dass der Reset erst dann erfolgt, wenn an $Q2$ und $Q4$ gleichzeitig *HIGH* vorliegt, da erst dadurch das NAND, das der Ansteuerung der (NOT-)CLEAR-Eingänge der Flip-Flops dient, ein *LOW*-Signal liefert.

6.2 Zusammenfassung

Im Rahmen dieser Laborübung wurde das Verhalten von einem JK-MS-Flip-Flop (siehe Abbildung 5 respektive Abbildung 7) und einem dekadischen synchron 4bit-Zähler (siehe Abbildung 9 respektive Abbildung 11) erfolgreich mittels Simulation und mithilfe von LEDs an Steckbrettschaltungen verifiziert.

Literaturverzeichnis

- [1] *DM74LS04 Hex Inverting Gates*. en. 2000. URL: <https://www.futurlec.com/74LS/74LS04.shtml> (besucht am 22.05.2022).
- [2] *Dual J-K Positive-Edge-Triggered Flip-Flops With Preset And Clear datasheet*. en. 1988. URL: <https://www.ti.com/lit/ds/symlink/sn54ls109a.pdf> (besucht am 08.06.2022).
- [3] *SNx400, SNx4LS00, and SNx4S00 Quadruple 2-Input Positive-NAND Gates*. en. 2017. URL: <https://www.ti.com/lit/ds/symlink/sn74ls00.pdf> (besucht am 08.06.2022).
- [4] *Technical Information - Fairchild Semiconductor 74LS10 Datasheet*. en. 2000. URL: <https://www.futurlec.com/74LS/74LS10.shtml> (besucht am 08.06.2022).
- [5] Ulrich Tietze, Christoph Schenk und Eberhard Gamm. *Halbleiter-Schaltungstechnik*. Springer-Verlag GmbH, 5. Juli 2019. ISBN: 3662485532. URL: https://www.ebo-ok.de/de/product/37063433/ulrich_tietze_christoph_schenk_eberhard_gamm_halbleiter_schaltungstechnik.html.

Abbildungsverzeichnis

1	Diese Schaltung (links) zeigt den Aufbau eines RS-Flip-Flops aus NOR-Gattern mit Eingängen R und S sowie Ausgängen Q und \bar{Q} ; die zugehörige Wahrheitstabelle (rechts) beinhaltet alle möglichen Kombinationen der Eingänge. [5]	8
2	Dies sind die zwei entprellten Schalterplatten mit je zwei Schalter ($S1, S2$) die entweder mit Standard- <i>HIGH</i> oder - <i>LOW</i> verwendet werden können. Diese werden durch Beschalten des <i>GND</i> und der 5 V Betriebsspannung in Betrieb genommen	10
3	Dies ist die LED-Leiste, welche 8 LEDs mit je einem Vorwiderstand hat. Sie ist in Common-Ground-Konfiguration und wird verwendet, um Signal anzeigen zu können.	11
4	Dieser Schaltplan zeigt, den Aufbau eines JK-Master-Slave-Flip-Flops. Die verwendeten Bauteile sind in der Grafik abgebildet und in Tabelle 1 nochmals angeführt. Die verwendeten Simulationskomponenten im Schaltplan ersichtlich. Dabei ist: J ... normaler Set-Eingang K ... normaler Reset-Eingang C ... Clocksignal-Eingang R ... CLEAR-Eingang S ... PRESET-Eingang Q ... Ausgang \bar{Q} ... Invertierter Ausgang	12

Tabellenverzeichnis

- 1 Tabelle der verwendeten Geräte 9