

## Inhaltsverzeichnis

1	Aufgabenstellung . . . . .	2
2	Grundlagen . . . . .	4
3	Versuchsdurchführung . . . . .	4
3.1	Master-Slave-Flip-Flop . . . . .	6
3.1.1	Simulation . . . . .	6
3.1.2	Steckboard . . . . .	8
3.2	Dekadischer synchron 4Bit-Zähler . . . . .	12
3.2.1	Simulation . . . . .	12
3.2.2	Steckboard . . . . .	13
4	Auswertung . . . . .	16
5	Diskussion und Zusammenfassung . . . . .	16
5.1	Diskussion . . . . .	16
5.2	Zusammenfassung . . . . .	17

# Elektronik und computerunterstützte Messtechnik

**Labor, SS 2022**

**PHY.I02UF**

## Übung 4: Digitale Schaltungen - Schaltwerke

### A Master-Slave-Flip-Flop

### B Dekadischer synchron 4bit Zähler

**Abgabe der Vorbereitung:** **Achtung: Änderung wegen Rektorstag Fr. 27.05.**

bis Freitag, 27. Mai 2022, 12 Uhr im Teach Center (online) !!

**Praktikumstermin:** **KW22 (01.06. bis 03.06.2022)**

## A Master-Slave-Flip-Flop

### 1 Vorbereitung

- 1.1 Für ein zweiflankengesteuertes JK-Master-Slave-Flip-Flop ist der Schaltplan, unter Verwendung von NAND- (74LS00, 74LS10) und NOT-Gattern (74LS04) zu erstellen. Es sind auch die direkt wirkenden Set- und Reset- Eingänge zu realisieren. **Anschlusspins sind im Schaltplan** entsprechend der ICs zu nummerieren.
- 1.2 Die Wahrheitstabelle für den entworfenen JK-MS-FF ist zu notieren. Worin liegt der Unterschied zu einem RS-Master-Slave-Flip-Flop?

### 2 Durchführung

- 2.1 Die Schaltung ist mit LTspice zu simulieren. Die Eingangspegel sowie die Ausgangspegel sind digital darzustellen
- 2.2 Das JK-Flipflop ist auf dem Steckboard aufzubauen und auf seine Funktionalität zu prüfen. Als Pegelgeber werden für das Steckboard vorhandene elektronisch entprellte Schalter verwendet.  
Die Ein- und Ausgangszustände sind durch LED's anzuzeigen und die Funktionalität der Schaltung ist anhand ebendieser zu zeigen.

Trivia: Das Entprellen bei Pegelgebern (Taster/Schalter) wird durch RS-Flip-Flops realisiert.

- 2.3 Die Ergebnisse sind zu dokumentieren und zu diskutieren.

## B Dekadischer synchron 4bit-Zähler

### 1 Vorbereitung

- 1.1 Für einen synchronen, vorwärtzählenden, **dekadischen<sup>1</sup>** 4bit-Zähler ist der Schaltplan, unter Verwendung von JK-MS-FlipFlops (74LS109), sowie NAND- (74LS00, 74LS10) und NOT-Gatter (74LS04) zu erstellen. Die **Anschlusspins sind im Schaltplan** entsprechend zu nummerieren.

### 2 Durchführung

- 2.1 Die Schaltung ist mit LTspice zu simulieren. Die Eingangspegel sowie die Ausgangspegel sind darzustellen.
- 2.2 Die Schaltung ist am Steckboard aufzubauen und ihre Funktionalität zu zeigen (siehe Aufgabenstellung A).
- 2.3 Die Ergebnisse sind zu dokumentieren und zu diskutieren.

---

<sup>1</sup> Beim zehnten Zählimpuls soll sich der Zähler von selbst auf null zurücksetzen.

## 2 Grundlagen

Schaltwerke (sequentielle Logik) können im Gegensatz zu Schaltnetzen (kombinatorische Logik) deren Zustände speichern. Als Grundlage dienen hierfür Flip-Flops, also bistabile Kippstufen, die es in diversen Ausführungen gibt - beispielsweise existieren unterschiedliche Steuerungsarten (zustands- oder flankengesteuert). Elementar ist hierbei das RS-Flip-Flop wie es in Abbildung 1 zu sehen ist. Hierbei wurde jenes mittels NOR-Gattern realisiert; anstelle hätten auch NAND-Gatter verwendet werden können.

**Abbildung 1:** Diese Schaltung zeigt den Aufbau eines RS-Flip-Flops aus NOR-Gattern mit Eingängen  $R$  und  $S$  sowie Ausgängen  $Q$  und  $\bar{Q}$  [5]

Dabei handelt es sich um ein zustandsgesteuertes Flip-Flop mit den Eingängen  $R$  und  $S$  sowie Ausgängen  $Q$  und  $\bar{Q}$ , wobei dieses transparent ist, da Änderungen vom Ein- auf den Ausgang sofort übertragen werden. Ein Flip-Flop kann nun mit einem zusätzlichen Eingang, dem Takt, auch Clock (C), angesteuert werden. Wenn nun zusätzlich zwei Flips-Flops miteinander seriell verbunden werden und der Takt am Eingang des zweiten Flip-Flops negiert wird, kann man ein Master-Slave Flip-Flop erhalten, welches zweiflankengesteuert und nicht-transparent ist; d.h. dass am Master, dem ersten Flip-Flop, die Signale der Eingänge bei steigender Flanke eingelesen/zwischengespeichert und an den Slave, den hinteren Flip-Flop, bei fallender Flanke übertragen werden, wobei der Eingang dabei verriegelt ist. Somit sind Eingang und Ausgang also getrennt. Wenn weiters die Ausgänge auf die Eingänge rückgekoppelt werden, erhält man ein zweiflankengesteuertes JK-Master-Slave Flip-Flop mit Eingängen  $J$  und  $K$ , wie es in ?? (Vorbereitung) inklusive der zugehörigen Wahrheitstabelle dargestellt wird. Aufgrund der Rückkopplung tritt bei  $J = K = 1$  Togglen auf (an der negativen Flanke des Takts), was das Kippen des vorherigen Zustands beschreibt. Diese Konstellation der Eingangszustände war ohne Rückkopplung nicht definiert beziehungsweise verboten.

Anwendungen finden Flip-Flops unter anderem für Zähler (wie in dieser Laborübung) oder für Schieberegister. Dabei stellen die Flip-Flops Speicherelemente für die Zustände dar, welche mittels der anliegenden Taktung verändert werden können.

## 3 Versuchsdurchführung

Da es die exakten Komponenten für die logischen Komponenten nicht in *LTspice* zur Verfügung standen wurden funktionstüchtig-äquivalente Bauteile in der Simu-

**Tabelle 1:** Tabelle der verwendeten Geräte

Geräteliste		
Gerät/Bauelement	Typ	In Simulation
Netzgerät	nicht bestimmbar	
NOT-Gatter	74LS04[2]	74HCT04
2x-NAND-Gatter	74LS00[1]	74HCT00
3x-NAND-Gatter	74LS10[6]	74HCT10
JK-MS-FF	74LS109[]	74HCT109

lation verwendet. Die Gegenstücke in der Simulation wurden unten angeführt. Die verwendeten Geräte sind Tabelle 1 zu entnehmen.

**Entprellter Schalter** Der entprellter Schalter wird als Signalgeber für die logischen Schaltungen und Gatter verwendet. Der Aufbau dieses Schalters ist in Abbildung 2 ersichtlich, jedoch ist noch der *GND* mit Ground und *VCC* mit 5 V zu beschalten, damit das Signal von Schalter eins beziehungsweise Schalter zwei für die jeweilige Betriebsart abgegriffen werden kann.

Jeder dieser Schalter hat eine Standard-*HIGH*- bzw. *LOW*-Betriebsart.

**Abbildung 2:** Dies sind die zwei entprellten Schalterplatinen mit je zwei Schalter (*S1,S2*) die entweder mit Standard-*HIGH* oder -*LOW* verwendet werden können. Diese werden durch Beschalten des *GND* und der 5 V Betriebsspannung in Betrieb genommen

**LED Leiste** Damit die Eingangssignale und Ausgangssignale der logischen Schaltungen dargestellt werden können, wird eine LED-Leiste verwendet. Diese besteht aus mehreren LEDs mit Vorwiderständen und ist in Abbildung 3 dargestellt und unterstützt bis zu 8 Aus- bzw. Eingangssignale. Die hier verwendete LED-Leiste hat einen Common-Ground und somit werden positiven Spannungssignale direkt an den verschiedenen Anschlüssen angelegt um die LED zum Leuchten zu bringen.

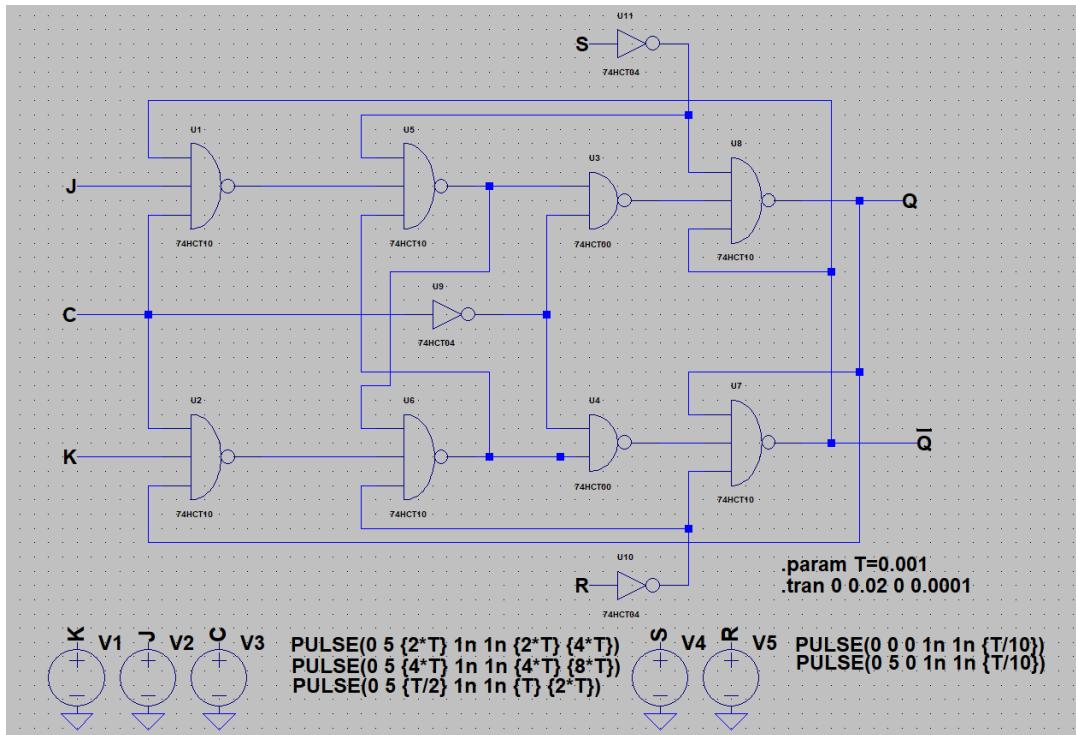
**Abbildung 3:** Dies ist die LED-Leiste, welche 8 LEDs mit je einem Vorwiderstand hat. Sie ist in Common-Ground-Konfiguration und wird verwendet um Signal anzeigen zu können.

Damit die Aufnahmen der Schaltungen übersichtlich bleiben, wurde diese meistens von den Aufnahmen weggescchnitten und dessen Funktion in der jeweiligen Grafik mittels *LED* dargestellt oder in der Beschriftung gekennzeichnet bzw. erwähnt.

## 3.1 Master-Slave-Flip-Flop

### 3.1.1 Simulation

Die Schaltung des JK-Master-Slave-Flip-Flop (JK-MS-FF) wurde gemäß der Aufgabenstellung in Abbildung 4 in LTSpice aufgebaut und simuliert. Diese Schaltung wurde mit fünf Eingangspins und zwei Ausgangspins designet. Die fünf Eingangspins sind *J C K R S*, wobei *S R* die direkten Set und Reset (bzw. PRESET & CLEAR), *C* das Clocksignal, *J K* die normalen SET und RESET Pins des JK-Master-Slave-Flip-Flop sind.

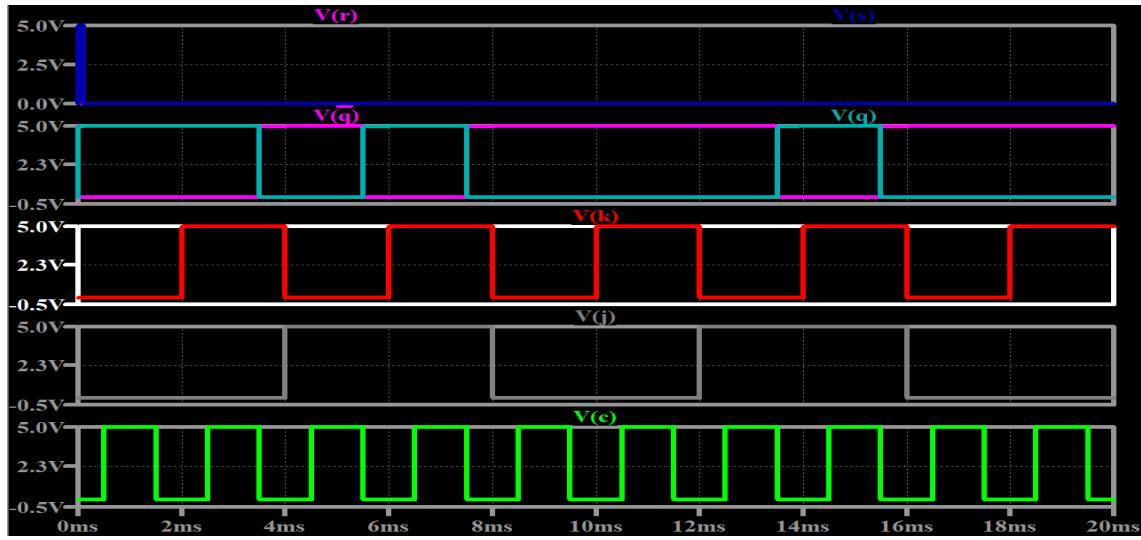


**Abbildung 4:** Dieser Schaltplan zeigt, den Aufbau eines JK-Master-Slave-Flipflops. Dabei ist  $U_e$  das Eingangssignal und  $U_a$  das Ausgangssignal. Die verwendeten Simulationskomponenten im Schaltplan ersichtlich. Dabei ist:

- $J \dots$  normale Set Eingang
- $K \dots$  normale Reset Eingang
- $C \dots$  Clocksignal Eingang
- $R \dots$  CLEAR Eingang
- $S \dots$  PRESET Eingang
- $Q \dots$  Ausgang
- $\bar{Q} \dots$  Invertierte Ausgang

Nun wurde das Schaltverhalten bei verschiedenen Eingangssignalen simuliert. Damit die Simulation mit einem bekannten Zustand starten kann und die Simulationszeit somit drastisch verringert werden kann wurde am Anfang ein direktes Set-Signal am PRESET Eingang gegeben. Um die möglichen Kombinationen der Eingangssignale zu erhalten, wurden die drei, für das Verhalten eines JK-MS-FF wichtige, Eingänge  $C$   $K$   $J$  mit PWM-Spannungsquellen beschaltet. Wobei  $K$  die halbe Frequenz von  $C$  und  $J$  die Halbe von  $K$  hat. Zudem wurde das Clocksignal in  $C$  um ein Viertel der Periodendauer verzögert, damit nie das Schalten der Zustände

unklar zu ablesen ist. Die Schaltsignale wurden mit PWM-Signal von *HIGH* 5 V und *LOW* 0 V gegeben. Die genauen SPICE-Directives können dem Schaltplan aus Abbildung 4 entnommen werden. Daraufhin wurde eine zeitliche Transienten-Analyse der Eingangs- und Ausgangsspannungen durchgeführt, woraus sich Abbildung 5 ergab. Für die Transienten-Analyse wurde folgende SPICE-Directive `.tran 0 0.02 0 0.0001` verwendet.



**Abbildung 5:** Diese Grafik spiegelt das simulierte Verhalten des JK-Master-Slave-Flip-Flops (aus Abbildung 4) wider, indem alle möglichen Eingangssignale durchgeschaltet worden sind und die Response am Ausgang aufgezeichnet wurde (entsprechend der Wahrheitstafel). Dabei ist:

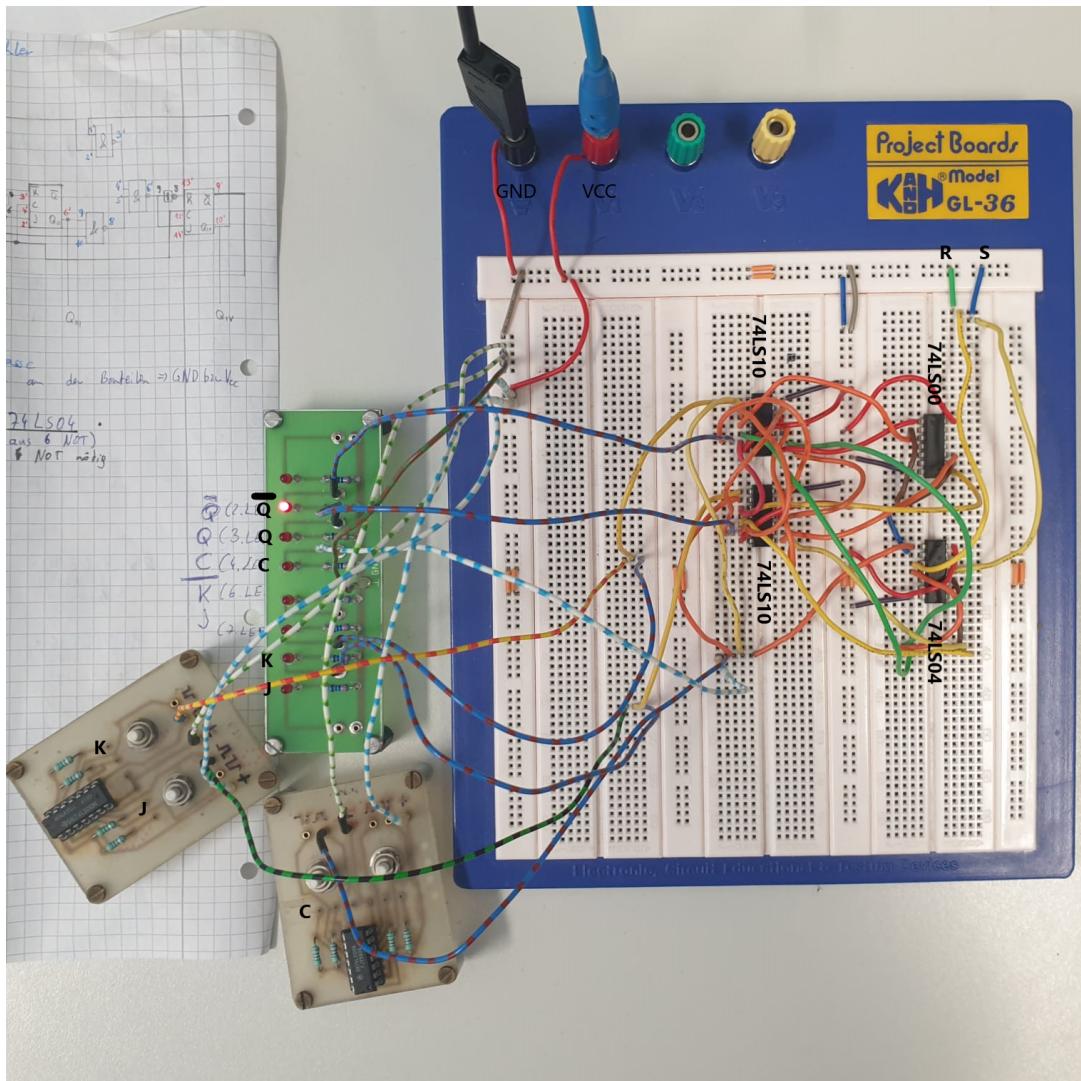
- J*... normale Set Eingang
- K*... normale Reset Eingang
- C*... Clocksignal Eingang
- R*... CLEAR Eingang
- S*... PRESET Eingang
- Q*... Ausgang
- Q̄*... Invertierte Ausgang

Die SPICE-Directives der Simulation sind in Abbildung 4 ersichtlich.

### 3.1.2 Steckboard

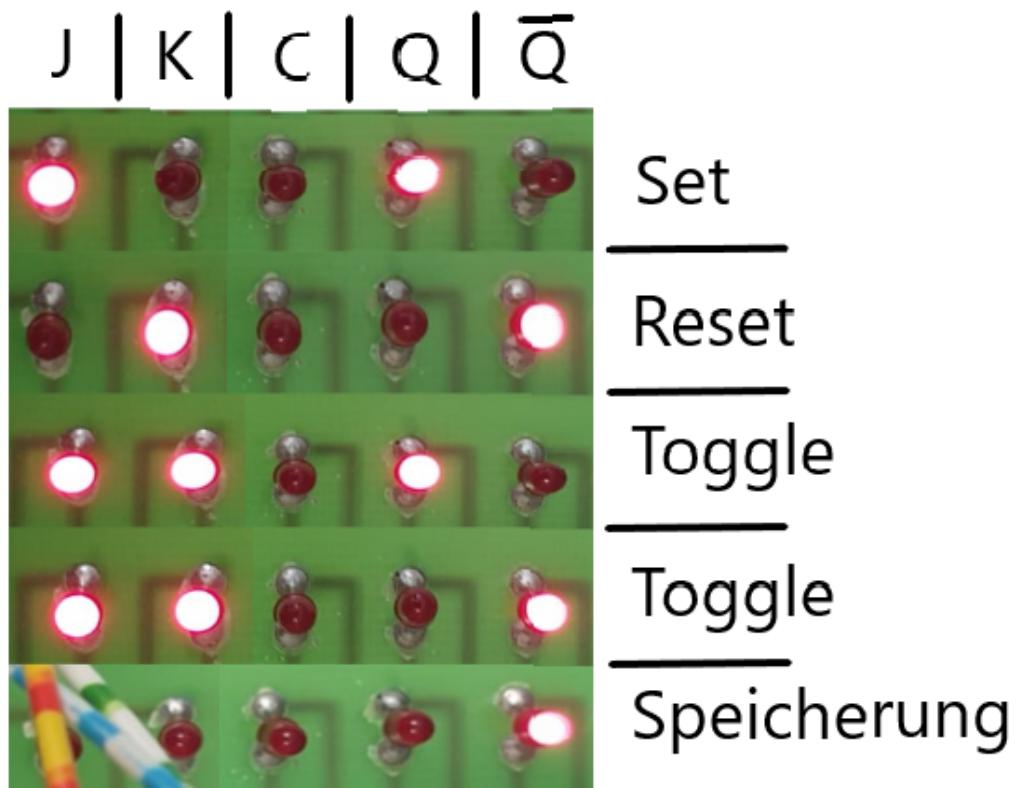
**Aufbau des JK-Master-Slave-Flip-Flop** Zunächst wird der CMOS-Inverter mittels zweier MOSFETs (einem p-MOSFET [4] und einem n-MOSFET [3]) wie nach dem Schaltbild (Abbildung 4) aufgebaut. Zur Visualisierung des Eingangszustands  $U_l$  und des Ausgangszustands  $U_q$  wurden die LEDs der LED-Leiste parallel dazu geschaltet.

Das Eingangssignal wurde durch einen entprellten Schalter, im Standardzustand *LOW*, gegeben. Der Aufbau wird in Absatz 3 dargestellt. Als Spannungsquelle wurde ein Netzgerät verwendet und auf 5 V eingestellt.



**Abbildung 6:** Dies ist der Aufbau eines JK-Master-Slave-Flip-Flops nach dem Schaltplan aus Abbildung 4, wobei  $U_q$  das Ausgangssignal der Schaltung und  $U_l$  das Eingangssignal ist. Der Zustand beider kann anhand einer LED in der LED-Leiste abgelesen werden.

Um die Funktionstüchtigkeit des CMOS-Gatters zu überprüfen, wurde die Wahrheitstafel des NOT-Gatters im Eingang durchgeschaltet. Die Resultate sind in Abbildung 7 ersichtlich.



**Abbildung 7:** Diese Abbildung beinhaltet die gemessenen Eingangs-  $U_I$  und Ausgangssignale  $U_q$  der gebauten CMOS-Inverter-Schaltung. Eine leuchtende LED entspricht einem *HIGH* Signal, eine nicht leuchtende entspricht *LOW*

**Aufbau des CMOS-NAND-Gatters** Nun ist die CMOS-NOT Schaltung um zwei weitere MOSFETs erweitert worden, um ein NAND-Gatter zu bauen. Dies wurde wie in ?? aufgebaut. Es wurden, wie auch in Aufbau des JK-Master-Slave-Flip-Flop, entprellte Schalter als Pegelgeber und die LED-Leiste zur Visualisierung der Pegel (Signale) verwendet. Diese wurden ebenfalls an den geeigneten Abnahmestellen angeschlossen; wie diese genau angeschlossen wurden ist, der Abbildung 8 entnehmbar.

**Abbildung 8:** Dies ist der Aufbau eines CMOS-NAND-Gatters nach dem Schaltplan aus ??.

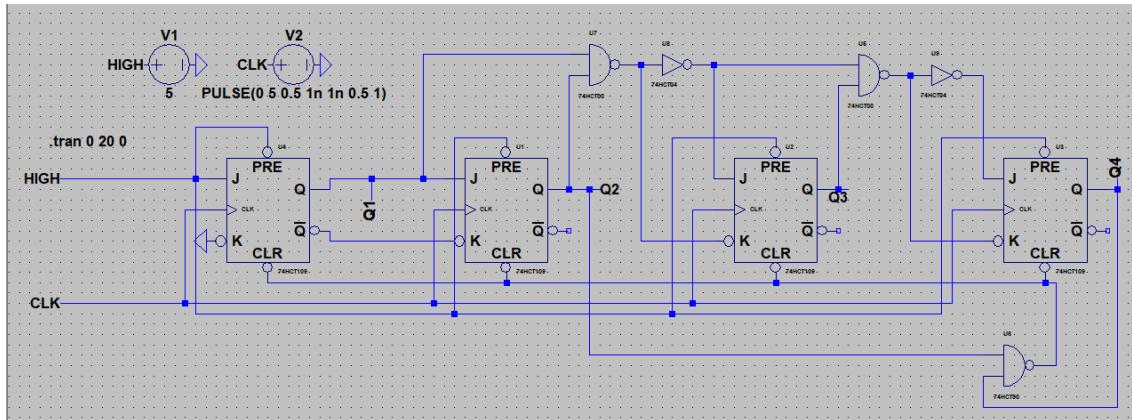
Um die Funktionstüchtigkeit des CMOS-Gatters zu überprüfen, wurde die Wahrheitstafel des NAND-Gatters in den vier Möglichkeiten der zwei Eingänge ( $U_l U'_l$ ) durchgeschaltet. Die Ergebnisse sind in Abbildung 9 ersichtlich.

**Abbildung 9:** Diese Abbildung beinhaltet die gemessenen Eingangs-  $U_l, U'_l$  und Ausgangssignale  $U_q$  der aufgebauten CMOS-NAND-Schaltung. Eine leuchtende LED entspricht einem *HIGH* Signal, eine nicht leuchtende entspricht *LOW*

## 3.2 Dekadischer synchron 4Bit-Zähler

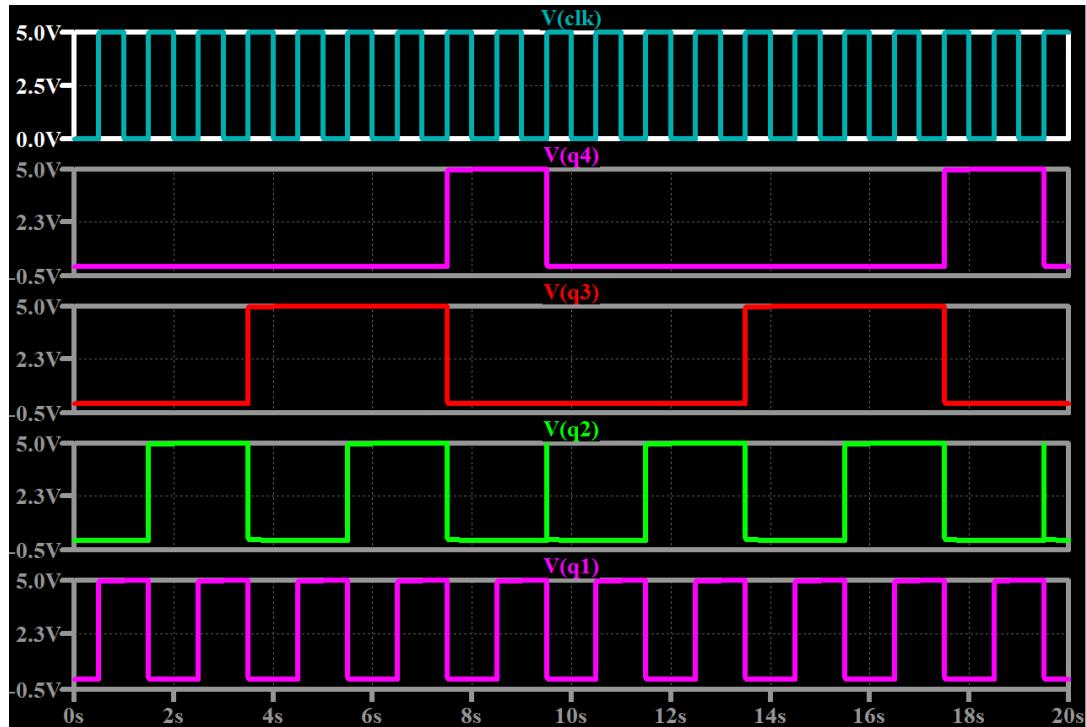
### 3.2.1 Simulation

Das Schaltnetz des Dekadischen synchronen 4Bit-Zähler wurde in Abbildung 10 aufgebaut. Dabei  $CLK$  das Eingangssignal und  $Q1$  bis  $Q4$  die Ausgänge des Zählers sind wobei  $QN$  dem  $(N - 1)$ ten Bit entspricht. Somit ist wenn nur  $Q3$  *HIGH* ist entspricht es der Zahl 4.



**Abbildung 10:** Dieser Schaltplan beschreibt einen 4Bit dekadischen synchron Zähler, wie er in Aufgabenstellung geforderten wurde. Wobei  $CLK$  das zuzählende Eingangssignal ist und  $QN$  die  $(N - 1)$ ten Ausgangsbits des Zählers sind. Die verwendeten Komponenten können der Tabelle 1 entnommen werden.

Damit das Zählerverhalten des 4Bit dekadischen Zählers untersucht werden kann, wird das Eingangssignal  $CLK$  und die Ausgangssignale  $Q_1$  bis  $Q_4$  aufgenommen. Das Simulation wurde so lange betrieben, dass ein Overflow stattfindet und somit der dekadischen Zähler geresetzt wird.

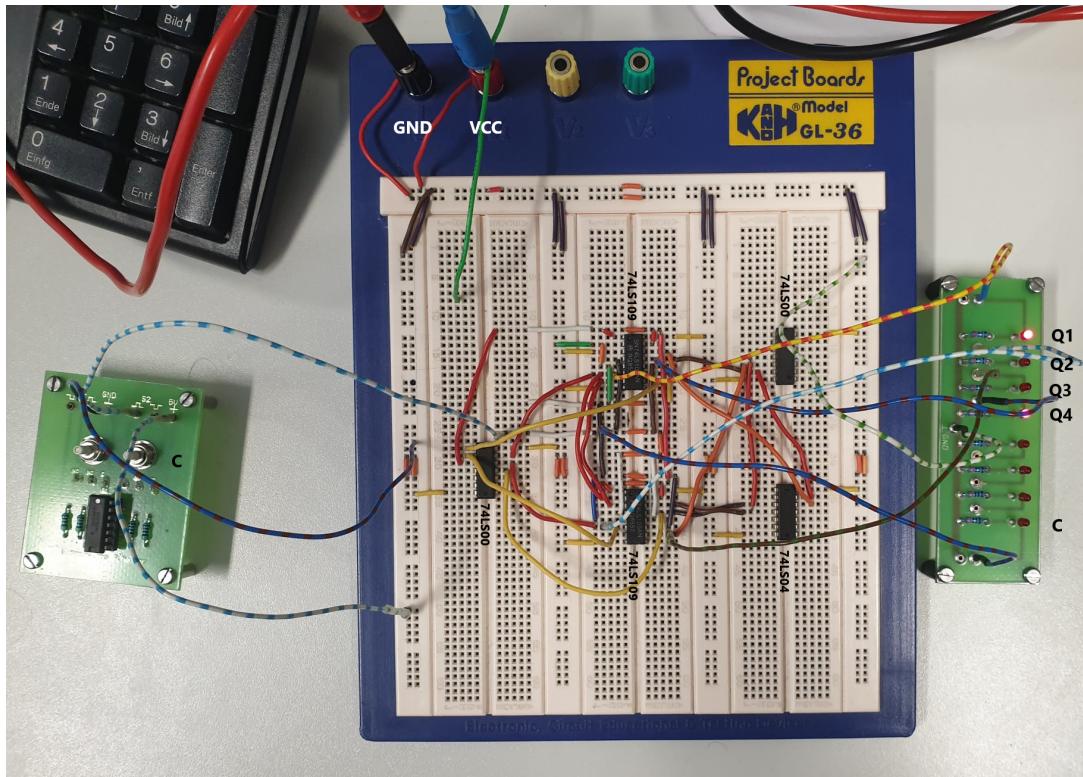


**Abbildung 11:** Diese Grafik spiegelt das Verhalten des 4Bit dekadischen synchron Zählers (aus Abbildung 10) wider, indem bis ein Overflow simuliert wurde und das Eingangssignal und alle Ausgangssignale aufgezeichnet wurden (entsprechend Wahrheitstafel). Dabei sind  $Q_N$  die  $(N - 1)$ ten Bits des Zählers und  $CLK$  das zuzählende Eingangssignal. Die SPICE-Directive der Simulation ist `.tran 0 20 0`; die Einstellung des Eingangssignals kann der Abbildung 10 entnommen werden

### 3.2.2 Steckboard

Wie in Aufgabenstellung gefordert, galt es eine Schaltung zu entwickeln, welche durch Anschlagen mindestens zweier Sensoren einen Alarm auslösen sollte. Diese Schaltung wurde, um die Fehlerquellen zu reduzieren, jedoch aus der Musterlösung entnommen und nicht die selbst Entworfene verwendet. Die vier Eingangsgrößen ( $x_1, x_2, x_3, x_4$ ) wurden durch vier entprellte Schalter realisiert. Dabei sind  $x_1$  &

$x_3$  im Standard *LOW* und  $x_2$  &  $x_4$  Standard *HIGH* Betrieb geschaltet worden, damit die Alarmanlage bei Signalunterbrechung  $x_2$  &  $x_4$  und einem Signal bei  $x_1$  &  $x_3$  anschlägt. Der Aufbau der Schaltung kann Dies ist der Aufbau des dekadischen synchron 4Bit-Zähler nach dem Schaltplan aus Abbildung 10 entnommen werden.



**Abbildung 12:** Dies ist der Aufbau des dekadischen synchron 4Bit-Zähler nach dem Schaltplan aus Abbildung 10

Um die Funktionstüchtigkeit der Einbruchsicherungsschaltung zu überprüfen, wurden alle Kombinationen der vier Eingangsgrößen ( $x_1$ ,  $x_2$ ,  $x_3$ ,  $x_4$ ) durchgegangen. Somit konnte die Wahrheitstafel der Schaltung mittels LEDs realisiert werden. Die Kombinationen sind in Abbildung 13 ersichtlich.



**Abbildung 13:** Diese Abbildung beinhaltet die gemessenen logischen Zustände der Ein-  $x_1, x_2, x_3, x_4$  und Ausgänge  $y$  der gebauten Einbruchssicherungsschaltung. Eine leuchtende LED entspricht einem *HIGH*-, eine nicht leuchtende entspricht einem *LOW*-Signal

Für die Untersuchung des Master-Switches im ausgeschalteten Zustand wurden die zuvor *wahren* Eingangssignalkombinationen durchgeschaltet und überprüft, ob diese nicht die Alarmanlage ( $y$ ) anschlagen lassen. Da die Schaltung zuvor, wie in Abbildung 13 ersichtlich, funktionierte, ist dadurch die Funktionstüchtigkeit des Master-Switches gezeigt.

## 4 Auswertung

In diesem Protokoll ist keine Auswertung von Nöten, da die geforderten Resultate direkt aus den Ergebnissen der Laborübung folgen. Dennoch wurde für bessere Nachvollziehbarkeit die Daten aus Abbildung 11 nochmals mit Farben hinterlegt und die *HIGH* Zustände mit einer 1 markiert.

**Abbildung 14:** Diese Grafik spiegelt das Verhalten der Einbruchssicherungsschaltung (aus Abbildung 10) wider, indem alle möglichen Eingangssignale durchgeschaltet worden sind und die Response an den Ausgängen aufgezeichnet wurde (entsprechend Wahrheitstafel). Dabei sind  $x_1$ ,  $x_2$ ,  $x_3$ ,  $x_4$  & der *Master-Switch* die Eingangssignale und  $y$  das Ausgangssignal sowie  $y_{ms}$  das Ausgangssignal mit *Master-Switch*. Die SPICE-Directive der Simulation ist `.tran 0 4 0`; die Einstellungen der Eingangssignale können der Abbildung 10 entnommen werden. Zudem wurden hier die Ticks von einander mittels orangefarbener gepunkteter Linien getrennt und die *HIGH* mit 1er markiert.

## 5 Diskussion und Zusammenfassung

### 5.1 Diskussion

In Abbildung 5 von der Simulation und Abbildung 7, welche die LEDs vom Steckbrett zeigt, ist das Verhalten eines CMOS-Inverters gut zu erkennen; dabei wird das Signal am Ausgang relativ zu jenem am Eingang negiert. Weiters ist anhand von Abbildung 5 aus der Simulation ersichtlich, dass der Schaltvorgang in CMOS endlich schnell erfolgt. Dabei ist ein deutliches Maximum des Stroms von 4,21 mA zu erkennen (siehe ??), wenn (im Falle des Inverters) beide MOSFETs leitfähig sind, nämlich am Schnittpunkt der Spannungsverläufe. Die Spannung an diesen Schnittpunkten beträgt 1,63 V (siehe ??) und liegt somit innerhalb der für die Gate-Source-Spannung toleranten Intervalle von 0,8 V bis 2,4 V beim *ZVN2106A* und von -3,5 V bis -1,5 V beim *ZVP2106A* nach den zugehörigen Datenblättern.

Das aus MOSFETs konstruierte NAND liefert als Ergebnis aller möglichen Kombinationen der beiden Eingangssignale ?? für die Simulation und Abbildung 9 für die Steckbrettschaltung. Somit folgt der Verhalt jenem, der in der Wahrheitstabelle in ?? (Vorbereitung) notiert wurde - der Ausgang ist stets HIGH, außer wenn beide Eingänge auf High sind.

Genauso folgen für die Einbruchsicherungsschaltung Abbildung 11 und Abbildung 13 der konstruierten Wahrheitstabelle in ?? (Vorbereitung). Demnach löst der Alarm aus, sofern der *Master-Switch* eingeschaltet ist, wenn mindestens zwei Eingangsvariablen auf HIGH sind.

## 5.2 Zusammenfassung

Im Rahmen dieser Laborübung wurde das Verhalten von einem CMOS-Inverter (siehe Abbildung 5 respektive Abbildung 7), einem aus CMOS konstruierten NAND (siehe ?? respektive Abbildung 9) und einer Einbruchsicherungsschaltung (=Schaltnetz mit 4 Eingangsvariablen und *Master-Switch*; siehe Abbildung 14 respektive Abbildung 13) erfolgreich mittels Simulation und mithilfe von LEDs an Steckbrettschaltungen verifiziert.

## Literaturverzeichnis

- [1] *DM74LS02 Quad 2-Input NOR Gate.* en. 2000. URL: <https://www.futurlec.com/74LS/74LS02.shtml> (besucht am 22.05.2022).
- [2] *DM74LS04 Hex Inverting Gates.* en. 2000. URL: <https://www.futurlec.com/74LS/74LS04.shtml> (besucht am 22.05.2022).
- [3] *N-CHANNEL ENHANCEMENTMODE VERTICAL DMOS FET ZVN2106A.* en. 1994. URL: <https://www.diodes.com/assets/Datasheets/ZVN2106A.pdf> (besucht am 22.05.2022).
- [4] *P-CHANNEL ENHANCEMENTMODE VERTICAL DMOS FET ZVP2106A.* en. 1994. URL: <https://www.diodes.com/assets/Datasheets/ZVP2106A.pdf> (besucht am 22.05.2022).
- [5] Ulrich Tietze, Christoph Schenk und Eberhard Gamm. *Halbleiter-Schaltungstechnik.* Springer-Verlag GmbH, 5. Juli 2019. ISBN: 3662485532. URL: [https://www.ebo-ok.de/de/product/37063433/ulrich\\_tietze\\_christoph\\_schenk\\_eberhard\\_gamm\\_halbleiter\\_schaltungstechnik.html](https://www.ebo-ok.de/de/product/37063433/ulrich_tietze_christoph_schenk_eberhard_gamm_halbleiter_schaltungstechnik.html).
- [6] *Triple 3-Input Positive-NOR Gates datasheet 74LS27.* en. 1988. URL: <https://www.ti.com/lit/ds/symlink/sn54ls27.pdf> (besucht am 22.05.2022).

## Abbildungsverzeichnis

1	Diese Schaltung zeigt den Aufbau eines RS-Flip-Flops aus NOR-Gattern mit Eingängen $R$ und $S$ sowie Ausgängen $Q$ und $\bar{Q}$ [5] . . . . .	4
2	Dies sind die zwei entprellten Schalterplatten mit je zwei Schaltern ( $S1, S2$ ) die entweder mit Standard-HIGH oder -LOW verwendet werden können. Diese werden durch Beschalten des $GND$ und der 5 V Betriebsspannung in Betrieb genommen . . . . .	5
3	Dies ist die LED-Leiste, welche 8 LEDs mit je einem Vorwiderstand hat. Sie ist in Common-Ground-Konfiguration und wird verwendet um Signal anzeigen zu können. . . . .	5
4	Dieser Schaltplan zeigt, den Aufbau eines JK-Master-Slave-Flip-Flops. Dabei ist $U_e$ das Eingangssignal und $U_a$ das Ausgangssignal. Die verwendeten Simulationskomponenten im Schaltplan ersichtlich. Dabei ist: $J$ ... normale Set Eingang $K$ ... normale Reset Eingang $C$ ... Clocksignal Eingang $R$ ... CLEAR Eingang $S$ ... PRESET Eingang $Q$ ... Ausgang $\bar{Q}$ ... Invertierte Ausgang . . . . .	7

5	Diese Grafik spiegelt das simulierte Verhalten des JK-Master-Slave-Flip-Flops (aus Abbildung 4) wider, indem alle möglichen Eingangssignale durchgeschaltet worden sind und die Response am Ausgang aufgezeichnet wurde (entsprechend der Wahrheitstafel). Dabei ist: <i>J</i> ... normale Set Eingang <i>K</i> ... normale Reset Eingang <i>C</i> ... Clock-signal Eingang <i>R</i> ... CLEAR Eingang <i>S</i> ... PRESET Eingang <i>Q</i> ... Ausgang <i>Q</i> ... Invertierte Ausgang Die SPICE-Directives der Simulation sind in Abbildung 4 ersichtlich. . . . .	8
6	Dies ist der Aufbau eines JK-Master-Slave-Flip-Flops nach dem Schaltplan aus Abbildung 4, wobei $U_q$ das Ausgangssignal der Schaltung und $U_l$ das Eingangssignal ist. Der Zustand beider kann anhand einer LED in der LED-Leiste abgelesen werden. . . . .	10
7	Diese Abbildung beinhaltet die gemessenen Eingangs- $U_l$ und Ausgangssignale $U_q$ der gebauten CMOS-Inverter-Schaltung. Eine leuchtende LED entspricht einem <i>HIGH</i> Signal, eine nicht leuchtende entspricht <i>LOW</i> . . . . .	11
8	Dies ist der Aufbau eines CMOS-NAND-Gatters nach dem Schaltplan aus ???. . . . .	12
9	Diese Abbildung beinhaltet die gemessenen Eingangs- $U_l, U'_l$ und Ausgangssignale $U_q$ der aufgebauten CMOS-NAND-Schaltung. Eine leuchtende LED entspricht einem <i>HIGH</i> Signal, eine nicht leuchtende entspricht <i>LOW</i> . . . . .	12
10	Dieser Schaltplan beschreibt einen 4Bit dekadischen synchron Zähler, wie er in Aufgabenstellung geforderten wurde. Wobei <i>CLK</i> das zählende Eingangssignal ist und <i>QN</i> die $(N - 1)$ ten Ausgangsbits des Zählers sind. Die verwendeten Komponenten können der Tabelle 1 entnommen werden. . . . .	12
11	Diese Grafik spiegelt das Verhalten des 4Bit dekadischen synchron Zählers (aus Abbildung 10) wider, indem bis ein Overflow simuliert wurde und das Eingangssignal und alle Ausgangssignale aufgezeichnet wurde (entsprechend Wahrheitstafel). Dabei sind <i>QN</i> die $(N - 1)$ ten Bits des Zählers und <i>CLK</i> das zählende Eingangssignal. Die SPICE-Directive der Simulation ist <code>.tran 0 20 0</code> ; die Einstellung des Eingangssignals kann der Abbildung 10 entnommen werden . . . . .	13
12	Dies ist der Aufbau des dekadischen synchron 4Bit-Zähler nach dem Schaltplan aus Abbildung 10 . . . . .	14
13	Diese Abbildung beinhaltet die gemessenen logischen Zustände der Ein- $x_1, x_2, x_3, x_4$ und Ausgänge $y$ der gebauten Einbruchsicherungsschaltung. Eine leuchtende LED entspricht einem <i>HIGH</i> -, eine nicht leuchtende entspricht einem <i>LOW</i> -Signal . . . . .	15

## **Tabellenverzeichnis**