

Graz University of Technology

Institut für Materialphysik der Technischen Universität Graz

LABORÜBUNGEN: ELEKTRONIK UND COMPUTERUNTERSTÜTZTE MESSTECHNIK

Übungsnummer: 3

Übungstitel: CMOS & Schaltnetze

Gruppennummer: 7

Name: Maximilian PHILIPP

Name: Michael HINTERLEITNER

Mat. Nr.: 11839611

Mat. Nr.: 12002411

Datum der Übung: 18.05.2022

Sommersemester 2022

Inhaltsverzeichnis

1	Aufgabenstellung	3
2	Vorbereitung	6
3	Grundlagen	11
4	Versuchsdurchführung	11
4.1	CMOS	13
4.1.1	Simulation	13
4.1.2	Steckboard	18
4.2	Schaltungssynthese	21
4.2.1	Simulation	21
4.2.2	Steckboard	23
5	Auswertung	26
6	Diskussion und Zusammenfassung	27
6.1	Diskussion	27
6.2	Zusammenfassung	27

Elektronik und computerunterstützte Messtechnik Labor, SS 2022

PHY.I02UF

- Übung 3:**
- A Komplementäre MOS-Logik (CMOS)**
 - B Schaltnetze: Schaltungssynthese**
- (18.05. bis 20.05.2022)**

**Abgabe der Vorbereitung: bis Freitag, 13. Mai 2019, 12:00 Uhr Briefkasten 517,
EG, Petersgasse 16 (Inst. f. Materialphysik)**

A Komplementäre MOS-Logik (CMOS)

1 Vorbereitung

- 1.1 Für einen CMOS-Inverter ist der Schaltplan, unter Verwendung eines n-Kanal MOSFETs ZVN2106A und eines p-Kanal MOSFETs ZVP2106A zu zeichnen. Es ist auf die korrekte Einzeichnung der MOSFET-Schaltsymbole zu achten: Um welche Art von MOSFET handelt es sich und mit welchem Anschluss ist das Gate intern verbunden? Wie sehen die entsprechenden Schaltsymbole aus?
- 1.2 Die Inverter-Schaltung ist zu einem CMOS-NAND-Gatter zu erweitern. Der Schaltplan ist zu zeichnen und die zugehörige Wahrheitstabelle ist zu notieren.
- 1.3 Aus den Datenblättern der MOSFETs ist auszulesen: Die maximale Drain-Source Spannung, die Gate-Source Schwellspannung, sowie der zulässige Betriebstemperaturbereich. Welche Spannungen sind für die vorliegenden Schaltungen sinnvoll?

2 Praktische Durchführung

Simulation:

- 2.1 Die Inverter-Schaltung ist mit LTspice zu simulieren. Die Übertragungskennlinie und die Stromaufnahme sind darzustellen (PULSE-Quelle).
- 2.2 Die Gate-Source Schwellspannung ist mit jener der Datenblätter zu vergleichen.
- 2.3 Die Schaltung des NAND-Gatters ist mit LTspice zu simulieren. Die Ein- und Ausgangsspannungen sind darzustellen (PULSE-Quelle).

Aufbau am Steckboard:

- 2.4 Der CMOS-Inverter ist auf dem Steckboard aufzubauen und seine Funktionalität zu prüfen. Als Pegelgeber wird für das Steckboard ein vorhandener elektronisch entprellter Schalter (mit Hilfe eines RS-Flip-Flops) verwendet. Der Ein- und Ausgangszustand ist jeweils durch LEDs anzuzeigen. Die Funktionalität der Schaltung ist anhand der LEDs zu zeigen.
- 2.5 Die Schaltung des NAND-Gatters ist auf dem Steckboard aufzubauen und ihre Funktionalität anhand der LEDs zu zeigen.
- 2.6 Die Ergebnisse sind zu protokollieren und diskutieren.

B Schaltnetze: Schaltungssynthese

1 Vorbereitung

Für ein Haus soll eine Einbruchsicherungsschaltung entworfen und aufgebaut werden. Folgende Schutzeinrichtungen sollen eingebaut werden:

- 1) **Fensterscheiben-Vibrationsschalter x_1** , die bei zerbrochener Scheibe durch ein „1“-Signal Alarm auslösen.
- 2) **Tür-Kontaktfühler x_2** , die bei aufgebrochener Tür durch ein „0“-Signal Alarm auslösen.
- 3) **Ultraschall-Raumüberwachung x_3** , die bei einer Bewegung im Raum durch ein „1“-Signal Alarm gibt.
- 4) **Infrarot-Lichtschranke x_4** , die bei einer Unterbrechung durch ein „0“-Signal Alarm auslöst.

Alarm y mit $y=1$ soll ausgelöst werden, wenn zumindest zwei Schutzeinrichtungen Alarm geben.

- 1.1 Es ist die **Wahrheitstabelle** aufzustellen, die **logische Funktion** zu berechnen und zu vereinfachen. (Das Karnaugh-Veitch-Diagramm ist gemäß der Vorlesung aufzustellen)
- 1.2 Die berechnete logische Funktion ist unter Verwendung von integrierten Gattern schaltungstechnisch zu realisieren. Dazu stehen zweifach- und dreifach- NOR-Gatter und NOT-Gatter zur Verfügung (74LS02, 74LS04 und 74LS27). Der Schaltplan ist zu erstellen. Die Anschlusspins sind entsprechend zu bezeichnen.
- 1.3 Um schlaflose Nächte zu vermeiden, soll die Alarmanlage auf Wunsch auch deaktiviert werden können. Dazu soll der Schaltung ein Master-Switch hinzugefügt werden. Durch ein „high“-Signal soll die Alarmanlage scharfgestellt werden können. Zur Umsetzung stehen dieselben Gatter wie in 1.2 zu Verfügung.

2 Praktische Durchführung

Simulation:

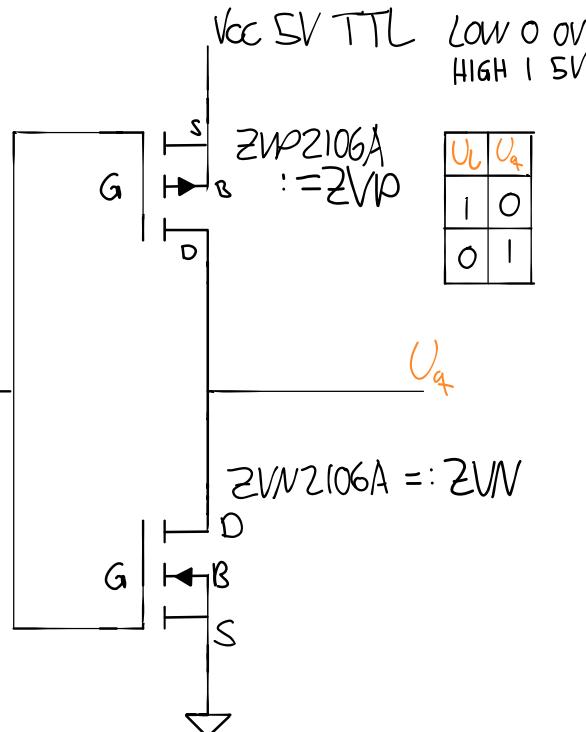
- 2.1 Die Schaltung ist mit LTspice zu simulieren. Die Eingangsspannungen, für die geeignete Perioden zu definieren sind, sowie die Ausgangsspannung sind darzustellen.

Aufbau am Steckboard:

- 2.2 Die Schaltung ist am Steckboard aufzubauen und ihre Funktionalität an Hand der Wahrheitstafel zu zeigen. Als Pegelgeber werden für das Steckboard vorhandene elektronisch entprellte Schalter verwendet. Die logischen Zustände von x_1 , x_2 , x_3 , x_4 und y , sowie des Master-Switch, sind durch LEDs anzuzeigen.
- 2.3 Die Ergebnisse sind zu protokollieren und zu diskutieren.

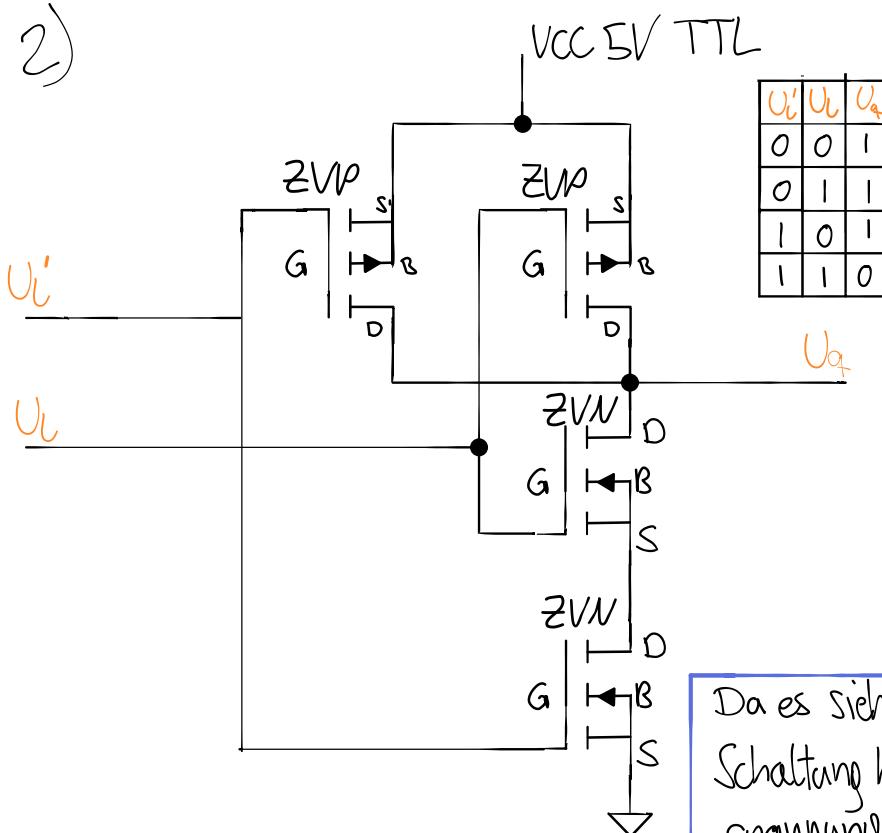
A CMOS

1.1)



Das Gate ist durch SiO₂ Schicht isoliert.
 ⇒ Gate ist nicht intern verbunden. Wie auch das Schaltsymbol andeutet. Dies macht einen unipolaren Transistor aus.

2)



1.3)

ZVN2106A:

$$\text{max. } V_{DS} = 60V$$

$$V_{GS(th)} = \min 0.8V \text{ max } 2.4V$$

$$@ I_D = 1mA \wedge V_{DS} = V_{GS}$$

Betriebstemperaturbereich:

$$-55 \text{ bis } 150^\circ\text{C}$$

ABSOLUTE MAXIMUM RATINGS.

PARAMETER	SYMBOL	MIN.	MAX.	UNIT
Drain-Source Voltage	V_{DS}	60		V
Continuous Drain Current at $T_{amb}=25^\circ\text{C}$	I_D	450		mA
Pulsed Drain Current	I_{DM}	8		A
Gate-Source Voltage	V_{GS}	± 20		V
Power Dissipation at $T_{amb}=25^\circ\text{C}$	P_{tot}	700		mW
Operating and Storage Temperature Range	T_J, T_{Sug}	-55 to +150		°C

ELECTRICAL CHARACTERISTICS (at $T_{amb} = 25^\circ\text{C}$ unless otherwise stated).

PARAMETER	SYMBOL	MIN.	MAX.	UNIT	CONDITIONS
Drain-Source Breakdown Voltage	BV_{DSS}	60		V	$I_D=1mA, V_{GS}=0V$
Gate-Source Threshold Voltage	$V_{GS(on)}$	0.8	2.4	V	$ID=1mA, V_{GS}=V_{GS}$
Gate-Body Leakage	I_{GSS}	20	nA	$V_{GS}=\pm 20V, V_{DS}=0V$	
Zero Gate Voltage Drain Current	$I_{DS(on)}$	500	100	μA	$V_{DS}=0V, V_{GS}=0V, T=125^\circ\text{C}$
On-State Drain Current(1)	$I_{D(on)}$	2		A	$V_{DS}=-18V, V_{GS}=-10V$
Static Drain-Source On-State Resistance (1)	$R_{DS(on)}$	2		Ω	$V_{DS}=-10V, I_D=1A$
Forward Transconductance (1)(2)	g_{fs}	300		mS	$V_{DS}=-18V, I_D=1A$
Input Capacitance (2)	C_{iss}	75	pF		
Common Source Output Capacitance (2)	C_{oss}	45	pF		$V_{DS}=-18V, V_{GS}=0V, f=1\text{MHz}$
Reverse Transfer Capacitance (2)	C_{rss}	20	pF		

ZVN2106A:

$$\text{max. } V_{DS} = -60V$$

$$V_{GS(th)} = \min -1.5V \text{ max } 3.5V$$

$$@ I_D = -1mA \wedge V_{DS} = V_{GS}$$

Betriebstemperaturbereich:

$$-55 \text{ bis } 150^\circ\text{C}$$

ABSOLUTE MAXIMUM RATINGS.

PARAMETER	SYMBOL	MIN.	MAX.	UNIT
Drain-Source Voltage	V_{DS}	-60		V
Continuous Drain Current at $T_{amb}=25^\circ\text{C}$	I_D	-280		mA
Pulsed Drain Current	I_{DM}	-4		A
Gate-Source Voltage	V_{GS}	± 20		V
Power Dissipation at $T_{amb}=25^\circ\text{C}$	P_{tot}	700		mW
Operating and Storage Temperature Range	T_J, T_{Sug}	-55 to +150		°C

ELECTRICAL CHARACTERISTICS (at $T_{amb} = 25^\circ\text{C}$ unless otherwise stated).

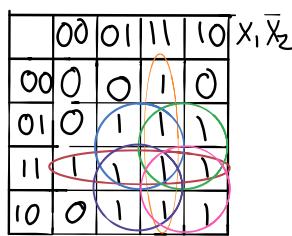
PARAMETER	SYMBOL	MIN.	MAX.	UNIT	CONDITIONS
Drain-Source Breakdown Voltage	BV_{DSS}	-60		V	$I_D=1mA, V_{GS}=0V$
Gate-Source Threshold Voltage	$V_{GS(on)}$	-1.5	-3.5	V	$ID=-1mA, V_{GS}=V_{GS}$
Gate-Body Leakage	I_{GSS}	20	nA	$V_{GS}=\pm 20V, V_{DS}=0V$	
Zero Gate Voltage Drain Current	$I_{DS(on)}$	-0.5	-100	μA	$V_{DS}=-60V, V_{GS}=0V$
On-State Drain Current(1)	$I_{D(on)}$	-1		A	$V_{DS}=-18V, V_{GS}=-10V$
Static Drain-Source On-State Resistance (1)	$R_{DS(on)}$	5		Ω	$V_{DS}=-18V, I_D=500mA$
Forward Transconductance (1)(2)	g_{fs}	150		mS	$V_{DS}=-18V, I_D=500mA$
Input Capacitance (2)	C_{iss}	100	pF		
Common Source Output Capacitance (2)	C_{oss}	60	pF		$V_{DS}=-18V, V_{GS}=0V, f=1\text{MHz}$
Reverse Transfer Capacitance (2)	C_{rss}	20	pF		
Turn-On Delay Time (2)(3)	$t_{f(on)}$	7	ns		
Rise Time (2)(3)	t_r	15	ns		$V_{DD}=-18V, I_D=500mA$
Turn-Off Delay Time (2)(3)	$t_{f(off)}$	12	ns		
Fall Time (2)(3)	t_f	15	ns		

Da es sich um eine Transistor Transistor Logik Schaltung handelt würde sich die standard Spannung von 0V für Low und 5V für High anbieten. Diese ist auch weit über der Thresholdvoltage.

Schaltnetze B)

1.1)

X_1	\bar{X}_2	X_3	\bar{X}_4	y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

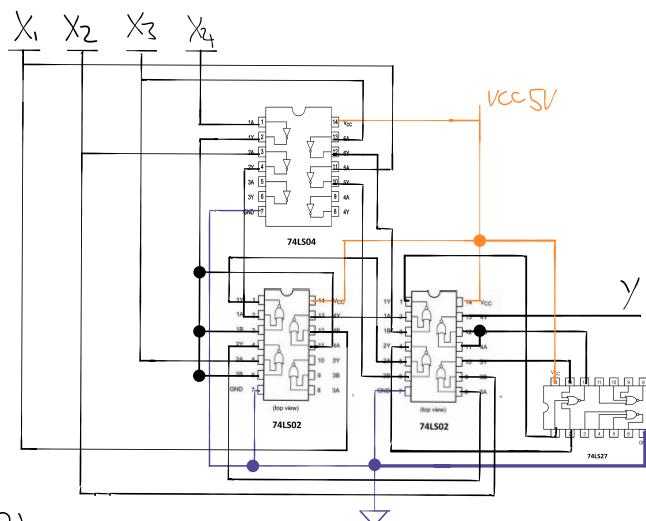
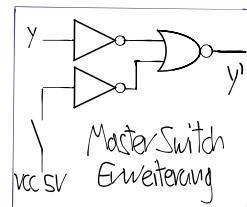
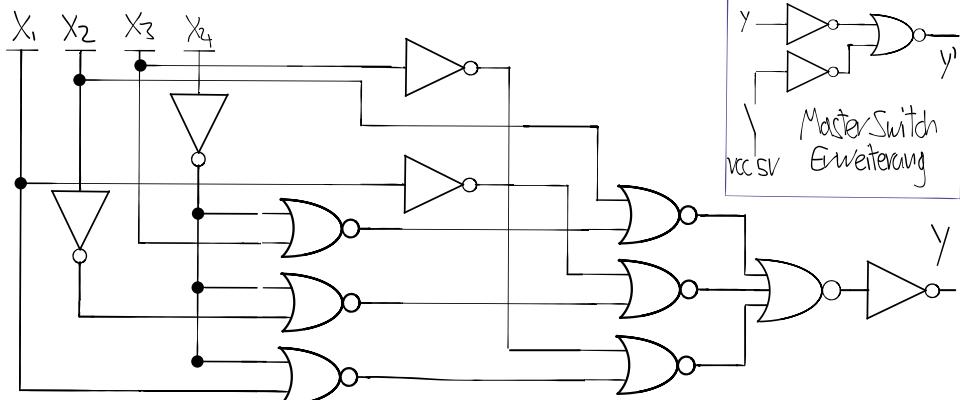


$$\begin{aligned} & (X_1 \wedge \bar{X}_2) \vee (\bar{X}_3 \wedge \bar{X}_4) \vee \\ & (\bar{X}_2 \wedge \bar{X}_4) \vee (X_1 \wedge \bar{X}_4) \vee \\ & (X_3 \wedge \bar{X}_2) \vee (X_1 \wedge X_3) \end{aligned}$$

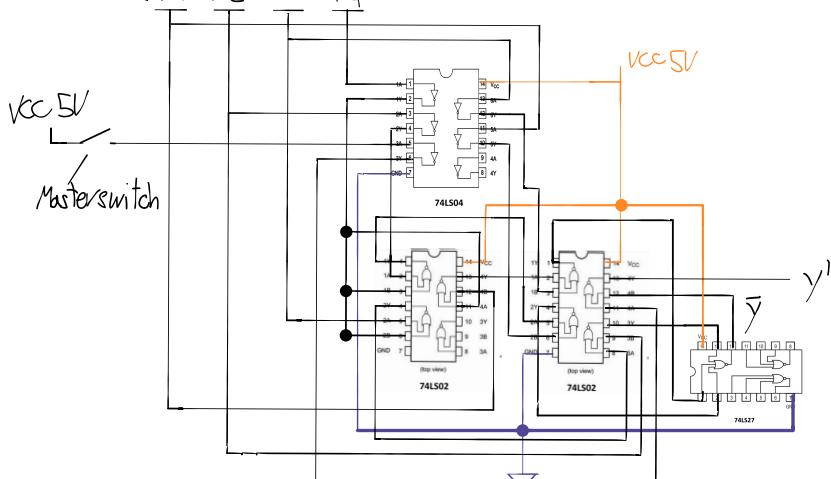
Distributiv Gesetze

$$\begin{aligned} & (X_1 \wedge (\bar{X}_2 \vee \bar{X}_4)) \vee (\bar{X}_2 \wedge (X_3 \vee \bar{X}_4)) \vee (X_3 \wedge (X_1 \vee \bar{X}_4)) \\ & \overline{(X_1 \wedge (\bar{X}_2 \vee \bar{X}_4))} \vee \overline{(X_2 \wedge (X_3 \vee \bar{X}_4))} \vee \overline{(X_3 \wedge (X_1 \vee \bar{X}_4))} \quad \text{De Morgan} \\ & (\bar{X}_1 \downarrow (\bar{X}_2 \vee \bar{X}_4)) \vee (\bar{X}_2 \downarrow (X_3 \vee \bar{X}_4)) \vee (\bar{X}_3 \downarrow (X_1 \vee \bar{X}_4)) \quad \downarrow \text{NOR} \end{aligned}$$

1.2)



1.3)

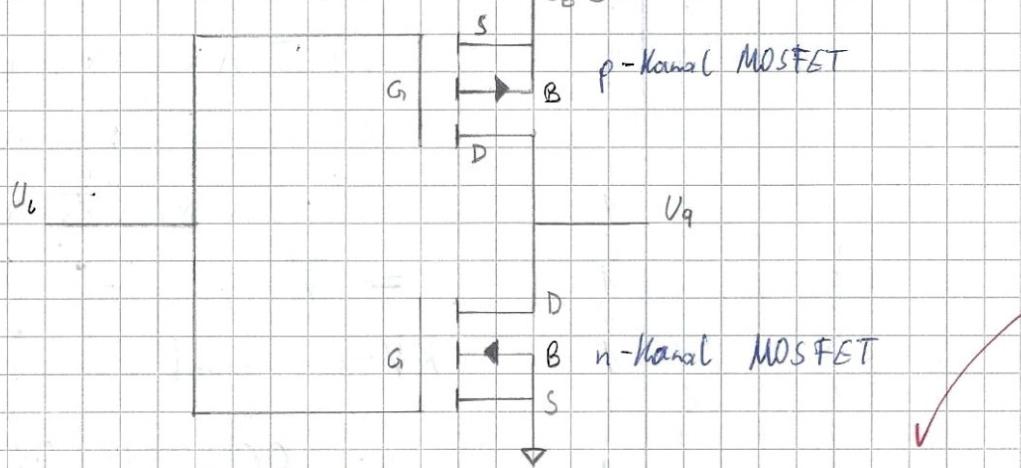


11.5.22

ECM UE 3 Vorbereitung

A Komplementäre MOS-Logik (CMOS)

1) CMOS-Inverter

n-Kanal MOSFET 2N2106A & p-Kanal MOSFET 2VP2106A
 $U_B = 5V \text{ TTL}$ 

Wahrheitstabelle:

U_i	U_o
1	0
0	1

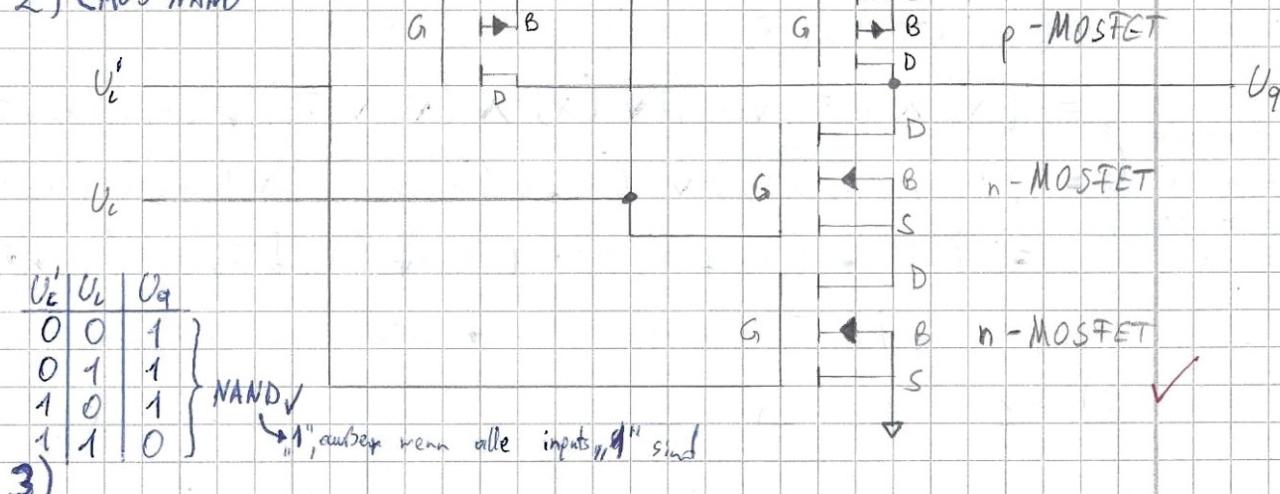
$"0" \approx 0V$

$"1" \approx 5V$

Gateauschluss
intern?

Gate-Isolierung durch SiO_2 -Schicht; Gate intern nicht verbunden.

2) CMOS-NAND



U_i'	U_i	U_o
0	0	1
0	1	1
1	0	1
1	1	0

NAND

"1", ausgespien wenn alle inputs "0" sind

3)

n-Kanal-MOSFET: $V_{DS,\max} = 60V$

$V_{GS,\min} = 0,8V \quad (V_{GS,\max} = 2,4V)$

(Bedingungen gemäß data sheet)

zulässiger Temperaturbereich: $[-55, 150]^\circ\text{C}$
(Storage/Operating)

p-Kanal-MOSFET: $V_{DS,\max} = -60V$

$V_{GS,\min} = -1,5V \quad (V_{GS,\max} = -3,5V)$

zulässiger Betriebstemperaturbereich: $[-55, 150]^\circ\text{C}$

© Everite

Für $"0"$ eine Spannung von $<0,7V \Rightarrow$ ideal $0V$
 $5V$ (bzw. größer $"0"$)

B Schaltnetze: Schaltungssynthese

1) Wahrheitstabelle

x_1	\bar{x}_2	x_3	\bar{x}_4	y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

$$\bar{y} = (\bar{x}_1 \wedge x_2 \wedge \bar{x}_3 \wedge x_4)$$

$$v(\bar{x}_1 \wedge x_2 \wedge \bar{x}_3 \wedge \bar{x}_4)$$

$$v(\bar{x}_1 \wedge x_2 \wedge x_3 \wedge x_4)$$

$$v(\bar{x}_1 \wedge \bar{x}_2 \wedge \bar{x}_3 \wedge x_4)$$

$$v(x_1 \wedge x_2 \wedge \bar{x}_3 \wedge x_4)$$

$$\Rightarrow \bar{y} = y \quad (\text{aus De Morgan zu berechnen})$$

KV-Diagramm (gefunden):

x_1, x_2	00	10	11	01
x_3, x_4	00	0	0	1
	00	0	0	0
	10	0	1	1
	11	1	1	1
	01	0	1	1

\Rightarrow auch 0-Paare mit Negieren hätte funktioniert (allerdings gebe es eben nur 2er Paare)



$$\Rightarrow y = (x_1 \wedge \bar{x}_2) \vee (x_3 \wedge \bar{x}_4)$$

$$v(x_1 \wedge x_3) \vee (\bar{x}_2 \wedge \bar{x}_4)$$

$$v(x_1 \wedge \bar{x}_4) \vee (\bar{x}_2 \wedge x_3)$$

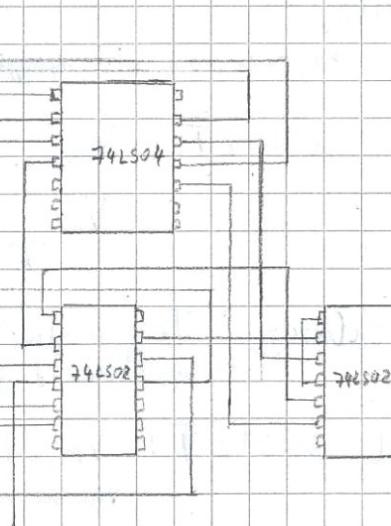
$$= (x_1 \wedge (\bar{x}_2 \vee \bar{x}_4)) \vee (\bar{x}_2 \wedge (x_3 \vee \bar{x}_4)) \vee (x_3 \wedge (x_1 \vee \bar{x}_4))$$

$$= (\bar{x}_1 \downarrow (\bar{x}_2 \downarrow \bar{x}_4)) \vee (\bar{x}_2 \downarrow (x_3 \downarrow \bar{x}_4)) \vee (\bar{x}_3 \downarrow (\bar{x}_2 \downarrow x_1))$$

$$= (\bar{x}_1 \downarrow (\bar{x}_2 \downarrow \bar{x}_4)) \vee (\bar{x}_2 \downarrow (x_3 \downarrow \bar{x}_4)) \vee (\bar{x}_3 \downarrow (\bar{x}_2 \downarrow x_1))$$

mit $\bar{\cdot}$ \Rightarrow Not \wedge \downarrow NOR für nachfolgende Schaltung

x_1	x_2	x_3	x_4
•	•	•	•
•	•	•	•
•	•	•	•
•	•	•	•



"14" Pins rechts oben mit V_D

"7" Pins links unten auf GND

74LS04 \rightarrow Not
74LS02 \rightarrow Nor

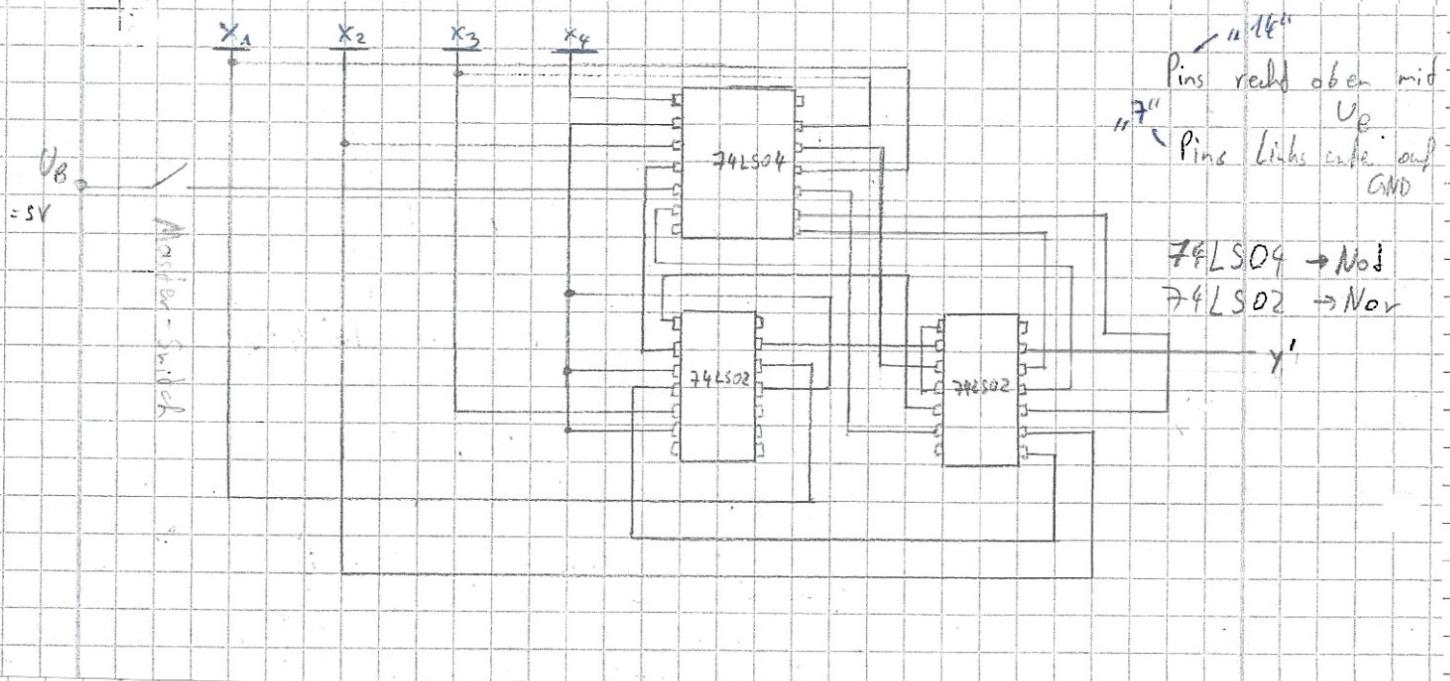
Schaltpläne bitte mit Logik-Symbolen zeichnen \neg \wedge \vee

Innere Beschaltung & Reihenfolge & Pinbezeichnung nach data sheet

3) Ein/Aus \Rightarrow Master-Switch \Rightarrow "High" = "1" \Rightarrow Abdinierung

U_B 5V am Master Switch \rightarrow Pin "5" des NOT-Gatter (74LS04)

Ausgang y' über Pin "13" des 2. NOR-Gatters (74LS02)



3/3

Michael Hinterleitner

12002611 Gruppe: 7 Mi. Mh.

3 Grundlagen

Die CMOS-Technologie basiert auf MOSFETs (Akronym für *Metal Oxide Semiconductor Field Effect Transistor*), also Feldeffekttransistoren (kurz FET) mit einer Metalloxidschicht, die der Isolation der Halbleitermaterialien dient. Analog zu den Bipolartransistoren, gibt es bei den Feldeffekttransistoren 3 Anschlüsse, nämlich Source, Gate und Drain. FETs sind ebenso aus drei Halbleiterbereichen (p- respektive n-dotiert) aufgebaut, die sich allerdings in ihrer Anordnung von den Bipolartransistoren in der Hinsicht unterschieden, dass die Manipulationsrichtung normal zur Stromflussrichtung liegt. Ein weiterer signifikanter Unterschied zwischen den beiden Typen von Transistoren ist, dass beim FET am Stromtransport nur noch eine Sorte Ladungsträger, entweder Elektronen (n-MOSFET) oder Defektelektronen (p-MOSFET) beteiligt sind. Weiters wird die Leitfähigkeit dieses Transistors über die Gatespannung gesteuert - bei Bipolartransistoren erfolgt dies bekanntlich über den Basisstrom. Zusätzlich wird zwischen Anreicherungs- und Verarmungstyp unterschieden, welche gelegentlich auch als selbstleitend respektive selbstsperrend bezeichnet werden. Dies beschreibt, wie die Bezeichnung nahelegt, den Umstand, dass ein MOSFET ohne Manipulation über das Gate den Strom entweder leitet oder sperrt. Aufgrund der Spannungssteuerung wird unter anderem der Stromfluss reduziert, wodurch auch die Verlustleistung gering ist. Dies ist auch ein großer Vorteil der daraus aufgebauten CMOS-Technologie (Akronym für *Complementary Metal Oxide Semiconductor*), bei der stets mindestens ein n- und p-MOSFET verwendet wird - so auch im ersten Teil dieser Laborübung für den CMOS-Inverter und das NAND-Gatter.

Bei Digitalschaltungen wird zwischen 2 Zuständen, *High* und *Low* beziehungsweise 0 und 1, geschaltet. Mittels Logikgattern, die aus CMOS gebaut werden können, können Zustände beziehungswise weiterfolgend Eingangsvariablen verknüpft werden und in der Folge Logiknetze konstruiert werden. Grundlegend für Schaltnetze sind die folgenden Gatter: AND, OR, NOT, NAND und NOR, wobei auch ein Satz dieser genutzt werden kann, um ein anderes Gatter zu erhalten; beispielsweise kann simpel aus einem AND und NOT ein NAND gebildet werden. Zur Identifizierung und/oder Auswertung wird zu einer Logikschaltung eine Wahrheitstabelle und eine Logikfunktion aufgestellt.

4 Versuchsdurchführung

Die verwendeten Geräte sind Tabelle 1 zu entnehmen.

Tabelle 1: Tabelle der verwendeten Geräte

Geräteliste	
Gerät/Bauelement	Typ
Netzgerät	nicht bestimmbar
2x N-MOSFET	ZVN2106A[3]
2x P-MOSFET	ZVP2106A[4]
NOT-Gatter	74LS04[2]
2x-NOR-Gatter	74LS02[1]
3x-NOR-Gatter	74LS27[5]

Entprellter Schalter Der entprellter Schalter wird als Signalgeber für die logischen Schaltungen und Gatter verwendet. Der Aufbau dieses Schalters ist in Abbildung 1 ersichtlich, jedoch ist noch der *GND* mit Ground und *VCC* mit 5 V zu beschalten, damit das Signal von Schalter eins beziehungsweise Schalter zwei für die jeweilige Betriebsart abgegriffen werden kann.

Jeder dieser Schalter hat eine Standard-*HIGH*- bzw. *LOW*-Betriebsart.



Abbildung 1: Dies sind die zwei entprellten Schalterplatinen mit je zwei Schalter (*S1,S2*) die entweder mit Standard-*HIGH* oder -*LOW* verwendet werden können. Diese werden durch Beschalten des *GND* und der 5 V Betriebsspannung in Betrieb genommen

LED Leiste Damit die Eingangssignale und Ausgangssignale der logischen Schaltungen dargestellt werden können, wird eine LED-Leiste verwendet. Diese besteht aus mehreren LEDs mit Vorwiderständen und ist in Abbildung 2 dargestellt und unterstützt bis zu 8 Aus- bzw. Eingangssignale. Die hier verwendete LED-Leiste hat einen Common-Ground und somit werden positiven Spannungssignale direkt an den verschiedenen Anschlüssen angelegt um die LED zum Leuchten zu bringen.

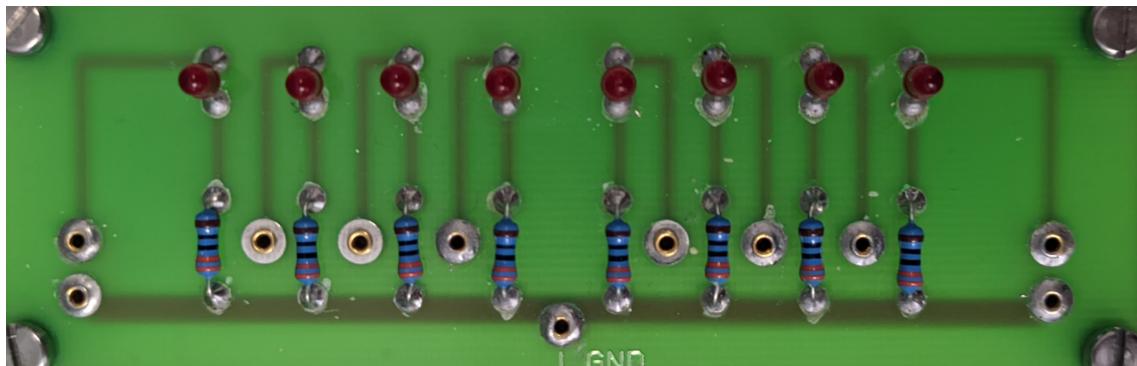


Abbildung 2: Dies ist die LED-Leiste, welche 8 LEDs mit je einem Vorwiderstand hat. Sie ist in Common-Ground-Konfiguration und wird verwendet um Signal anzeigen zu können.

Damit die Aufnahmen der Schaltungen übersichtlich bleiben, wurde diese meistens von den Aufnahmen weggescchnitten und dessen Funktion in der jeweiligen Grafik mittels *LED* dargestellt oder in der Beschriftung gekennzeichnet bzw. erwähnt.

4.1 CMOS

4.1.1 Simulation

Aufbau des CMOS-Inverters Die Schaltung für den CMOS-Inverter wurde gemäß Abbildung 3 in LTSpice aufgebaut. Als Betriebsspannung U_B wurde eine Spannung von 5 V und als Eingangsspannung V_e eine Puls-Spannungsquelle mit einer Spannung von 5 V (Spezifikationen nach Schaltplan) gewählt. Bei den MOSFETs ist die richtige Beschaltung von Source, Gate und Drain zu beachten. Weiters ist, wie gewohnt, darauf zu achten, dass nicht verwendete Anschlüsse auf Ground gelegt werden.

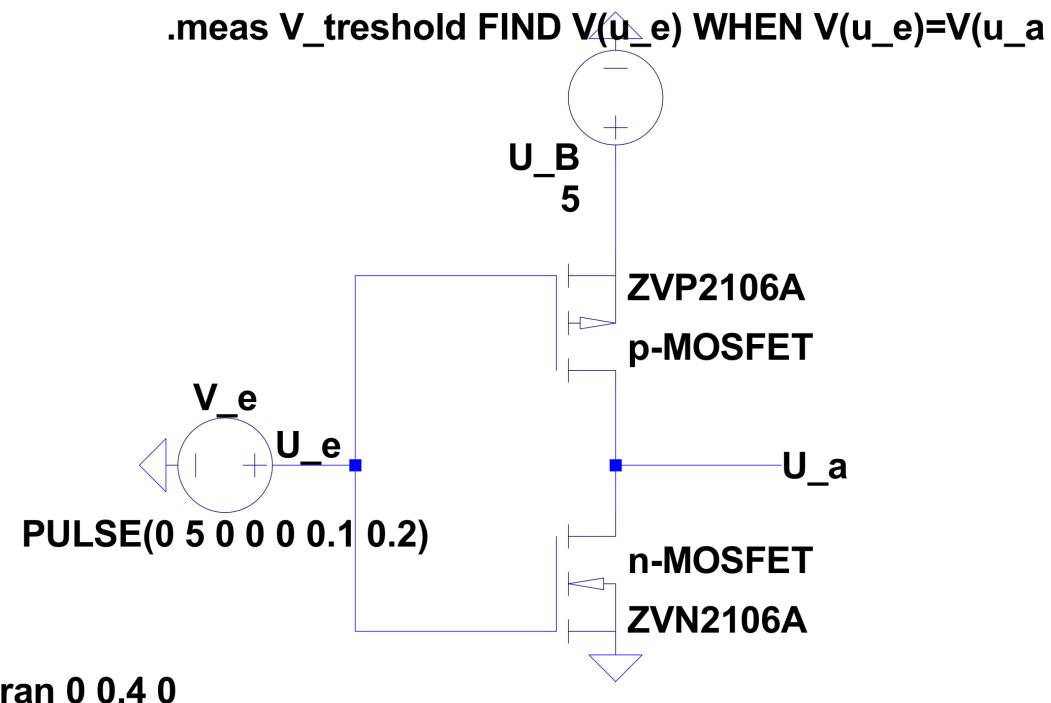


Abbildung 3: Dieser Schaltplan zeigt, den Aufbau eines CMOS-Inverters unter Verwendung der komplementären n- (*ZVN2106A*) und p-MOSFETs (*ZVP2106A*). Dabei ist U_e das Eingangssignal und U_a das Ausgangssignal. Die verwendeten Komponenten können der Tabelle 1 entnommen werden.

Daraufhin wurde eine zeitliche Transienten-Analyse der Ein- und Ausgangsspannung durchgeführt, woraus sich Abbildung 4 ergab. Als *Directive* wurde *.tran 0 0.4 0* verwendet.

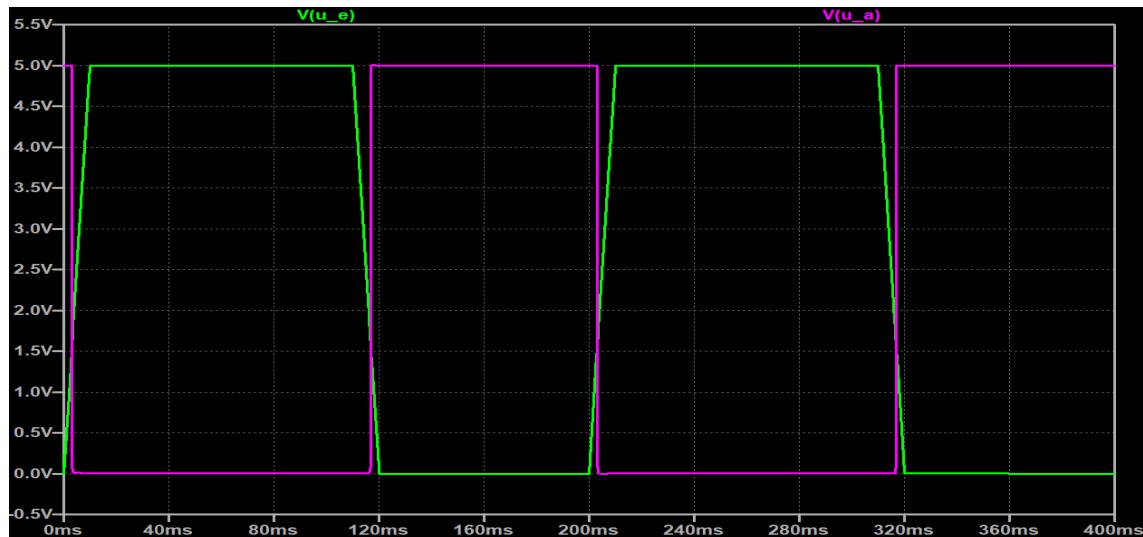


Abbildung 4: Diese Grafik spiegelt das simulierte Verhalten des CMOS-NOT-Gatters (aus Abbildung 3) wider, indem alle möglichen Eingangssignale durchgeschaltet worden sind und die Response am Ausgang aufgezeichnet wurde (enstrpechend der Wahrheitstafel). Dabei ist U_e das Eingangssignal und U_a das Ausgangssignal. Die SPICE-Directive der Simulation ist `.tran 0 0.4 0`.

In Abbildung 5 ist der Stromverlauf durch den p- respektive n-MOSFET dargestellt. Es wurde die selbe *Directive* wie für die Spannungsanalyse verwendet.

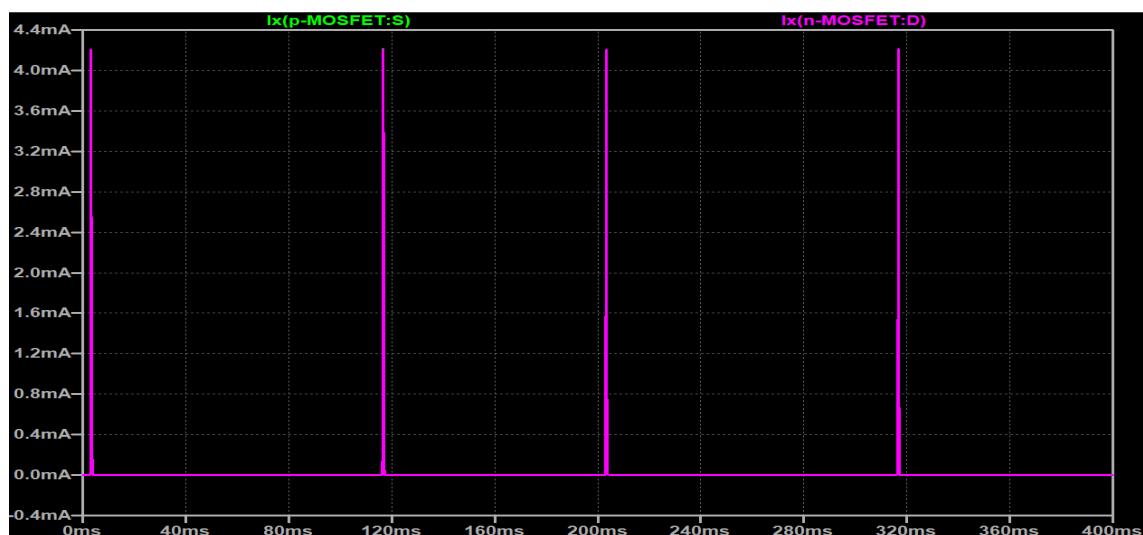


Abbildung 5: Hier sind die simulierten Gateströme des n- bzw. P-MOSFETs dargestellt. Die SPICE-Directive der Simulation ist `.tran 0 0.4 0`

Mittels der Directive `.meas V_threshold FIND V(u_e) WHEN V(u_e)=V(u_a)` wurde der Schnittpunkt zwischen der Eingangs- und Ausgangsspannung, wie in Abbildung 5 dargestellt, bestimmt.

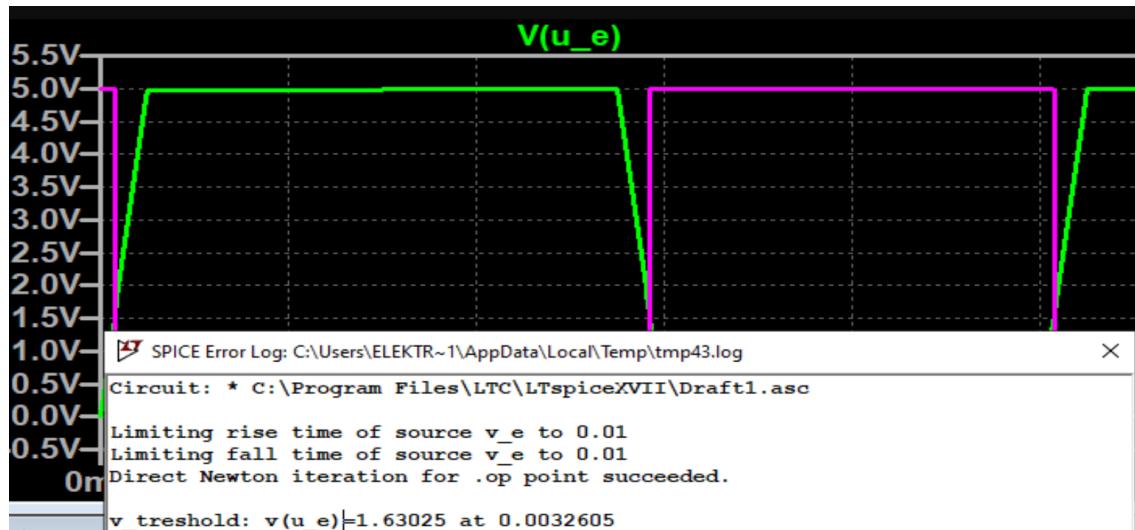


Abbildung 6: Diese Grafik beinhaltet die von der Simulation gemessene Gate-Source Schwellspannung $V_{threshold}$. Die SPICE-Directive der Simulation ist `.tran 0 0.4 0` und das *MEASURE* Kommando war `.meas V_threshold FIND V(u_e) WHEN V(u_e)=V(u_a)`

Aufbau des CMOS-NAND-Gatters Die Schaltung für das CMOS-NAND-Gatter wurde gemäß Abbildung 7 in LTSpice aufgebaut. Als Betriebsspannung U_B wurde eine Spannung von 5 V und als Eingangsspannungsquellen V_1 und V_2 Puls-Spannungsquellen mit einer Spannung von 5 V (weitere Spezifikationen nach Schaltplan) gewählt. Bei den verwendeten MOSFETs ist die richtige Beschaltung von Source, Gate und Drain zu beachten. Weiters ist, wie gewohnt, darauf zu achten, dass nicht verwendete Anschlüsse auf Ground gelegt werden.

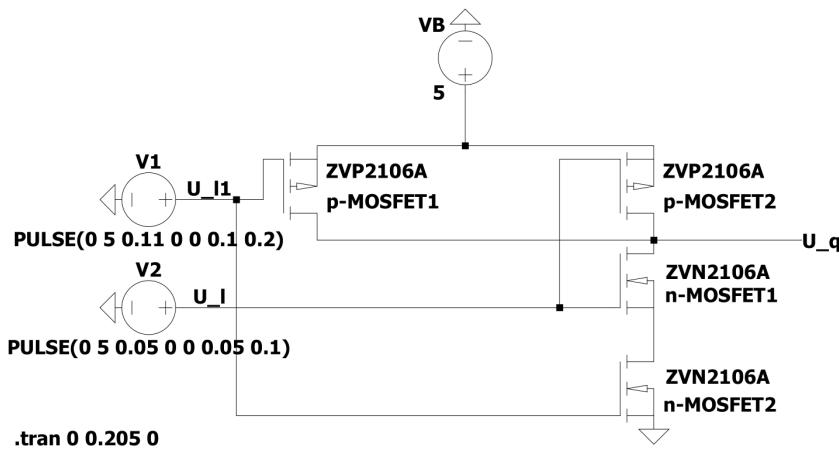


Abbildung 7: Dieser Schaltplan zeigt, den Aufbau eines NAND-Gatters unter Verwendung der komplementären n- ($ZVN2106A$) und p-MOSFETs ($ZVP2106A$). Dabei ist $U'_l := U_{l1}$, U_l die logischen Eingangssignale und U_q das Ausgangssignal.

Um die möglichen Kombinationen der Eingangssignale zu erhalten, wurden unterschiedliche Spezifikationen für die beiden Pulse-Spannungsquellen vorgenommen; dabei wurde für $V1$ bezogen auf $V2$ eine doppelt so große Periodendauer und Verzögerung gewählt (*Directives* nach Abbildung 7). Daraufhin wurde eine Transienten-Analyse der Spannungssignale nach der *Directive* `.tran 0 0.205 0` durchgeführt, woraus Abbildung 8 extrahiert wurde.

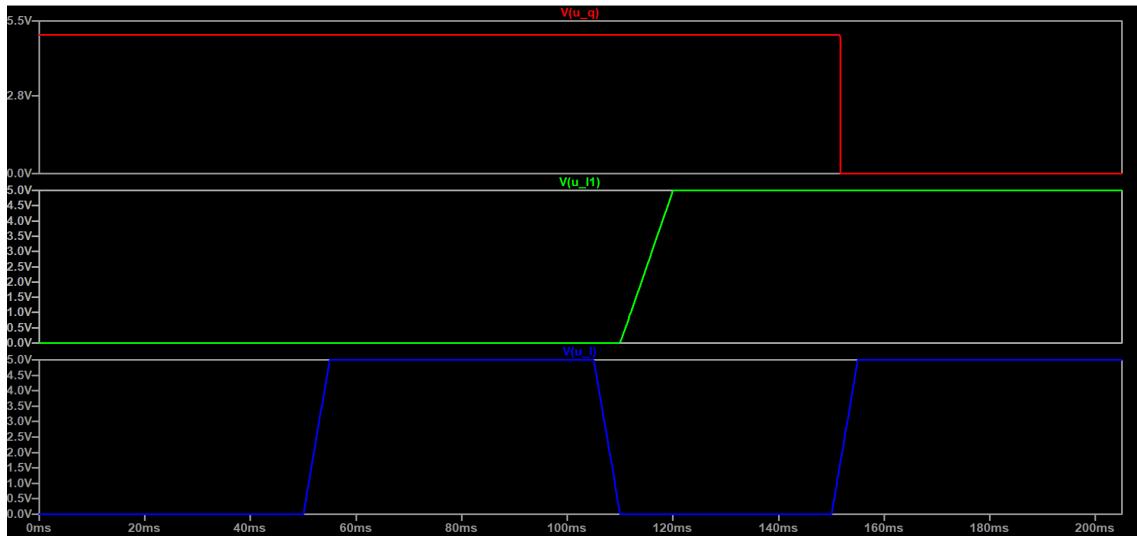


Abbildung 8: Diese Grafik spiegelt das simulierte Verhalten des CMOS-NAND-Gatters (aus Abbildung 7) wider, indem alle möglichen Eingangssignale durchgeschaltet worden sind und die Response am Ausgang aufgezeichnet wurde (entsprechend der Wahrheitstafel). Zudem sind $U'_l := U_{L1}$, U_l die Eingangssignale und U_q das Ausgangssignal. Die SPICE-Directive der Simulation ist `.tran 0 0.205 0`; die Einstellungen der Eingangssignale können der Abbildung 7 entnommen werden

4.1.2 Steckboard

Aufbau des CMOS-Inverters Zunächst wird der CMOS-Inverter mittels zweier MOSFETs (einem p-MOSFET [4] und einem n-MOSFET [3]) wie nach dem Schaltbild (Abbildung 3) aufgebaut. Zur Visualisierung des Eingangszustands U_l und des Ausgangszustands U_q wurden die LEDs der LED-Leiste parallel dazu geschaltet. Das Eingangssignal wurde durch einen entprellten Schalter, im Standardzustand *LOW*, gegeben. Der Aufbau wird in Absatz 4 dargestellt. Als Spannungsquelle wurde ein Netzgerät verwendet und auf 5 V eingestellt.

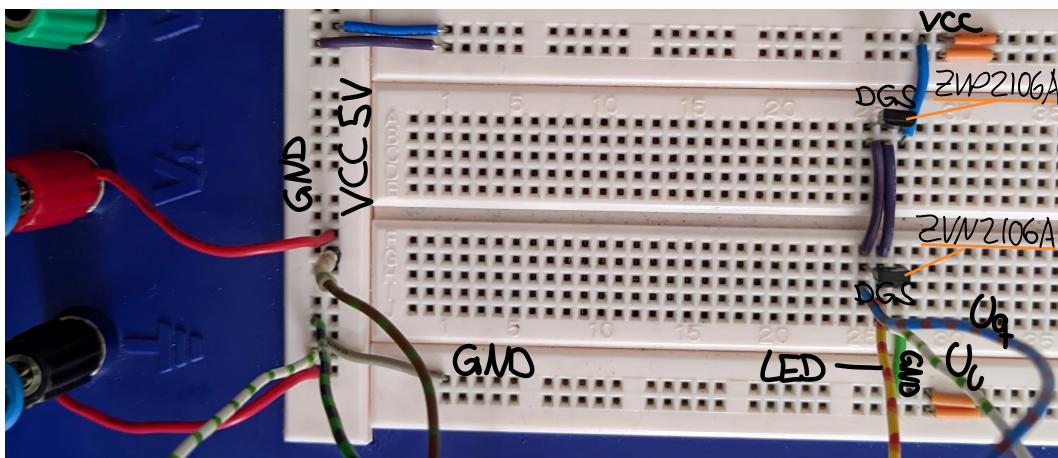


Abbildung 9: Dies ist der Aufbau einer CMOS-Inverter-Schaltung nach dem Schaltplan aus Abbildung 3, wobei U_q das Ausgangssignal der Schaltung und U_l das Eingangssignal ist. Der Zustand beider kann anhand einer LED in der LED-Leiste abgelesen werden.

Um die Funktionstüchtigkeit des CMOS-Gatters zu überprüfen, wurde die Wahrheitstafel des NOT-Gatters im Eingang durchgeschaltet. Die Resultate sind in Abbildung 10 ersichtlich.

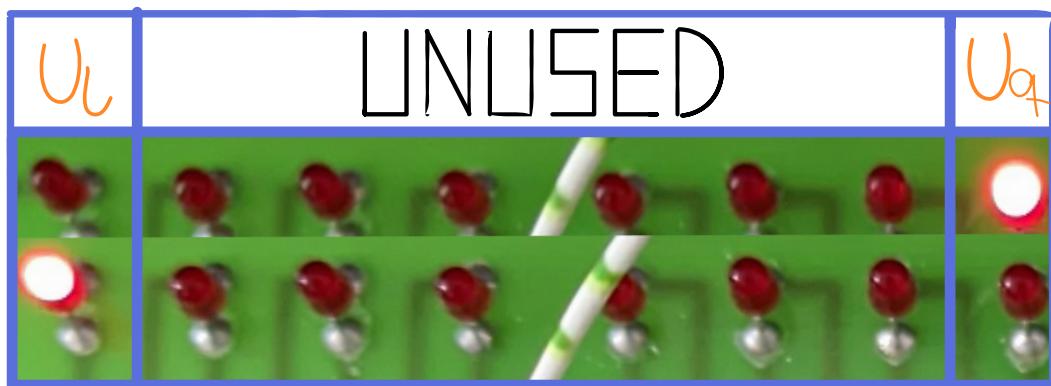


Abbildung 10: Diese Abbildung beinhaltet die gemessenen Eingangs- U_l und Ausgangssignale U_q der gebauten CMOS-Inverter-Schaltung. Eine leuchtende LED entspricht einem *HIGH* Signal, eine nicht leuchtende entspricht *LOW*

Aufbau des CMOS-NAND-Gatters Nun ist die CMOS-NOT Schaltung um zwei weitere MOSFETs erweitert worden, um ein NAND-Gatter zu bauen. Dies wurde

wie in Abbildung 7 aufgebaut. Es wurden, wie auch in Aufbau des CMOS-Inverters, entprellte Schalter als Pegelgeber und die LED-Leiste zur Visualisierung der Pegel (Signale) verwendet. Diese wurden ebenfalls an den geeigneten Abnahme-Stellen angeschlossen; wie diese genau angeschlossen wurden ist, der Abbildung 11 entnehmbar.

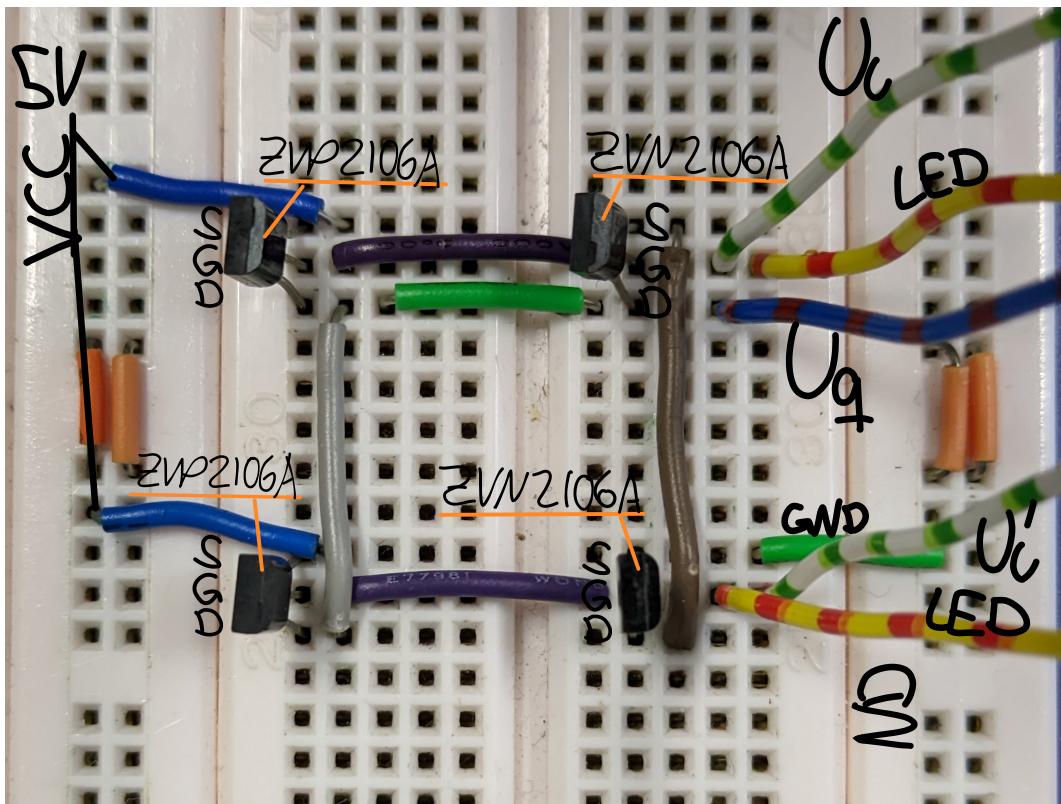


Abbildung 11: Dies ist der Aufbau eines CMOS-NAND-Gatters nach dem Schaltplan aus Abbildung 7.

Um die Funktionstüchtigkeit des CMOS-Gatters zu überprüfen, wurde die Wahrheitstafel des NAND-Gatters in den vier Möglichkeiten der zwei Eingänge (U_l U'_l) durchgeschaltet. Die Ergebnisse sind in Abbildung 12 ersichtlich.

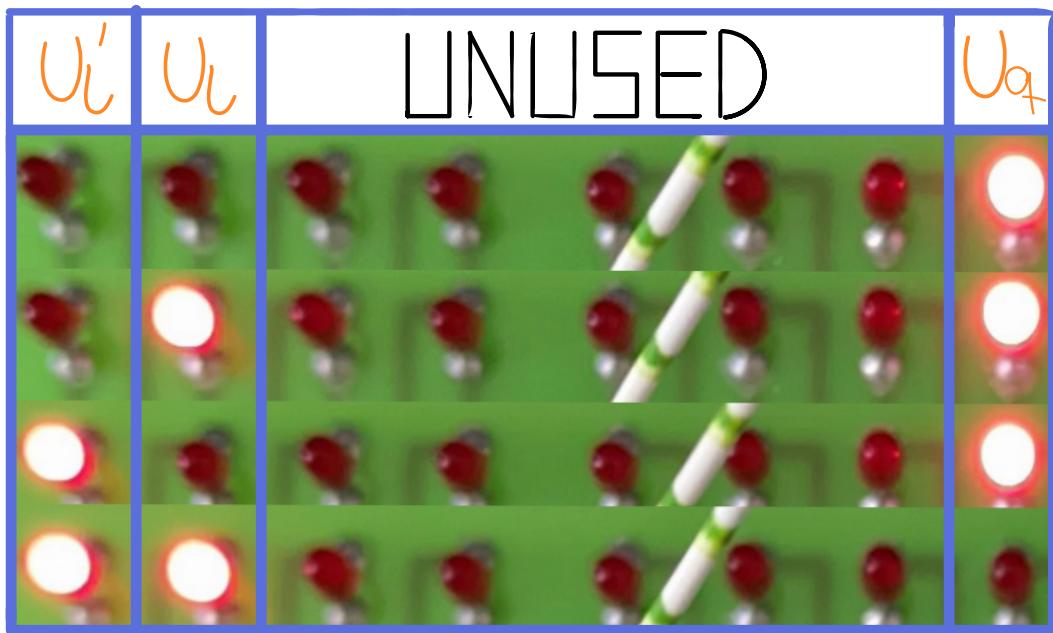


Abbildung 12: Diese Abbildung beinhaltet die gemessenen Eingangs- U_l, U'_l und Ausgangssignale U_q der aufgebauten CMOS-NAND-Schaltung. Eine leuchtende LED entspricht einem *HIGH* Signal, eine nicht leuchtende entspricht *LOW*

4.2 Schaltungssynthese

4.2.1 Simulation

Das Schaltnetz zur Einbruchssicherungsschaltung wird wie in Abbildung 13 aufgebaut. Dabei bezeichnen die x_1 bis x_4 die Eingangsvariablen (Schutzeinrichtungen) mit gepulsten Eingangsspannungen; deren Spezifikationen sind in der Abbildung rechts neben den Spannungsquellen von oben (x_1) bis unten (x_4) zu sehen. Weiters ist y der Ausgang, der als Alarm zu verstehen ist und anschlägt (*HIGH*), sofern mindestens zwei der vier Schutzeinrichtungen Alarm geben (gemäß Aufgabenstellung in Abschnitt 1). Zusätzlich wird die Schaltung um einen Masterswitch erweitert, was die Deaktivierung der Anlage erlaubt. Hierbei dient y_{MS} als Ausgang für den Alarm mit Masterswitch.

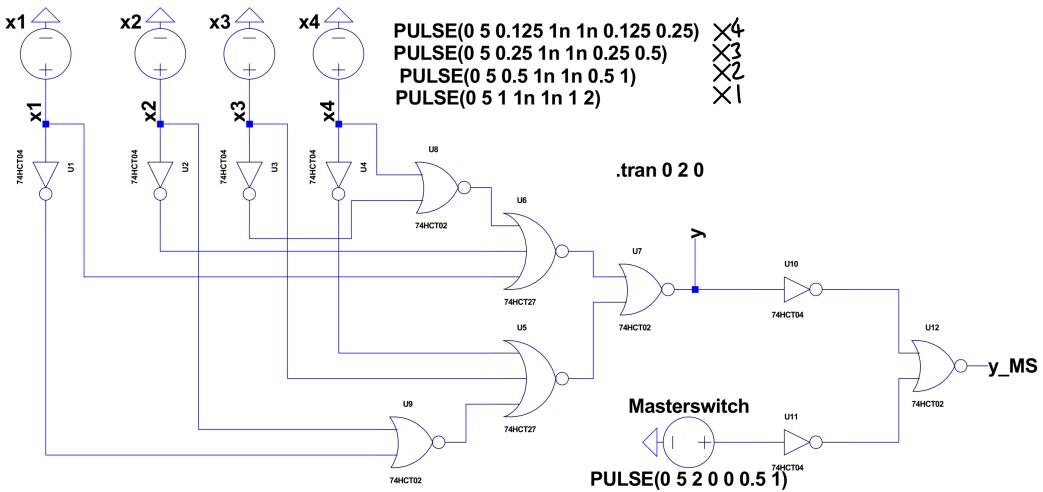


Abbildung 13: Diese Schaltung entspricht der in Aufgabenstellung geforderten und in Vorbereitung entworfenen Einbruchsicherungsschaltung. Hier entspricht x_1 dem Fensterscheiben-Vibrationsfühler, x_2 dem Tür-Kontaktfühler, x_3 der Ultraschall-Raumüberwachung und x_4 der Infrarot-Lichtschranke. Zudem ist hier auch der *Master-Switch* ersichtlich. Die verwendeten Komponenten können der Tabelle 1 entnommen werden.

Nachdem die Eingangsspannungsquellen, wie in Abbildung 13 ersichtlich, gewählt wurden - die Periodendauer und Verzögerung wurde von einer zur nächsten stets verdoppelt - wurde eine weitere gepulste Spannungsquelle für den Masterswitch inkludiert. Diese ist für einen vollständigen Durchlauf aller Kombinationen der Eingangsvariablen gemäß der Wahrheitstabelle in Abschnitt 2 auf HIGH geschaltet (aktivierte Alarmanlage). Für den zweiten Durchlauf bleibt die Spannungsquelle auf LOW (deaktivierte Alarmanlage). Aus der Transienten-Analyse (`.tran 0 4 0`) ergibt sich Abbildung 14 mit den Spannungsverläufen für x_1, x_2, x_3, x_4, y und y_{ms} .

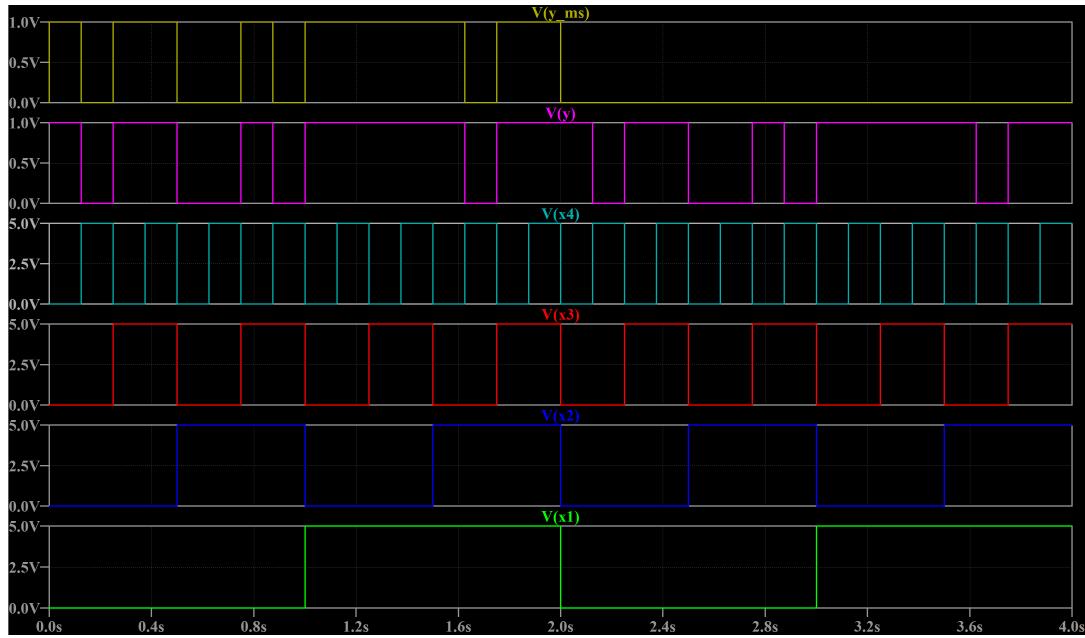


Abbildung 14: Diese Grafik spiegelt das Verhalten der Einbruchssicherungsschaltung (aus Abbildung 13) wider, indem alle möglichen Eingangssignale durchgeschaltet worden sind und die Response an den Ausgängen aufgezeichnet wurde (entsprechend Wahrheitstafel). Dabei sind x_1 , x_2 , x_3 , x_4 & der *Master-Switch* die Eingangssignale und y das Ausgangssignal sowie y_{ms} das Ausgangssignal mit *Master-Switch*. Die SPICE-Directive der Simulation ist `.tran 0 4 0`; die Einstellungen der Eingangssignale können der Abbildung 13 entnommen werden

4.2.2 Steckboard

Wie in Aufgabenstellung gefordert, galt es eine Schaltung zu entwickeln, welche durch Anschlagen mindestens zweier Sensoren einen Alarm auslösen sollte. Diese Schaltung wurde, um die Fehlerquellen zu reduzieren, jedoch aus der Musterlösung entnommen und nicht die selbst Entworfene verwendet. Die vier Eingangsgrößen (x_1 , x_2 , x_3 , x_4) wurden durch vier entprellte Schalter realisiert. Dabei sind x_1 & x_3 im Standard *LOW* und x_2 & x_4 Standard *HIGH* Betrieb geschaltet worden, damit die Alarmanlage bei Signalunterbrechung x_2 & x_4 und einem Signal bei x_1 & x_3 anschlägt. Der Aufbau der Schaltung kann Dies ist der Aufbau der Einbruchssicherungsschaltung nach dem Schaltplan aus Abbildung 13 entnommen werden.

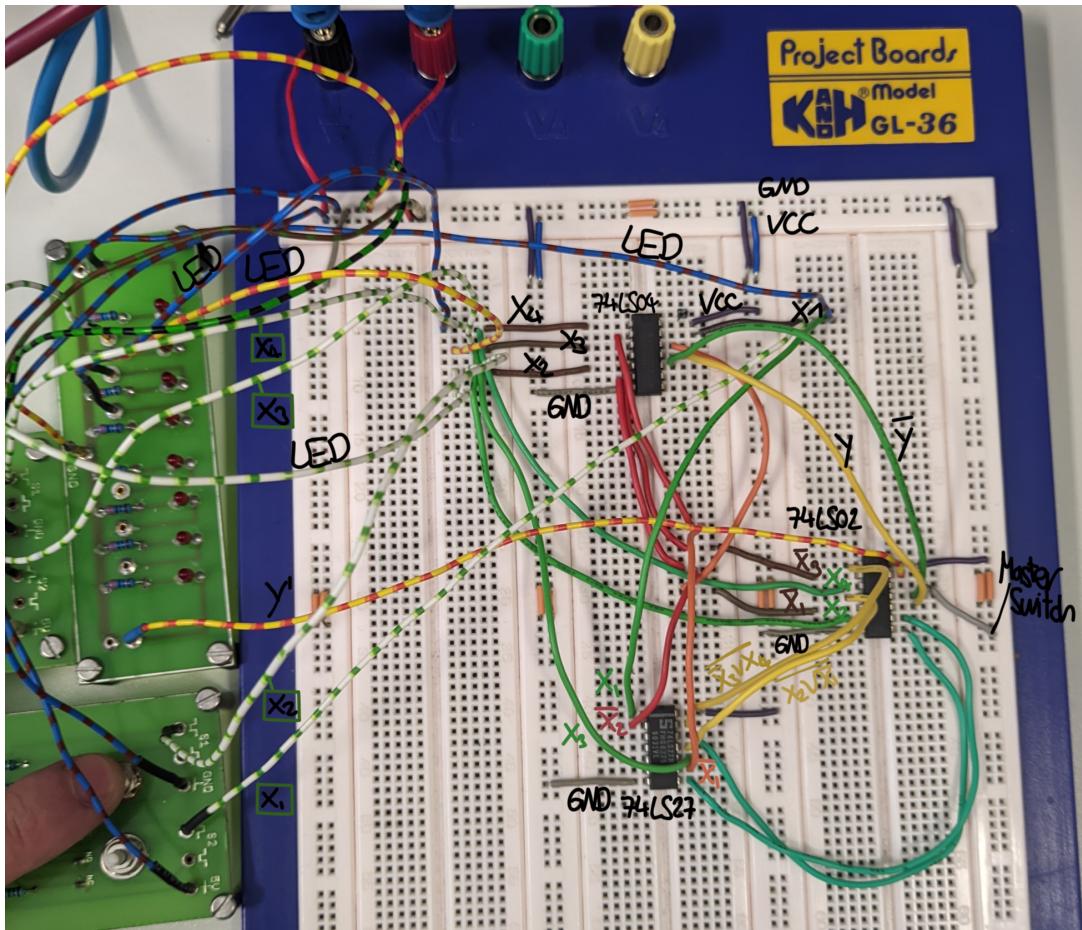


Abbildung 15: Dies ist der Aufbau der Einbruchsicherungsschaltung nach dem Schaltplan aus Abbildung 13

Um die Funktionstüchtigkeit der Einbruchsicherungsschaltung zu überprüfen, wurden alle Kombinationen der vier Eingangsgrößen (x_1, x_2, x_3, x_4) durchgegangen. Somit konnte die Wahrheitstafel der Schaltung mittels LEDs realisiert werden. Die Kombinationen sind in Abbildung 16 ersichtlich.

The image displays a 10-column grid of traffic light images. The columns are labeled at the top as x_1 , x_2 , x_3 , x_4 , UNUSED, and y . The first four columns (x_1 to x_4) show the traffic light from different perspectives, appearing to move across the frame. The UNUSED column is entirely green. The final column (y) shows the traffic light in its final, rightmost position, identical to the images in x_4 .

Abbildung 16: Diese Abbildung beinhaltet die gemessenen logischen Zustände der Ein- x_1, x_2, x_3, x_4 und Ausgänge y der gebauten Einbruchssicherungsschaltung. Eine leuchtende LED entspricht einem *HIGH*-, eine nicht leuchtende entspricht einem *LOW*-Signal

Für die Untersuchung des Master-Switches im ausgeschalteten Zustand wurden die zuvor *wahren* Eingangssignal-Kombinationen durchgeschaltet und überprüft, ob diese nicht die Alarmanlage (y) anschlagen lassen. Da die Schaltung zuvor, wie in Abbildung 16 ersichtlich, funktionierte, ist dadurch die Funktionstüchtigkeit des Master-Switches gezeigt.

5 Auswertung

In diesem Protokoll ist keine Auswertung von Nöten, da die geforderten Resultate direkt aus den Ergebnissen der Laborübung folgen. Dennoch wurde für bessere Nachvollziehbarkeit die Daten aus Abbildung 14 nochmals mit Farben hinterlegt und die *HIGH* Zustände mit einer 1 markiert.

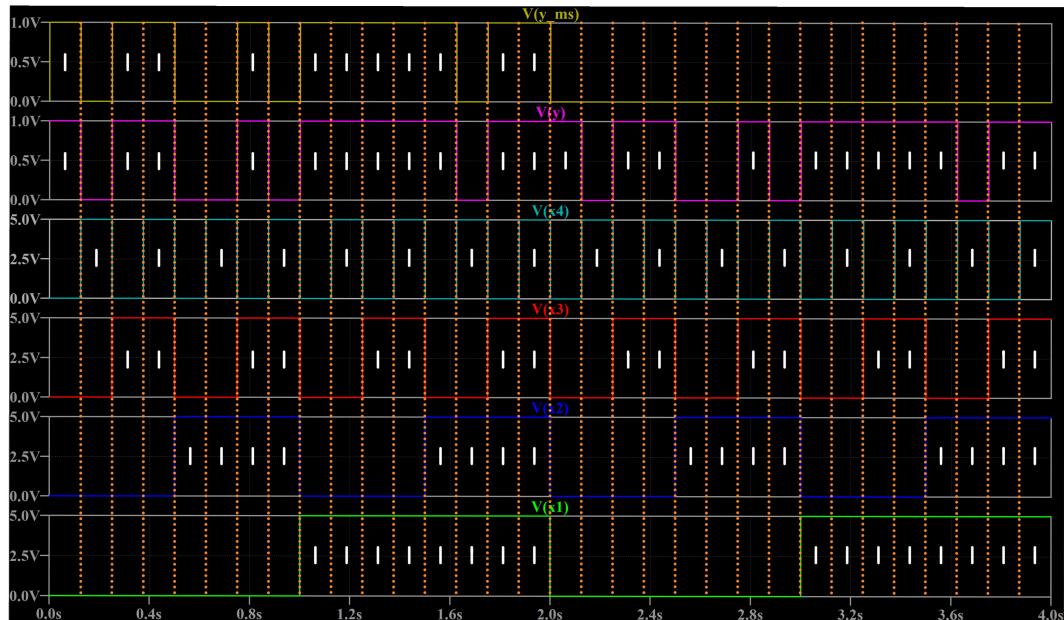


Abbildung 17: Diese Grafik spiegelt das Verhalten der Einbruchssicherungsschaltung (aus Abbildung 13) wider, indem alle möglichen Eingangssignale durchgeschaltet worden sind und die Response an den Ausgängen aufgezeichnet wurde (entsprechend Wahrheitstafel). Dabei sind x_1 , x_2 , x_3 , x_4 & der *Master-Switch* die Eingangssignale und y das Ausgangssignal sowie y_{ms} das Ausgangssignal mit *Master-Switch*. Die SPICE-Directive der Simulation ist `.tran 0 4 0`; die Einstellungen der Eingangssignale können der Abbildung 13 entnommen werden. Zudem wurden hier die Ticks von einander mittels orangefarbener gepunkteter Linien getrennt und die *HIGH* mit 1er markiert.

6 Diskussion und Zusammenfassung

6.1 Diskussion

In Abbildung 4 von der Simulation und Abbildung 10, welche die LEDs vom Steckbrett zeigt, ist das Verhalten eines CMOS-Inverters gut zu erkennen; dabei wird das Signal am Ausgang relativ zu jenem am Eingang negiert. Weiters ist anhand von Abbildung 4 aus der Simulation ersichtlich, dass der Schaltvorgang in CMOS endlich schnell erfolgt. Dabei ist ein deutliches Maximum des Stroms von 4,21 mA zu erkennen (siehe Abbildung 5), wenn (im Falle des Inverters) beide MOSFETs leitfähig sind, nämlich am Schnittpunkt der Spannungsverläufe. Die Spannung an diesen Schnittpunkten beträgt 1,63 V (siehe Abbildung 6) und liegt somit innerhalb der für die Gate-Source-Spannung toleranten Intervalle von 0,8 V bis 2,4 V beim *ZVN2106A* und von –3,5 V bis –1,5 V beim *ZVP2106A* nach den zugehörigen Datenblättern.

Das aus MOSFETs konstruierte NAND liefert als Ergebnis aller möglichen Kombinationen der beiden Eingangssignale Abbildung 8 für die Simulation und Abbildung 12 für die Steckbrettschaltung. Somit folgt der Verhalt jenem, der in der Wahrheitstabelle in Abschnitt 2 (Vorbereitung) notiert wurde – der Ausgang ist stets HIGH, außer wenn beide Eingänge auf High sind.

Genauso folgen für die Einbruchsicherungsschaltung Abbildung 14 und Abbildung 16 der konstruierten Wahrheitstabelle in Abschnitt 2 (Vorbereitung). Demnach löst der Alarm aus, sofern der *Master-Switch* eingeschaltet ist, wenn mindestens zwei Eingangsvariablen auf HIGH sind.

6.2 Zusammenfassung

Im Rahmen dieser Laborübung wurde das Verhalten von einem CMOS-Inverter (siehe Abbildung 4 respektive Abbildung 10), einem aus CMOS konstruierten NAND (siehe Abbildung 8 respektive Abbildung 12) und einer Einbruchsicherungsschaltung (=Schaltnetz mit 4 Eingangsvariablen und *Master-Switch*; siehe Abbildung 17 respektive Abbildung 16) erfolgreich mittels Simulation und mithilfe von LEDs an Steckbrettschaltungen verifiziert.

Literaturverzeichnis

- [1] *DM74LS02 Quad 2-Input NOR Gate.* en. 2000. URL: <https://www.futurlec.com/74LS/74LS02.shtml> (besucht am 22.05.2022).
- [2] *DM74LS04 Hex Inverting Gates.* en. 2000. URL: <https://www.futurlec.com/74LS/74LS04.shtml> (besucht am 22.05.2022).
- [3] *N-CHANNEL ENHANCEMENTMODE VERTICAL DMOS FET ZVN2106A.* en. 1994. URL: <https://www.diodes.com/assets/Datasheets/ZVN2106A.pdf> (besucht am 22.05.2022).
- [4] *P-CHANNEL ENHANCEMENTMODE VERTICAL DMOS FET ZVP2106A.* en. 1994. URL: <https://www.diodes.com/assets/Datasheets/ZVP2106A.pdf> (besucht am 22.05.2022).
- [5] *Triple 3-Input Positive-NOR Gates datasheet 74LS27.* en. 1988. URL: <https://www.ti.com/lit/ds/symlink/sn54ls27.pdf> (besucht am 22.05.2022).

Abbildungsverzeichnis

1	Dies sind die zwei entprellten Schalterplatinen mit je zwei Schalter (S_1, S_2) die entweder mit Standard- <i>HIGH</i> oder - <i>LOW</i> verwendet werden können. Diese werden durch Beschalten des <i>GND</i> und der 5V Betriebsspannung in Betrieb genommen	12
2	Dies ist die LED-Leiste, welche 8 LEDs mit je einem Vorwiderstand hat. Sie ist in Common-Ground-Konfiguration und wird verwendet um Signal anzeigen zu können.	13
3	Dieser Schaltplan zeigt, den Aufbau eines CMOS-Inverters unter Verwendung der komplementären n- (<i>ZVN2106A</i>) und p-MOSFETs (<i>ZVP2106A</i>). Dabei ist U_e das Eingangssignal und U_a das Ausgangssignal. Die verwendeten Komponenten können der Tabelle 1 entnommen werden.	14
4	Diese Grafik spiegelt das simulierte Verhalten des CMOS-NOT-Gatters (aus Abbildung 3) wider, indem alle möglichen Eingangssignale durchgeschaltet worden sind und die Response am Ausgang aufgezeichnet wurde (enstrprechend der Wahrheitstafel). Dabei ist U_e das Eingangssignal und U_a das Ausgangssignal. Die SPICE-Directive der Simulation ist <code>.tran 0 0.4 0.</code>	15
5	Hier sind die simulierten Gateströme des n- bzw. P-MOSFETs dargestellt. Die SPICE-Directive der Simulation ist <code>.tran 0 0.4 0 . . .</code>	15

- 6 Diese Grafik beinhaltet die von der Simulation gemessene Gate-Source Schwellspannung $V_{\text{threshold}}$. Die SPICE-Directive der Simulation ist `.tran 0 0.4 0` und das *MEASURE* Kommando war `.meas V_threshold FIND V(u_e) WHEN V(u_e)=V(u_a)` 16
- 7 Dieser Schaltplan zeigt, den Aufbau eines NAND-Gatters unter Verwendung der komplementären n- (*ZVN2106A*) und p-MOSFETs (*ZVP2106A*). Dabei ist $U'_l := U_l 1$, U_l die logischen Eingangssignale und U_q das Ausgangssignal. 17
- 8 Diese Grafik spiegelt das simulierte Verhalten des CMOS-NAND-Gatters (aus Abbildung 7) wider, indem alle möglichen Eingangssignale durchgeschaltet worden sind und die Response am Ausgang aufgezeichnet wurde (entsprechend der Wahrheitstafel). Zudem sind $U'_l := U_L 1$, U_l die Eingangssignale und U_q das Ausgangssignal. Die SPICE-Directive der Simulation ist `.tran 0 0.205 0`; die Einstellungen der Eingangssignale können der Abbildung 7 entnommen werden 18
- 9 Dies ist der Aufbau einer CMOS-Inverter-Schaltung nach dem Schaltplan aus Abbildung 3, wobei U_q das Ausgangssignal der Schaltung und U_l das Eingangssignal ist. Der Zustand beider kann anhand einer LED in der LED-Leiste abgelesen werden. 19
- 10 Diese Abbildung beinhaltet die gemessenen Eingangs- U_l und Ausgangssignale U_q der gebauten CMOS-Inverter-Schaltung. Eine leuchtende LED entspricht einem *HIGH* Signal, eine nicht leuchtende entspricht *LOW* 19
- 11 Dies ist der Aufbau eines CMOS-NAND-Gatters nach dem Schaltplan aus Abbildung 7. 20
- 12 Diese Abbildung beinhaltet die gemessenen Eingangs- U_l, U'_l und Ausgangssignale U_q der aufgebauten CMOS-NAND-Schaltung. Eine leuchtende LED entspricht einem *HIGH* Signal, eine nicht leuchtende entspricht *LOW* 21
- 13 Diese Schaltung entspricht der in Aufgabenstellung geforderten und in Vorbereitung entworfenen Einbruchsicherungsschaltung. Hier entspricht x_1 dem Fensterscheiben-Vibrationssensor, x_2 dem Tür-Kontaktfühler, x_3 der Ultraschall-Raumüberwachung und x_4 der Infrarot-Lichtschranke. Zudem ist hier auch der *Master-Switch* ersichtlich. Die verwendeten Komponenten können der Tabelle 1 entnommen werden. 22

14	Diese Grafik spiegelt das Verhalten der Einbruchsicherungsschaltung (aus Abbildung 13) wider, indem alle möglichen Eingangssignale durchgeschaltet worden sind und die Response an den Ausgängen aufgezeichnet wurde (entsprechend Wahrheitstafel). Dabei sind x_1 , x_2 , x_3 , x_4 & der <i>Master-Switch</i> die Eingangssignale und y das Ausgangssignal sowie y_{ms} das Ausgangssignal mit <i>Master-Switch</i> . Die SPICE-Directive der Simulation ist .tran 0 4 0; die Einstellungen der Eingangssignale können der Abbildung 13 entnommen werden	23
15	Dies ist der Aufbau der Einbruchsicherungsschaltung nach dem Schaltplan aus Abbildung 13	24
16	Diese Abbildung beinhaltet die gemessenen logischen Zustände der Ein- x_1 , x_2 , x_3 , x_4 und Ausgänge y der gebauten Einbruchsicherungsschaltung. Eine leuchtende LED entspricht einem <i>HIGH</i> -, eine nicht leuchtende entspricht einem <i>LOW</i> -Signal	25
17	Diese Grafik spiegelt das Verhalten der Einbruchssicherungsschaltung (aus Abbildung 13) wider, indem alle möglichen Eingangssignale durchgeschaltet worden sind und die Response an den Ausgängen aufgezeichnet wurde (entsprechend Wahrheitstafel). Dabei sind x_1 , x_2 , x_3 , x_4 & der <i>Master-Switch</i> die Eingangssignale und y das Ausgangssignal sowie y_{ms} das Ausgangssignal mit <i>Master-Switch</i> . Die SPICE-Directive der Simulation ist .tran 0 4 0; die Einstellungen der Eingangssignale können der Abbildung 13 entnommen werden. Zudem wurden hier die Ticks von einander mittels orange gepunkteten Linien getrennt und die <i>HIGH</i> mit 1er markiert.	26

Tabellenverzeichnis

1	Tabelle der verwendeten Geräte	12
---	--	----