

Alternativ Themen

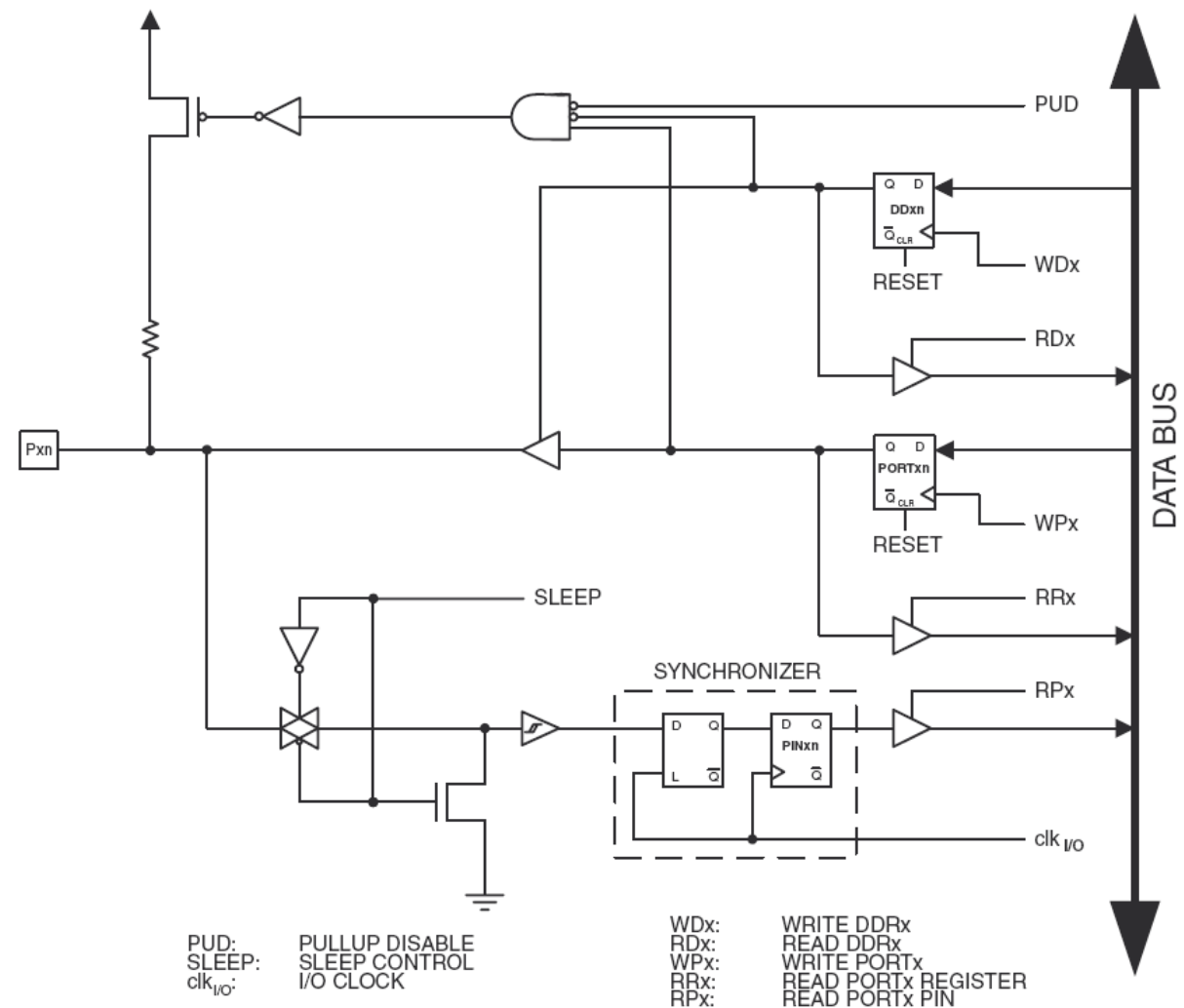
- digitale Filter (Butterworth, Chebyshev usw.)
 - digitale Regelungstechnik, Reglerentwurf
 - Leistungselektronik (PWM, H-Brücke, Schrittmotor)
 - Funkmodule 433 MHz (Hamming Kodierungs usw.)
 - Synchrondemodulation (Lichtschranke)
 - Gold-Code, Korrelation, Random-Codes...
 - optisch unidirektionale Übertragung
(Manchester Kodierung, Synchronisation usw.)
 - Kommunikation mit PC, GUI mit FLTK
-

Ports

- ATmega32 Controller besitzt vier I/O Ports mit jeweils acht Pins
- Die Ports sind standardmäßig als digitale I/O Ports geschaltet
- Auf jeden Portpin besteht voller Schreib-/Lesezugriff
- Die Portpins können sowohl als digitaler Eingang als auch als digitaler Ausgang geschaltet werden
- Jeder Portpins besitzt einen eigenen Treiber, welcher aber nur aktiv ist, wenn der zugehörige Pin als Ausgang konfiguriert ist
- Sollte ein Portpin als Eingang deklariert werden, so kann für diesen ein Pull-Up-Widerstand geschaltet werden
- Alle Ports sind nach einem Reset als Eingang deklariert

I/O Port Pins (1/2)

- **DDRx Register**
 - Deklariert ob Pins als Ausgang oder Eingang agieren
- **PORTx Register**
 - Schreibt Signale auf die Pins ($DDR_{xn}=1$)
 - Kann den Pull-UP ein- bzw. ausschalten ($DDR_{xn}=0$)
- **PINx Register**
 - Hiermit kann das anliegende Signal der Pins ausgelesen werden



I/O Port Pins (2/2)

DDRxn	PORTxn	PUD (in SFIOR)	I/O	Pull-up	Comment
0	0	X	Input	No	Tri-state (Hi-Z)
0	1	0	Input	Yes	Pxn will source current if ext. Pulled low.
0	1	1	Input	No	Tri-state (Hi-Z)
1	0	X	Output	No	Output Low (Sink)
1	1	X	Output	No	Output High (Source)



Register *PORTA*

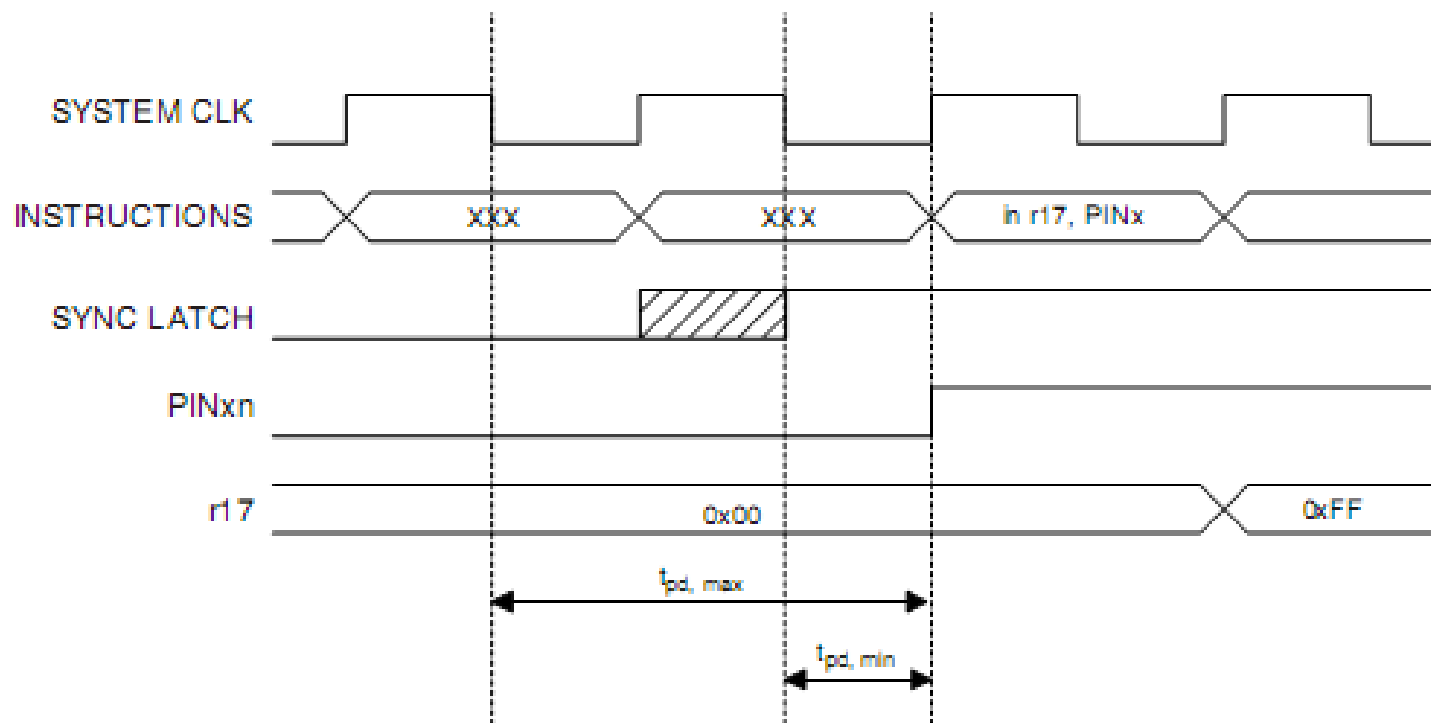
Bit	7	6	5	4	3	2	1	0	
	PORTA7	PORTA6	PORTA5	PORTA4	PORTA3	PORTA2	PORTA1	PORTA0	PORTA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Bit	7	6	5	4	3	2	1	0	
	DDA7	DDA6	DDA5	DDA4	DDA3	DDA2	DDA1	DDA0	DDRA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Bit	7	6	5	4	3	2	1	0	
	PINA7	PINA6	PINA5	PINA4	PINA3	PINA2	PINA1	PINA0	PINA
Read/Write	R	R	R	R	R	R	R	R	
Initial Value	N/A	N/A	N/A	N/A	N/A	N/A	N/A	N/A	

Synchronisation PINxn

- Da ein externes Signal nicht synchron zum Controllertakt geschaltet sein muss, beträgt die Verzögerung bestenfalls 0,5 Takte, schlechtestenfalls 1,5 Takte (abhängig vom Zeitpunkt der Signaländerung relativ zum Takt).



DC Characteristics

Symbol	Parameter	Condition	Min	Max
V_{IL}	Input Low Voltage	$V_{CC} = 4,5-5,5V$	-0,5V	$0,2 V_{CC}$
V_{IH}	Input High Voltage	$V_{CC} = 4,5-5,5V$	$0,6 V_{CC}$	$V_{CC} + 0,5V$
V_{OL}	Output Low Voltage	$I_{OL} = 20mA$ $V_{CC} = 5V$		0,7V
V_{OH}	Output High Voltage	$I_{OH} = 20mA$ $V_{CC} = 5V$	4,2V	
R_{pu}	I/O Pin Pullup Resistor		20k Ω	50k Ω

Zusammenfassung

I/O Ports

- Jeder Port Besitzt drei Register
 - DDR_x (Data Direction Register)
 - PORT_x (Port Data Register)
 - PIN_x (Pin Data Register)
- Mit dem zweiten Bit (PUD) des Special Function I/O Register (SFIO_R) können alle Pull-Up-Widerstände deaktiviert werden.
- Reaktionszeit auf Eingehende Signale min. 0,5 Takte max. 1,5 Takte
- Max Strom je Port Pin $\pm 40\text{mA}$