### 卷积码编译码及纠错性能验证

**一、实验目的**

1. 学习卷积码编译码的基本概念；
2. 掌握卷积码的编译码方法；
3. 验证卷积码的纠错能力。

**二、实验仪器**

1. RZ9681实验平台
2. 实验模块：

* 主控模块（箱子自带）
* 信道编码与频带调制模块-A4
* 频带解调与信道译码模块-A5

1. 100M双通道示波器
2. 信号连接线
3. PC机（二次开发）

**三、实验原理**

**3.1卷积码介绍**

卷积码编码器通常记作(n，k，N)，对应于每段k个比特的输入序列，输出n个比特；这n个输出比特不仅与当前的k个输入比特有关，而且还与以前的(N-1)k个输入比特有关。(n，k，N)卷积码编码器包括：一个由Ⅳ段组成的输入移位寄存器，每段有k级，共Nk位；一组n个模2加法器；一个由n级组成的输出移位寄存器。整个编码过程可以看成是输入序列与由移位寄存器和模2加法器连接方式所决定的另一个序列的卷积。

对于(2，1，3)卷积码编码器来说，n=2，k=1，n=3，即每输入1个信息比特时经编码后产生2个输出比特，输出比特不仅与当前的1个输入比特有关．而且还与以前的2个输入比特有关。

**3.2卷积码编译码原理**

* **卷积码编码原理**

在理论教材中，卷积编译码并不会讨论编码速率，同步等问题，但在实际通信系统中，为了满足系统要求，编码时，需要对速率进行调整，并且添加同步信息，在下面的编码原理介绍中采用了工程实际应用中的编码算法，这部分也是学生需要重点掌握的内容。

在实验中，卷积编码本系统选用（2，1，2）卷积码编码器，卷积码码字是八进制（5，7）。生成多项式为：





其编码器原理如下图所示：



图3.2.2.1 编码原理示意图

编码器按块进行编码，每隔一段时间，输入一段数据作为信息位，输入到编码器中的内容为“信息+咬尾”的拼接，其中信息为通信传输的实际内容，咬尾是为了使编码器状态归0（viterbi译码时可以从状态“0”回溯）。在原理实验中，信息输入共计16bit(16位拨码开关)，咬尾bit为连续5个“0”bit。

正常情况下，（2，1，2）卷积码码率为1/2，则编码后，数据速率为原始信息的2倍，由于信息位添加了咬尾，因此实际速率高于2倍速率，因此在实际通信中需要通过删余操作获得不同码率输出。在本次实验内容中，系统删余表为：

CA :1 0 1

CB :1 1 0

即：第1个bit编码输出保留CA和CB，第2个bit保留CB，第3个bit保留CA，后续依次循环；删余之后码率为3/4，所以每块数据编码输出为(16+5)\*4/3=28bit。输出先输出CB，再输出CA，如遇到删余，如图中黑色编码位，则跳过。



图3.2.2.2 编码数据输出选择

为了后续译码能够找到编码数据块起始，需要在编码块前添加同步码，同步码为8bit，一帧数据包括两个卷积块，则每块数据组帧后共有8bit+2\*28bit=64bit数据。



图3.2.2.3 编码组帧原理示意图

* **卷积码译码**

卷积码的译码可分为代数解码和概率解码两类。大数逻辑解码器是代数解码最主要的解码方法，它即可用于纠正随机错误，又可用于纠正突发错误，但要求卷积码是自正交码或可正交码。另外一种叫维特比（viterbi），属于概率译码，由于其译码效果更好，因此在实际系统中使用较多，在实验系统中也选用了该译码算法。

译码模块为编码的逆过程，译码算法为viterbi。译码过程如下图所示：首先从解调输出中搜索同步码，同步后，将负荷删余位置填充，补充的bit可以任意为0或1，然后对填充的信号进行viterbi译码，译码后的数据输出去掉咬尾bit，最终的信息即为信息bit。



图3.2.2.4 译码原理示意图