

# 上海大学 计算机学院

## 《数字逻辑实验》报告 7

姓名 严昕宇

学号 20121802

时间 周四 10-12

机位 24

指导教师 刘学民

实验名称: 中规模元件及综合设计

### 一、实验目的

1. 使用计数器 74LS161 芯片，用反馈置数法或清零法构造模 10 计数器，并测试其功能；
2. 使用计数器、译码器或其他中规模组合逻辑部件，设计一个二进制序列 01100111 发生器，在 Quartus II 中根据逻辑图接线并仿真测试后，下载到 FPGA 进行硬件测试。

### 二、实验原理

依据《数字逻辑实验指导书》P.实验-60 等相关内容

### 三、实验内容

#### 1. 实验任务一（中规模时序元件测试）

##### (1) 实验步骤

- ① 用计数器 74LS161 芯片，用反馈置数法或清零法构造模 10 计数器，其逻辑电路图如下（此处以反馈置数法为例）

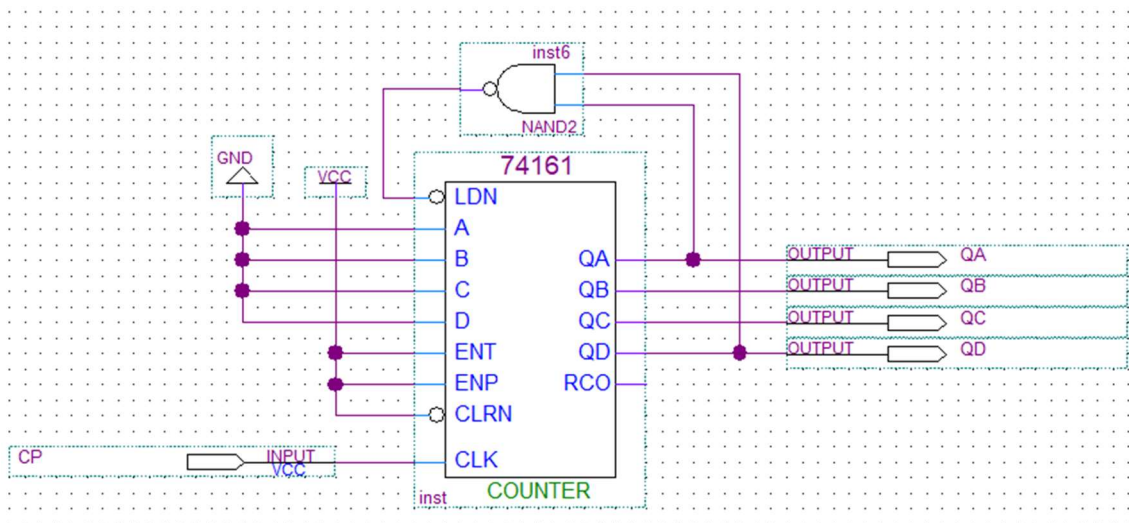


图 1 模 10 计数器

② 在 Quartus II 中创建文件夹与工程文件，创建一个图形文件，画出逻辑电路图，并用软件进行模拟测试，其结果如下；

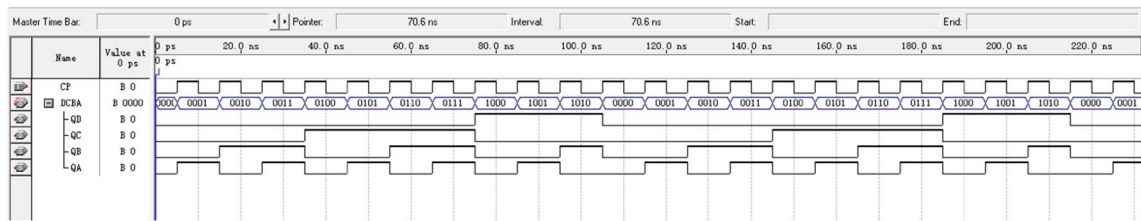


图 2 用 Quartus II 进行的波形时序仿真

- ③ 按照图 1 连接逻辑电路图，CP 接时钟的脉冲信号；QA、QB、QC 和 QD 接输出信号的数码显示管；
- ④ 逻辑功能测试
- 输入连续脉冲，测试其功能，观察数码显示管的变化。

### (2) 实验现象

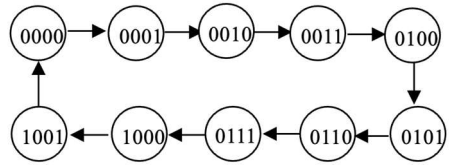
每当输入一个脉冲，计数器将按加 1 规律变化，到 9 以后回到 0 重新按加 1 规律变化，并重复此循环。

表 1 模 10 计数器实验现象记录表

输入脉冲序号	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>	实验现象 [数码管显示]
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	2
3	0	0	1	1	3
4	0	1	0	0	4
5	0	1	0	1	5
6	0	1	1	0	6
7	0	1	1	1	7
8	1	0	0	0	8
9	1	0	0	1	9
10	0	0	0	0	0
...	...	...	...	...	...

### (3) 数据记录、分析与处理

反馈置数法是通过反馈产生置数信号  $\overline{LD}$ ，将预置数  $D_3D_2D_1D_0$  预置到输出端。74LS161 是同步置数的，需 CP 和  $\overline{LD}$  都有效才能置数，因此  $\overline{LD}$  应先于 CP 出现。所以 M-1 个 CP 后就应产生有效  $\overline{LD}$  信号。若用四位二进制数前 12 个数作为计数状态，预置数  $D_3D_2D_1D_0=0000$ ，应在  $Q_3Q_2Q_1Q_0=1001$  时预置端变为低电平。



#### (4) 实验结论

根据实验数据可知，成功使用 74LS161 芯片，完成了模 10 计数器的搭建与测试，与理论一致。

## 2. 实验任务二（综合设计）

### (1) 实验步骤

① 在 Quartus II 中，使用数据选择器 74LS151 和计数器 74LS161，构成二进制序列 **01100111** 发生器，其逻辑电路图如图 2 所示。

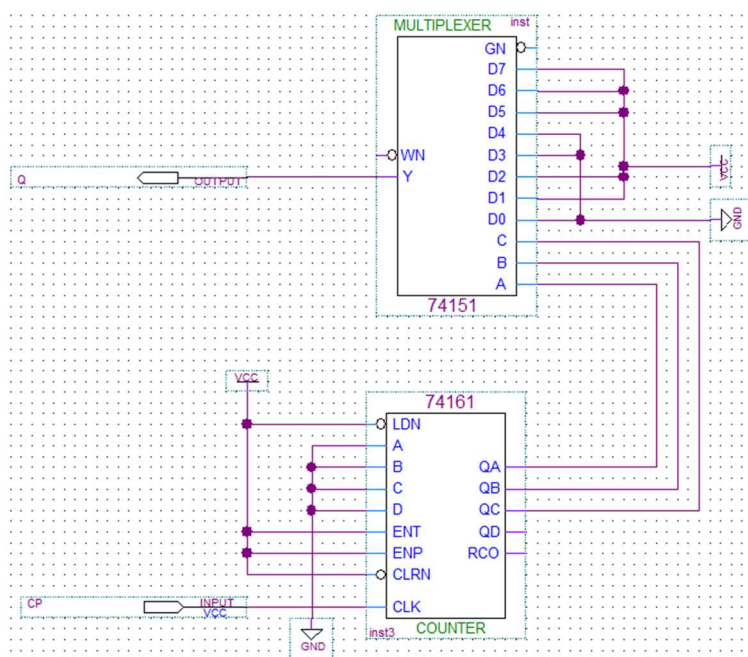


图 3 用 Quartus II 画出的逻辑电路图

② 选择器件型号，定义 FPGA 的 IO 管脚功能，如定义时钟 CP 端为 8，输出端  $Q$  为 9；

③ 用模拟工具对步骤 1 创建的图像文件进行模拟测试，并用编译工具编译；

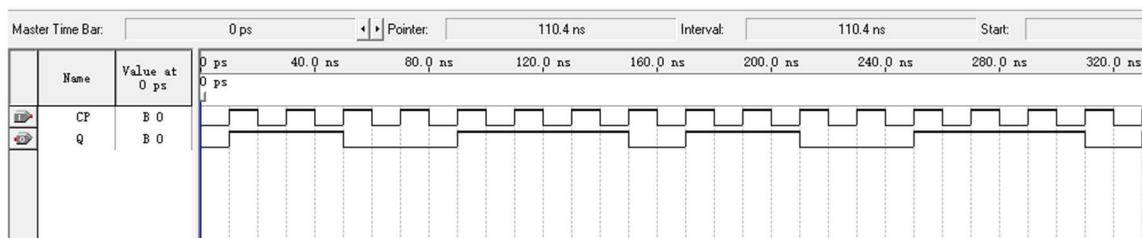


图 4 用 Quartus II 进行的波形时序仿真

⑥ 连接数据线，下载设计的电路到 FPGA；

⑦ 根据附录 B 中的 DICE-SEM II 实验箱与 EP1K10、EP1K30 引脚对照表，时钟 CP 对应 11，连接时钟脉冲信号；输出端  $Q$  对应 12，将输出端发光数码显示管。用开关和数码显示管测试 FPGA 的功能；

⑧ 观察数码显示管的变化，填写表 3；

## (2) 实验现象

表 3 二进制序列 **01100111** 发生器

输入脉冲序号	实验现象 [数码管显示]
0	0
1	1
2	1
3	0
4	0
5	1
6	1
7	1
8	0
9	1
10	1
...	...

## (3) 实验结论

根据实验数据可知，成功使用数据选择器 74LS151 和计数器 74LS161，构成二进制序列 **01100111** 发生器。

## 四、建议和体会

通过本次实验，使我进一步理解了计数器和数据选择器的原理，并学习了用掌握用计数器 74LS161 芯片构造模 10 计数器、用数据选择器 74LS151 和计数器 74LS161，构成二进制序列 **01100111** 发生器。并且在构造模 10 计数器时，我也学习到了反馈置数法或清零法两种不同的方法，扩展了我的知识面与眼界。在此次实验中，也继续尝试使用了 DICE-SEMII 实验箱上的数码显示管，体会到了其方便性。

在这次实验中，我不仅学习了解了芯片的功能，而且也发现，实验箱上会存在许多芯片或者按钮出现故障或者失灵的问题。实践中没有出现问题是不可能的，我们必须有随机应变的能力，通过不断的试错，才能够完成目标。

虽然这是最后一次数字逻辑实验课，但是数字逻辑实验课给我带来的收获颇丰，并且将启发我之后的其他课程学习。

同时在此，我也想感谢刘学民老师在七周课程中对我的指导与帮助！