

DTW 协处理器 模块接口定义

清华大学 集成电路学院 微 81

1 正向计算单元 DTW_DC (Distance Calculator)

类型	名称	位宽	说明
input	clk		时钟端口
input	nrst		复位端口，低有效
input	ena		同步使能，高有效
input	T	30	T 序列（来自 SRAM）
input	i_tindex	5	T 序列索引（来自 SRAM）
input	i_tsrc	6 * 2	见 ProcElem
input	R	30	R 序列（来自顶层输入）
input	i_rindex	5	R 序列索引（来自顶层输入）
input	i_rsrc	6 * 2	见 ProcElem
input	i_sel0	6 * 3	从缓存区选择数据进入 D0、D1、D2 例如当 sel==3'd1 时 选择缓存区中第二个 16 位数作为输入
input	i_sel1	6 * 3	
input	i_sel2	6 * 3	
output	D	6 * 16	距离数据
output	o_tindex	6 * 5	T 序列索引
output	o_rindex	6 * 5	R 序列索引
output	o_path	6 * 2	前一个匹配位置，其取值含义见 ScoreUnit

1.1 脉动阵列 SystArr

类型	名称	位宽	说明
input	clk		时钟端口
input	nrst		复位端口，低有效
input	ena		同步使能，高有效
input	T	30	T 序列（来自 SRAM）
input	i_tindex	5	T 序列索引（来自 SRAM）
input	i_tsrc	6 * 2	见 ProcElem
input	R	30	R 序列（来自顶层输入）
input	i_rindex	5	R 序列索引（来自顶层输入）
input	i_rsrc	6 * 2	见 ProcElem
input	D0	6 * 16	见 ProcElem
input	D1	6 * 16	
input	D2	6 * 16	
output	D	6 * 16	距离数据
output	o_tindex	6 * 5	T 序列索引
output	o_rindex	6 * 5	R 序列索引
output	o_path	6 * 2	前一个匹配位置，其取值含义见 ScoreUnit

1.1.1 运算单元 ProcElem

类型	名称	位宽	说明
input	clk		时钟端口
input	nrst		复位端口，低有效
input	ena		同步使能，高有效
input	D0	16	(i-1, j-1) 的距离数据
input	D1	16	(i-1, j) 的距离数据
input	D2	16	(i, j-1) 的距离数据
input	T_prev	30	T 序列（来自相邻 PE）
input	T_global	30	T 序列（来自 SRAM）
input	i_tindex_prev	5	T 序列索引（来自相邻 PE）
input	i_tindex_global	5	T 序列索引（来自 SRAM）
input	i_tsrc	2	T 序列来源 2'd0 代表内部 2'd1 代表端口 T_prev 2'd2 代表端口 T_global
input	R_prev	30	R 序列（来自相邻 PE）
input	R_global	30	R 序列（来自顶层输入）
input	i_rindex_prev	5	R 序列索引（来自相邻 PE）
input	i_rindex_global	5	R 序列索引（来自顶层输入）
input	i_rsrc	2	R 序列来源 2'd0 代表内部 2'd1 代表端口 R_prev 2'd2 代表端口 R_global
output	T	30	T 序列
output	o_tindex	5	T 序列索引
output	R	30	R 序列
output	o_rindex	5	R 序列索引
output	D	16	距离数据
output	o_path	2	前一个匹配位置，其取值含义见 ScoreUnit

1.2 缓存区 Cache

类型	名称	位宽	说明
input	clk		时钟端口
input	nrst		复位端口，低有效
input	ena		同步使能，高有效
input	D	96	当前周期的距离数据
output	D_1	96	一周期前的距离数据
output	D_2	96	两周期前的距离数据

2 反向回溯单元 DTW_BT (Backtracker)

类型	名称	位宽	说明
通用端口			
input	clk		时钟端口
input	nrst		复位端口，低有效
存储功能			
input	i_tindex	6 * 5	
input	i_rindex	6 * 5	见 ScoreArr
input	D	6 * 16	
input	i_path	6 * 2	
回溯功能			
input	i_bt_start		回溯起始信号 连接至最后一个单元的 i_outena 端口
output	o_data	32	连接至 SRAM 数据输入端

2.1 分数阵列 ScoreArr

类型	名称	位宽	说明
通用端口			
input	clk		时钟端口
input	nrst		复位端口，低有效
存储功能			
input	i_tindex_1	5	
input	i_tindex_2	5	
input	i_tindex_3	5	
input	i_tindex_4	5	
input	i_tindex_5	5	
input	i_tindex_6	5	
input	i_rindex_1	5	
input	i_rindex_2	5	
input	i_rindex_3	5	对于所有 x 号 PE 对应的存储单元 若 i_tindex_x、i_rindex_x 与单元内部索引匹配 则单元将 D_x 和 i_path_x 数据写入
input	i_rindex_4	5	
input	i_rindex_5	5	
input	i_rindex_6	5	
input	D_1	16	
input	D_2	16	
input	D_3	16	
input	D_4	16	
input	D_5	16	
input	D_6	16	
input	i_path_1	2	
input	i_path_2	2	
input	i_path_3	2	
input	i_path_4	2	
input	i_path_5	2	
input	i_path_6	2	
回溯功能			
input	i_bt_start		回溯起始信号 连接至最后一个单元的 i_outena 端口
output	o_data	32	连接至 SRAM 数据输入端

2.1.1 分数单元 ScoreUnit

类型	名称	位宽	说明
通用端口			
input	clk		时钟端口
input	nrst		复位端口，低有效
存储功能			
input	i_tindex	5	当 i_tindex==TINDEX 且 i_rindex==RINDEX 时将数据写入内部寄存器
input	i_rindex	5	
input	D	16	距离数据
input	i_path	2	前一个匹配位置，其取值含义见参数
回溯功能			
input	i_outena		高有效，输出本地数据至 SRAM
inout	o_data	32	连接至 SRAM 数据输入端
output	o_ena0		控制 (i-1, j-1) 的输出，连接至其 i_outena 端
output	o_ena1		控制 (i-1, j) 的输出，连接至其 i_outena 端
output	o_ena2		控制 (i, j-1) 的输出，连接至其 i_outena 端
参数			
parameter	TINDEX		当前模块在阵列中的位置
parameter	RINDEX		
localparam	PATH0		2'b11, 代表 (i-1, j-1) 号单元
localparam	PATH1		2'b10, 代表 (i-1, j) 号单元
localparam	PATH2		2'b01, 代表 (i, j-1) 号单元

3 控制单元 DTW_CTRL (Controller)

类型	名称	位宽	说明
输入信号			
input	clk		时钟端口
input	nrst		复位端口，低有效
input	i_valid		输入序列有效信号，高有效
控制 DC 单元			
output	o_dc_ena		DC 单元使能信号，高有效
output	o_tindex	5	T 序列索引（来自 SRAM），与周期数相同
output	o_rindex	5	R 序列索引（来自顶层输入），与周期数相同
output	o_tsrc	6 * 2	分别控制六个 PE 的 R 序列来源，见 ProcElem
output	o_rsrc	6 * 2	分别控制六个 PE 的 T 序列来源，见 ProcElem
output	o_sel0	6 * 3	分别控制六个 PE 的 D0 数据来源，见 DTW_DC
output	o_sel1	6 * 3	分别控制六个 PE 的 D1 数据来源，见 DTW_DC
output	o_sel2	6 * 3	分别控制六个 PE 的 D2 数据来源，见 DTW_DC
控制 BT 单元			
output	o_bt_start		控制 BT 单元开始进行回溯，单周期脉冲，高有效
