|  |  |
| --- | --- |
| **Lab 1** | |
| 學號: 109062173 | 姓名: 葉昱揚 |

1. **Lab Implementation**

一張含有 文字, 圖表, 方案, 工程製圖 的圖片

自動產生的描述**Block diagram :**

Module lab1\_1:

由2個4 bit input、1個2 bit input 、1個4 bit output 組成，並檢測當signal改變時，根據op的值賦予output d不同的運算結果。

Module lab1\_2:

需要使用module lab1\_1完成。主體由2個lab1\_1的instance組成(如上圖的m0、m1)，m0、m1有各自的output，兩者會被傳送進2 to 1的Mux，最後由2 bit request決定輸出result。

**Partial code :**

一張含有 文字, 螢幕擷取畫面, 字型, 數字 的圖片

自動產生的描述Module lab 1\_1 kernel part :

always block的sensitive list用\*表示當有任何signal (a,b,op,d) 改變時，根據op的值，對output(d)做不同的運算。

一張含有 文字, 螢幕擷取畫面, 字型, 設計 的圖片

自動產生的描述Module lab1\_2 kernel part :

Lab1\_2需要用lab1\_1完成。使用兩個reference為lab1\_1的instances m0、m1，m0、m1，input port照著spec的敘述接上，output port拉兩條wire接上，分別為m0\_result、m1\_result，最後根據request賦予result 不同的值。

1. **Questions and Discussions**
2. In the testbench lab1\_1\_t.v, please explain why we place #DELAY between input assignment and output verification. Hint: Gate delay.

依據Module lab1\_1的設計，當op、a、b三者數值改變時，其會計算output d。testbench lab1\_1\_t.v中的#DELAY是為了模擬硬體接收input signal時，用於運算的底層gates需要一段時間計算output，此處的#DELAY即是模擬硬體實際運算時花費的時間。

若將 #DELAY放在 {op,a,b} assigning之前或是if-else block之後，d和golden\_d計算用的input signal {op,a,b} 將不同。

假設在**time = T** 的時候 {op,a,b} 遞增，在**time = T + #DELAY**時才能得到正確的output d，但testbench會在 **time = T** 將尚未計算的output d與計算完成的golden\_d比較，必然得到錯誤的比較結果。

(B) If we want to let the 2’b00 operation of op\_0 and op\_1 have the highest priority, 2’b01 have the 2nd highest priority, and so on. When op\_0 and op\_1 has same operation, op\_0 still has higher priority. How would you modify the code?

根據題意上述題意和討論區助教的解釋，在request=2’b11的時候比較op\_0和op\_1的大小，數值越小優先度越高，當數值相等的時候優先做op\_o operation。

一張含有 文字, 螢幕擷取畫面, 字型 的圖片

自動產生的描述舉例來說，如果op\_0小於等於op\_1 (e.g. op\_0 = 2’b00、op\_1 = 2’b01)，則做op\_0 operation，反之。因此可以把module lab1\_2的always block用三元運算子改成下列模樣 :

原本在request=2’b11時，result等於op\_0 operation的運算結果，現在更改成比較op\_0、op\_1的大小後再決定result的值。

1. **Problem Encountered**

對於Question A的gate delay想了很久，起初單看程式碼無法判斷出為什麼要加#DELAY。

後來把#DELAY加在各個程式區域，並用vivado + testbench每一個都跑一遍，觀察電路圖，最重要的是vivado內的step功能可以一步一步看程式正在執行哪一條指令，看了很久發現執行到#DELAY時會跳到module lab1\_1計算Output，跳回testbench的時候Output計算完且時間往前了5ns，我才成功從這邊反推出gate delay的功能 。詳細的gate delay功能已寫在Question A裡面。

1. **Suggestions**

非常感謝老師和助教們在討論區的幫忙，lab1我問了幾個問題助教們非常迅速地回答，真的很感謝，沒有大家的友善幫助Question和實作過程會卡住很久，謝謝 !

附上笑話一則。

一張含有 文字, 圖畫, 美工圖案, 卡通 的圖片

自動產生的描述