

计算机组成与设计

课程实验报告

学号：202300130073	姓名：陈玉澍	班级：计科 23 级 1 班
实验题目： 实验 6 二进制补码加法器实验		
实验学时：2	实验日期：2025. 4. 1	
实验目的： 根据补码加法器的模型，理解数据流及其时序关系。掌握加法器实现补码加、减运算的基本原理。		
实验软件和硬件环境： 软件环境： Vivado 软件、FPGA 实验平台 硬件环境： 1. 实验室台式机 2. FPGA 服务器，PYNQ-Z2 开发板		
实验原理和方法： 一、补码加法器原理 补码表示：四位二进制补码中，最高位为符号位（0 正 1 负），负数通过取反加 1 得到。 双符号位法用于溢出检测，两个符号位一致表示无溢出，不一致表示溢出。 加法运算：直接相加，符号位参与运算。公式： $[A]_{补} + [B]_{补} = [A+B]_{补}$ 。 减法运算：转换为加法， $[A-B]_{补} = [A]_{补} + [-B]_{补}$ ，其中 $[-B]_{补}$ 是 $[B]_{补}$ 的按位取反加 1。 溢出检测：双符号位异或结果为 1 时表示溢出，OF 信号置 1。		
实验步骤： (1) 创建工程：打开本地安装的 Vivado 2022.2，新建项目，选择 pynq-z2 器件。		

AMD

Vivado

ML Edition

Quick Start

Create Project >

Open Project >

Open Example Project >

Tasks

Manage IP >

Open Hardware Manager >

Vivado Store >

Learning Center

Documentation and Tutorials >

Quick Take Videos >

What's New in 2024.2 >

New Project

Default Part

Choose a default AMD part or board for your project.

Parts

Boards

To fetch the latest available boards from git repository, click on 'Refresh' button. [Dismiss](#)

[Reset All Filters](#)

Vendor:

All

 Name:

All

 Board Rev:

Latest

Search:

Display Name	Preview	Status	Vendor	File Version	Part	I/O Pin Count	Boards
pyrq-z2		Installed	tul.com.tw	1.0	xc7z020clg400-1	400	1.1
Artix-7 AC701 Evaluation Platform		Installed	xilinx.com	1.4	xc7a200ifbg576-2	676	1.1
Embedded+ Sapphire VPR-4616		Installed	xilinx.com	1.0	xcve2302.sflva784-2MP-e-S Switch Part	784	Rev
Kria K24C SOM							

Refresh

Back

Next

Finish

Cancel

Tcl Console

工程向导 会引导您完成设计源文件和目标器件的选择

(2) 添加实验环境：进入 FPGA 在线实验环境，点击右上角项目材料下载实验源代码和希冀 ip 核到本地并解压。

实验6：二进制补码加法实验

Accept | 步骤得分：100 | 2025-04-01 14:56:22

提交评测

实验报告未提交

提交实验报告

实验手册

项目材料

更多

帮助

FPGA 在线实验

idle

[陈玉洁 202300130073]

Connect

选择实验设备 ID:

加载或者重新加载 bit 文件

选择文件

 未选择文件

Send

控制面板

LED

32 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1

000000000000

串口通信

串口通信设置

Baud rate
9600

Data bits
8

ParityCheck Bits
0

Stop Bits
0

Open

其他功能

ip_repo.zip

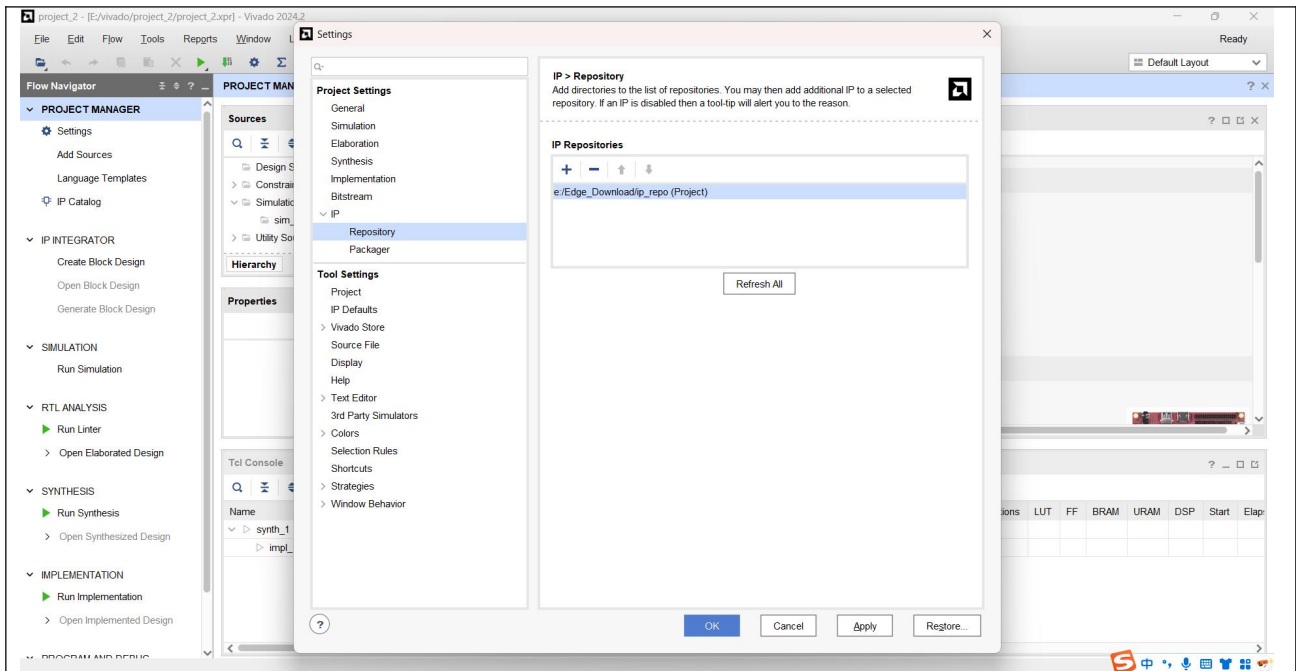
exp6_source.v

CG-FPGA-Pin-Map-v1.pdf

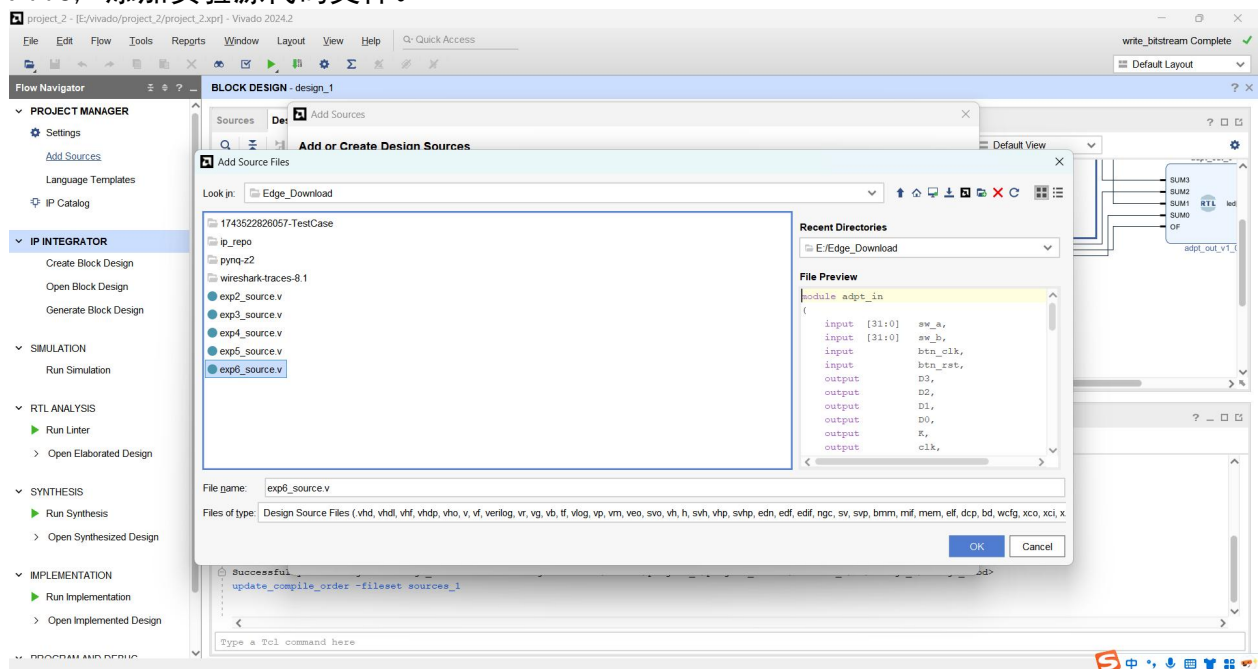
exp6-guidebook.docx

cg_fpga_slim_1_4.zip

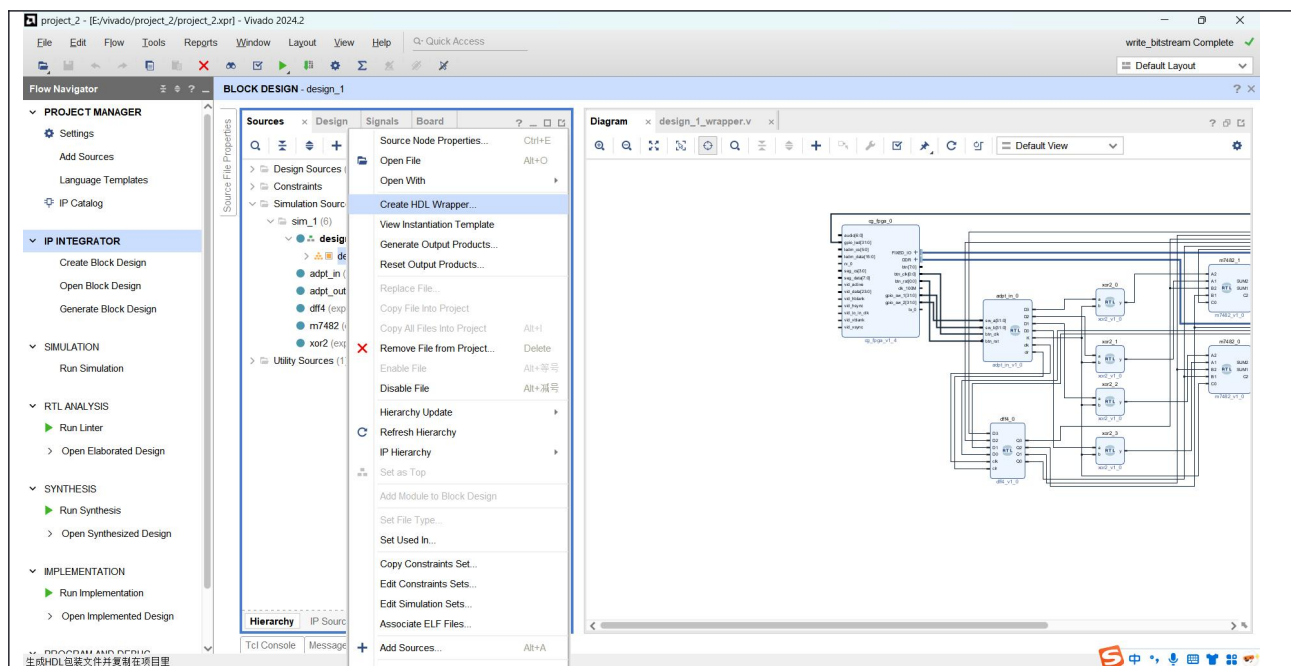
(3) 在 Vivado 项目中，点击 Settings→IP→Repository，将上一步解压后的 ip_repo 文件夹的位置添加进 IP 搜索目录。



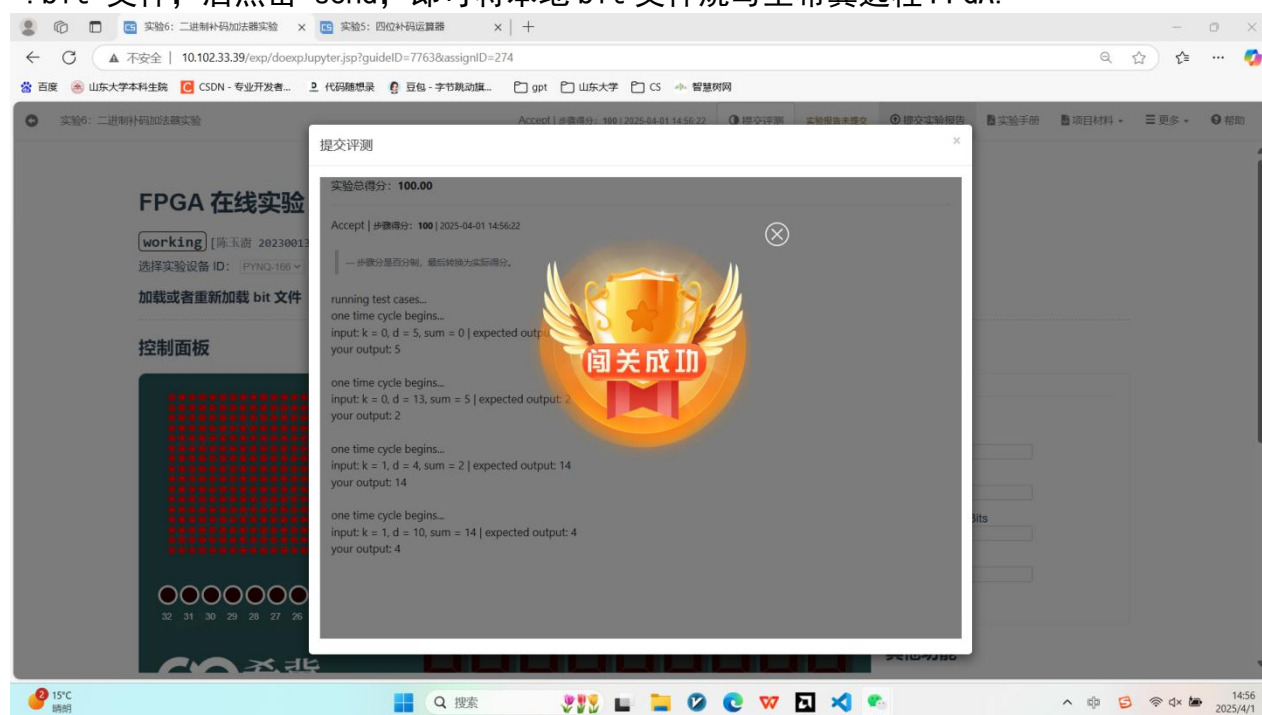
(4) 点击 Sources 窗口中的+, 选择 Add or create design sources → Next → Add File, 添加实验源代码文件。



(5) 点击 Create Block Design 创建一个新的顶层设计，随后点击添加 IP 核按钮，添加 cg_fpga IP.



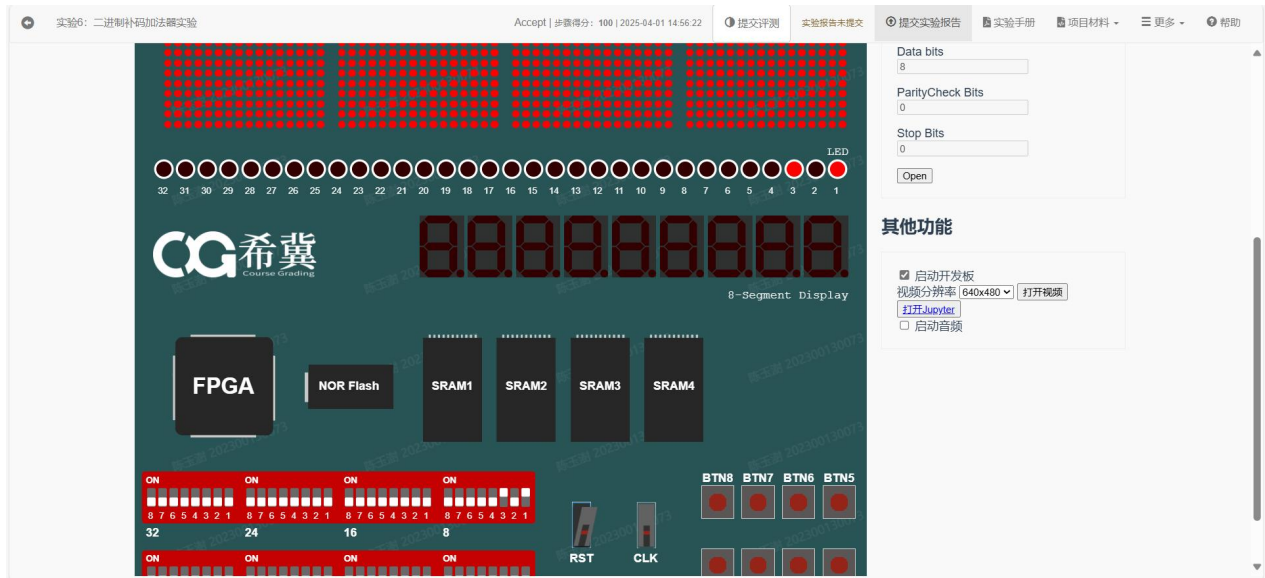
(8) 通过 FPGA 云实验平台，可在线分配远程 FPGA 硬件开发板。首先点击 connect 按钮，然后在下拉菜单中选择任意空闲的开发板，并点击 Choose File 中选择上一步生成的 *.bit 文件，后点击 send，即可将本地 bit 文件烧写至希冀远程 FPGA。



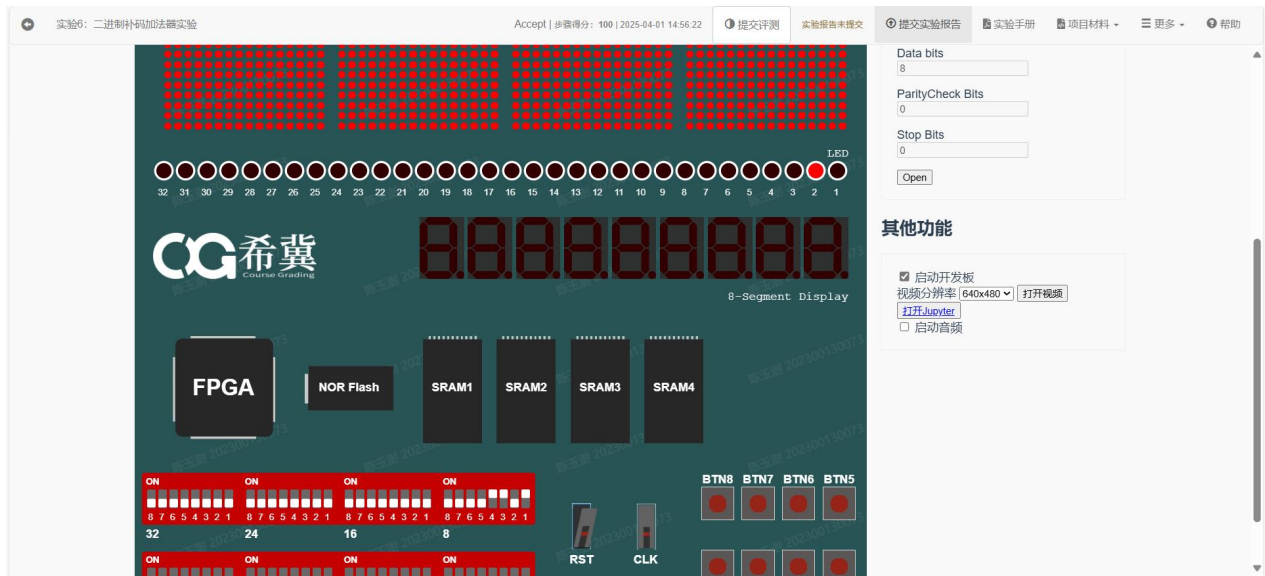
使用开关进行数据加载，完成补码加、减运算。符号位运算采用双符号位，累加器应有清零控制。通过指示灯观察运算结果，记录实验现象。累加器选用一片四位寄存器；加法器用两片 741s82；原、反码控制器用四个二输入异或门。溢出判断用一个二输入异或门。

Clk 管脚绑定在 btn_clk 上，clr 管脚绑定在 btn_rst 上，D3, D2, D1, D0 管脚绑定在上排拨码开关 4-1 上，K 管脚绑定在下排拨码开关 1 上，OF 管脚绑定在 LED5 上，SUM3, SUM2, SUM1, SUM0 管脚分别绑定在 LED4-1 上。

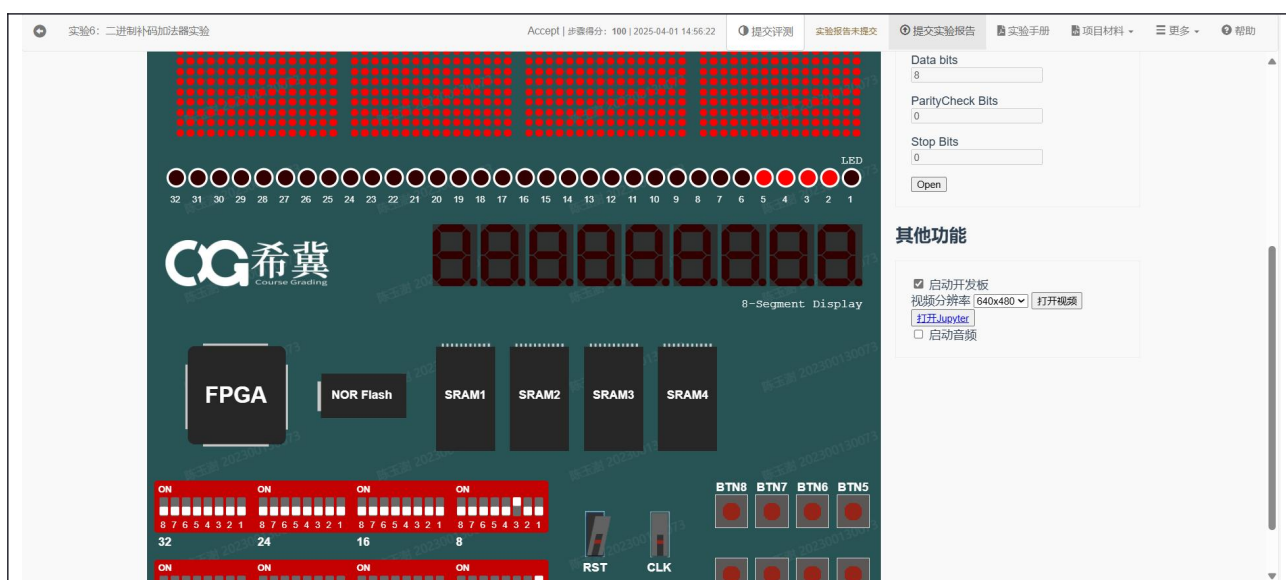
首先！当输入为 $k=0$, $d=5$ ($\text{sum}=0$) 时，一次 clk 后，得到输出 5，LED3/1 亮灯。



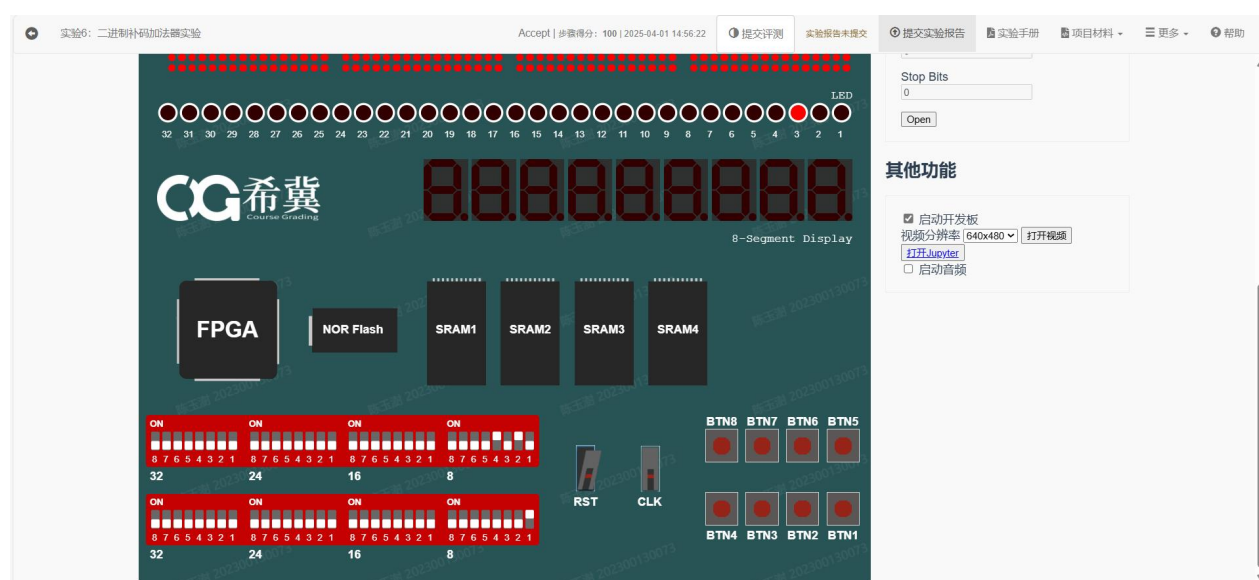
还有，当输入为 $k=0$, $d=13$ ($\text{sum}=5$) 时，一次 clk 后，得到输出 2，LED2 亮灯。



还有，当输入为 $k=1$, $d=4$ ($\text{sum}=2$) 时，一次 clk 后，得到输出 14，LED5/4/3/2 亮灯。



最后，当输入为 $k=1$, $d=10$ ($\text{sum}=14$) 时，一次 clk 后，得到输出 4，LED3 亮灯。



结论分析与体会：

这次的实验让我对于二进制补码加法器有了一个深入的理解。同时深入理解、掌握了补码运算的硬件实现，尤其是双符号位溢出检测的逻辑。此外，我还理解了时序逻辑（寄存器）与组合逻辑（加法器）的协同工作，深刻领会到在硬件调试中拨码开关要与 LED 的映射需严格对应，避免因管脚错连导致结果异常。

就输入 $d=13$ （加法）时，预期溢出但 0F 灯未亮的问题处理的：

通过 Vivado 逻辑分析仪观察双符号位输出，发现最高位进位与次高位进位不一致；检查溢出检测逻辑，发现异或门输入连接错误，将双符号位正确接入异或门；最后，重新综合烧录后，输入 $d=13$ 时 0F 灯正常亮起，溢出检测恢复正常。