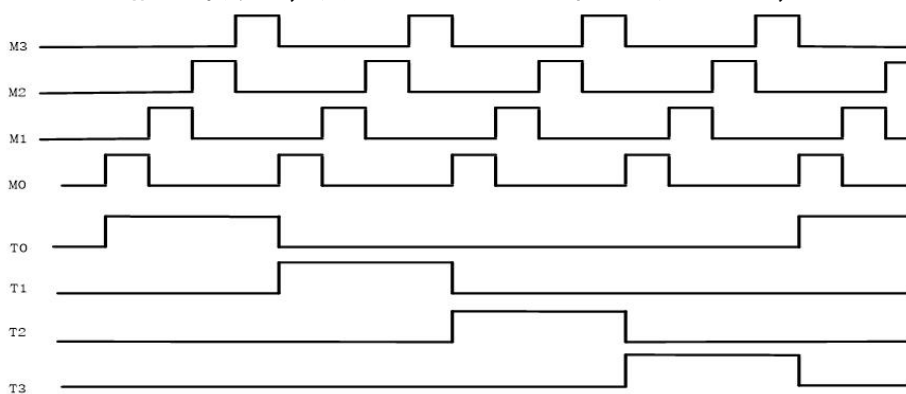


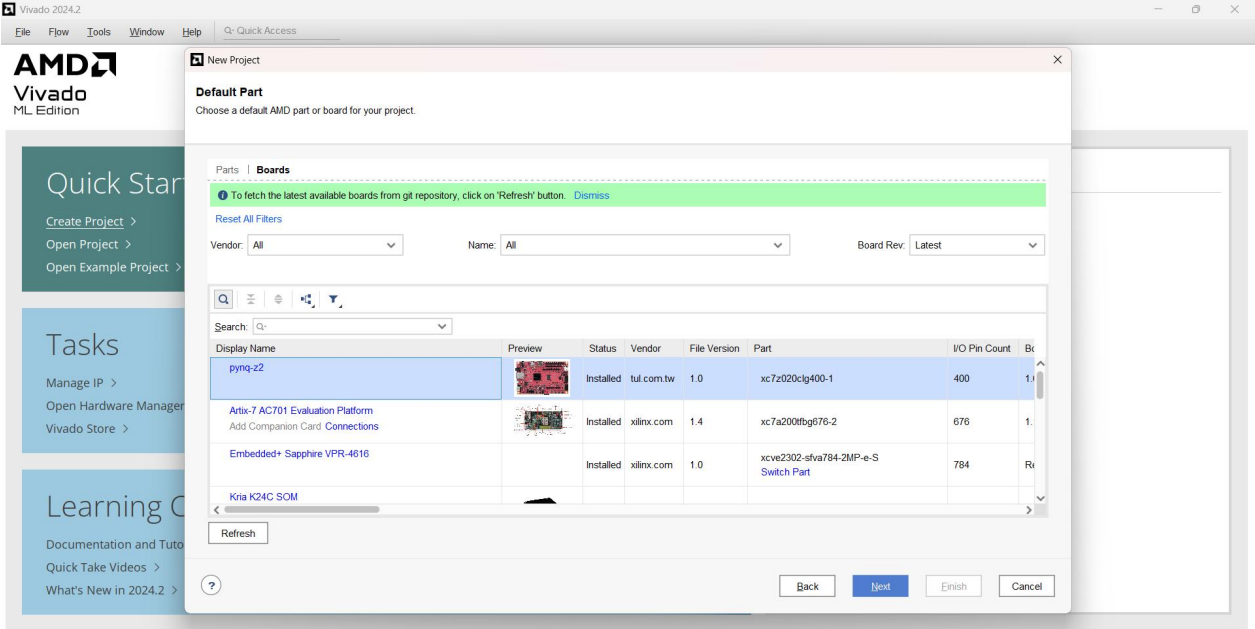
计算机组成与设计 课程实验报告

学号：202300130073		姓名：陈玉澍	班级：计科 23 级 1 班
实验题目： 实验 8 时序系统实验			
实验学时：2		实验日期：2025. 4. 15	
<p>实验目的：</p> <p>掌握计算机实验中时序系统的设计方法。设计一个基本时序系统，该系统具有 4 个节拍电平及四相工作脉冲，其时序关系参阅下图中的 M0—M3，T0—T3。</p> <div></div>			
<p>实验软件和硬件环境：</p> <p>软件环境：</p> <p>Vivado 软件、FPGA 实验平台</p> <p>硬件环境：</p> <p>1. 实验室台式机</p> <p>2. FPGA 服务器，PYNQ-Z2 开发板</p>			
<p>实验原理和方法：</p> <p>一、器件工作原理</p> <p>1、74LS161：是 4 位二进制同步计数器，具有计数、预置数、清零等功能。计数功能通过 ENT（计数使能信号）和 ENP（计数使能信号）控制，只有当两者都为高电平时，在时钟上升沿计数器才进行加 1 计数。预置数功能由 LD_n（预置数使能信号）控制，低电平时将 A3 - A0 的输入值加载到计数器中；清零功能由 clr_n（异步复位信号）控制，低电平时计数器清零。</p> <p>2、74LS138：3 - 8 线译码器，有 3 个输入（A、B、C）和 8 个输出（Y0 - Y7）。根据输入的 3 位二进制代码，在对应的输出端产生低电平有效信号。在本实验中，计数器的输出作为译码器的输入，将计数器的计数值转换为不同的节拍电平信号（M0 - M3）。</p> <p>3、74LS194：：4 位双向通用移位寄存器，具有左移、右移、并行加载和保持功能。移位方向由 SL（左移控制信号）和 SR（右移控制信号）决定；并行加载功能由 LD_n（预置数使能信号）控制，低电平时将 Da - Dd 的输入数据加载到移位寄存器中；时钟信号控制移位操作的时机。</p> <p>4、74LS04：六反相器芯片，每个芯片内部包含 6 个独立的反相器单元。其主要功能是对输入信号进行逻辑取反，即输入高电平时，输出低电平；输入低电平时，输出高电平。在本实</p>			

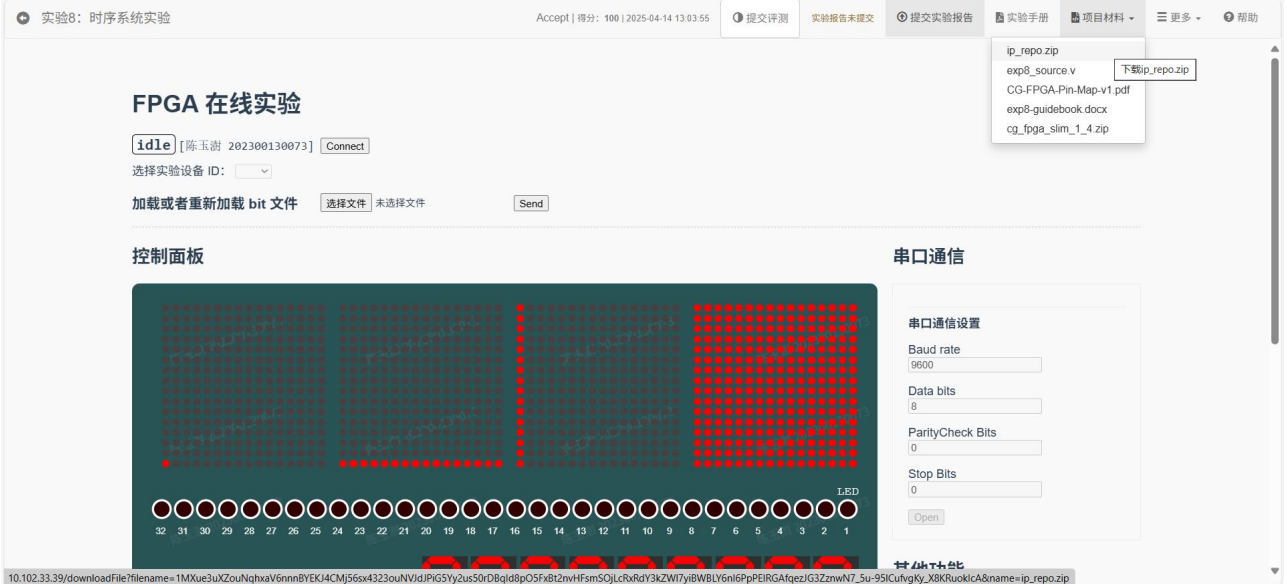
验中，74LS04 用于对电路中的某些信号进行电平转换和逻辑调整，确保各个器件之间的信号逻辑匹配。

实验步骤：

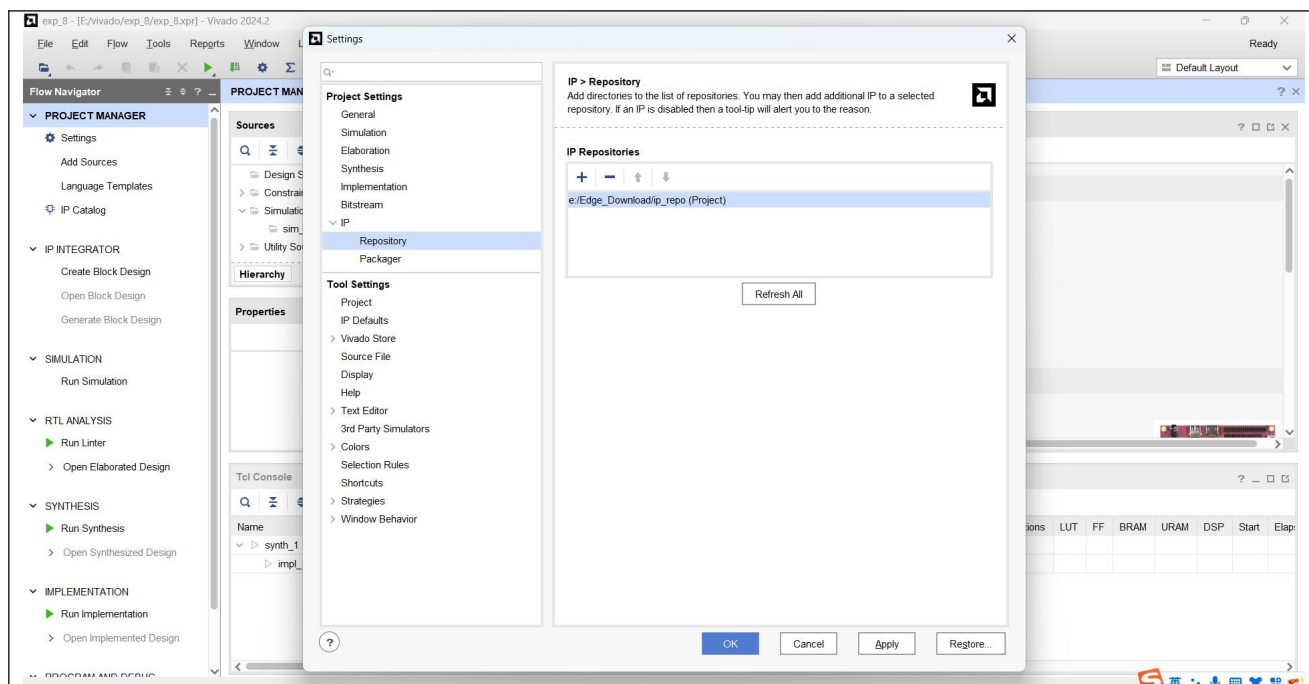
(1) 创建工程：打开本地安装的 Vivado 2024.2，新建项目，选择 pynq-z2 器件。



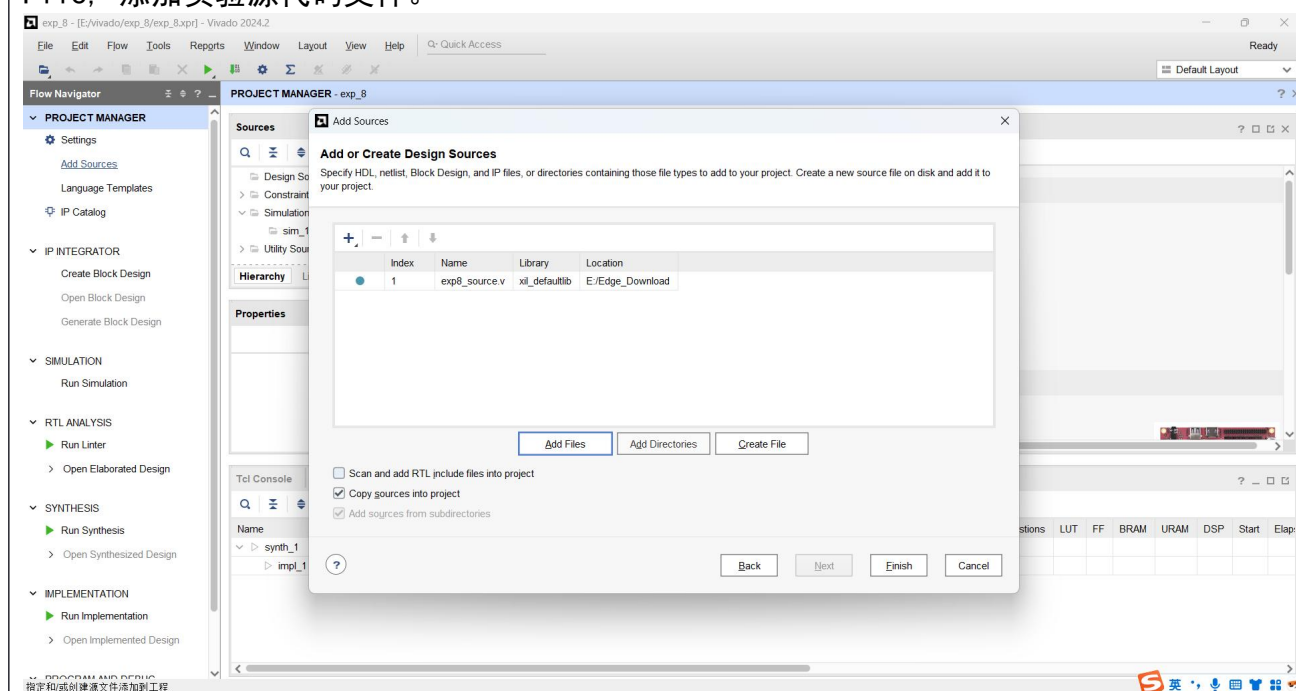
(2) 添加实验环境：进入 FPGA 在线实验环境，点击右上角项目材料下载实验源代码和希冀 ip 核到本地并解压。



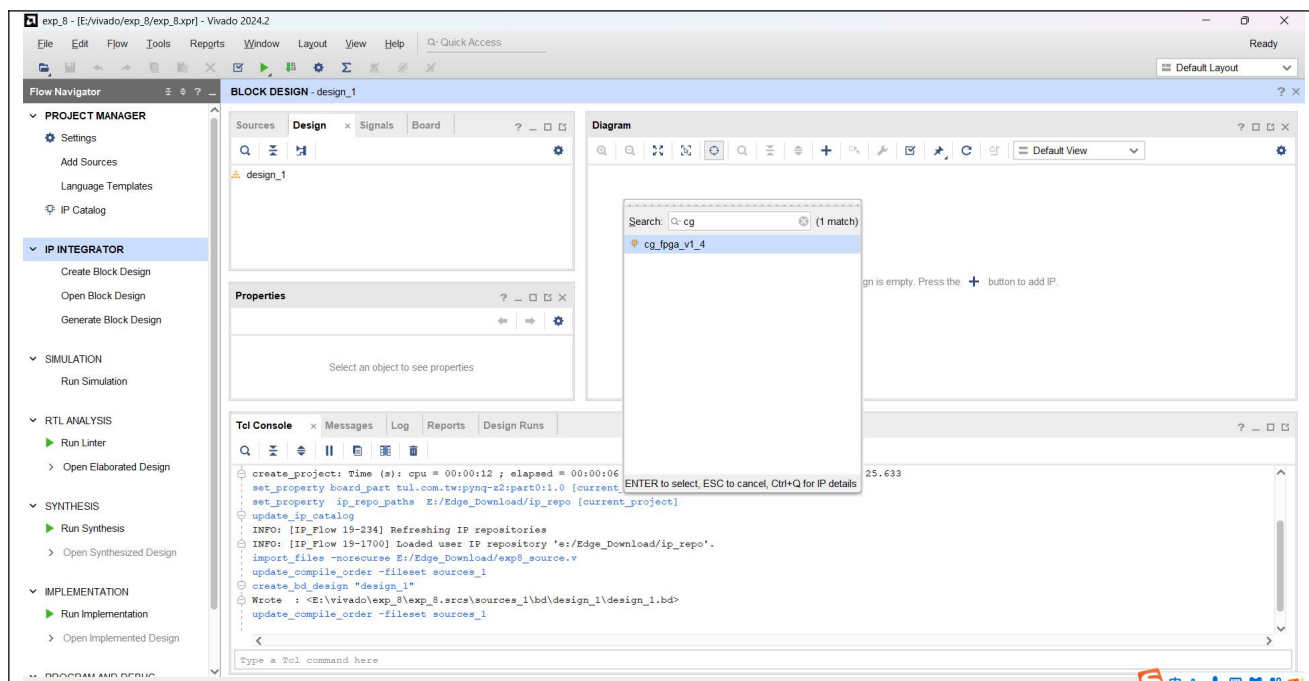
(3) 在 Vivado 项目中，点击 Settings→IP→Repository，将上一步解压后的 ip_repo 文件夹的位置添加进 IP 搜索目录。



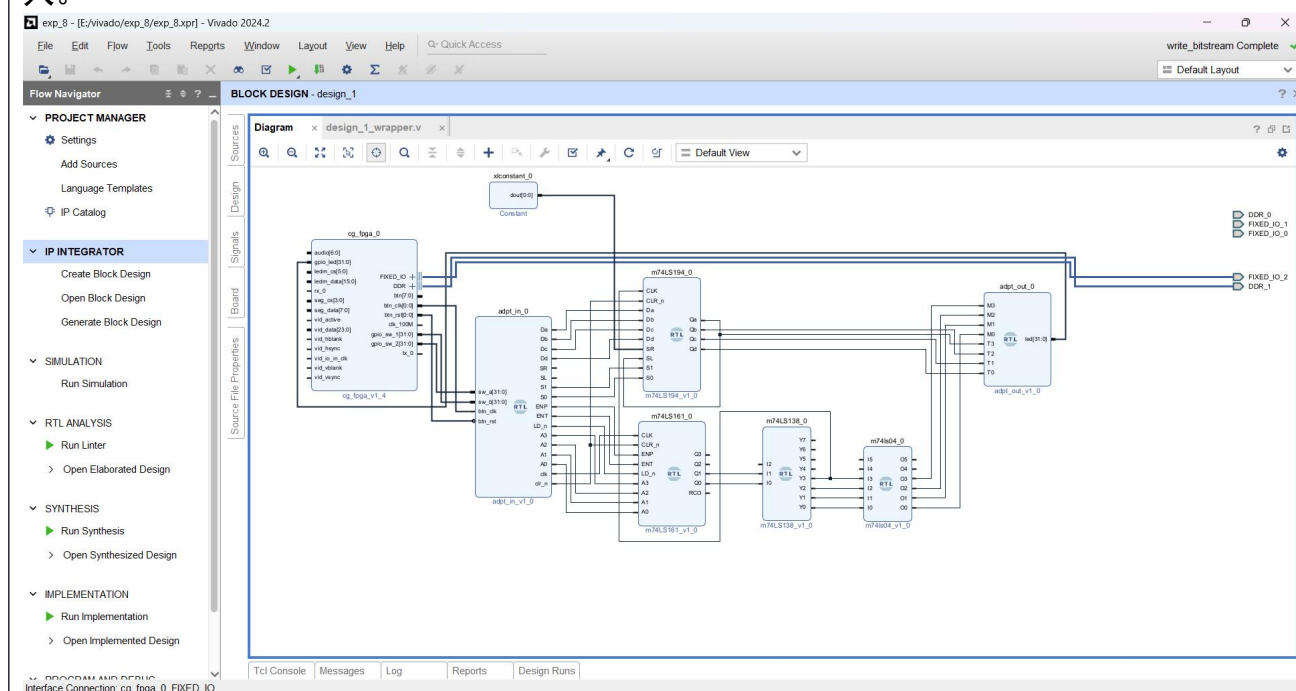
(4) 点击 Sources 窗口中的+, 选择 Add or create design sources → Next → Add File, 添加实验源代码文件。



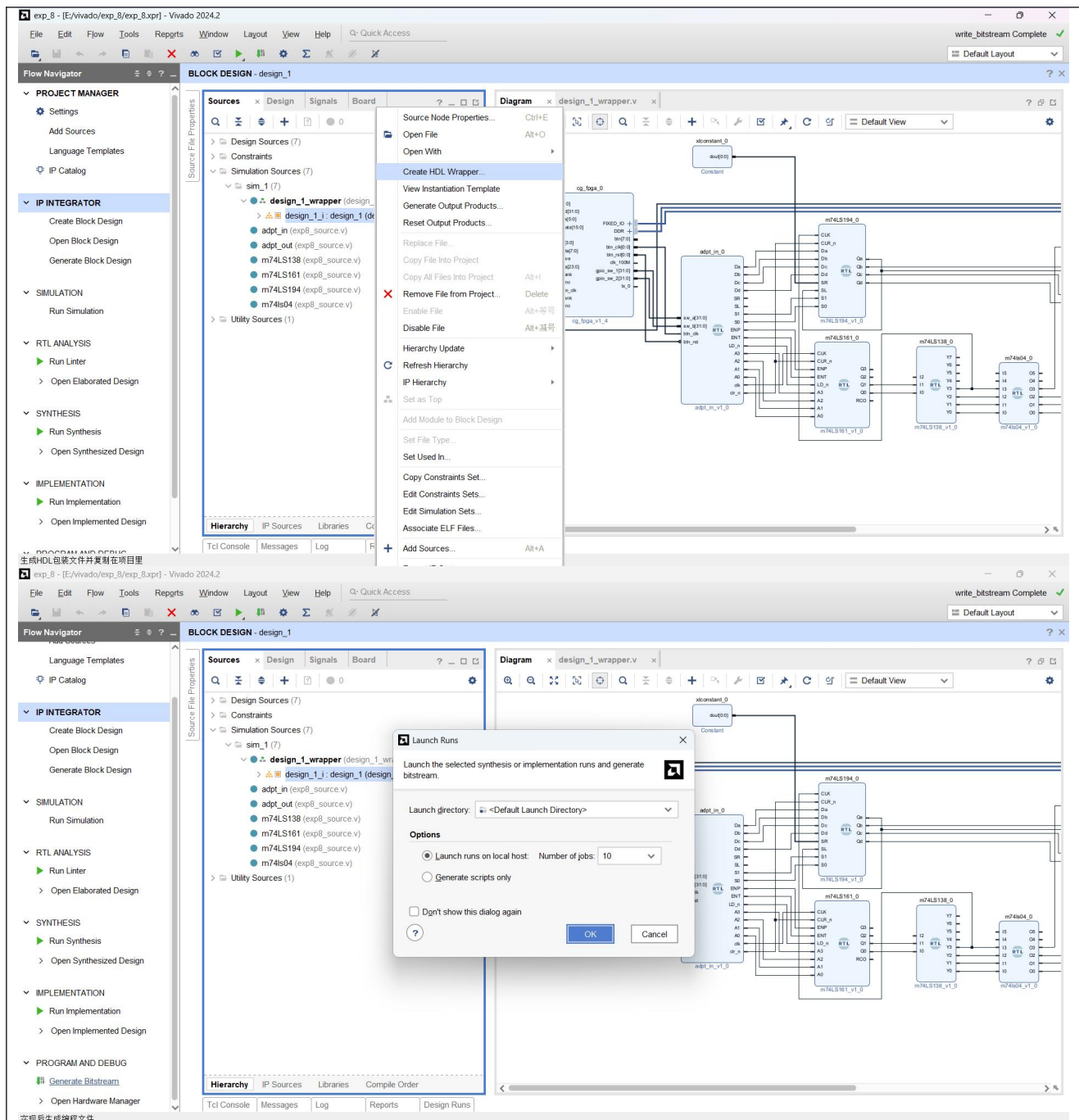
(5) 点击 Create Block Design 创建一个新的顶层设计, 随后点击添加 IP 核按钮, 添加 cg_fpga IP.



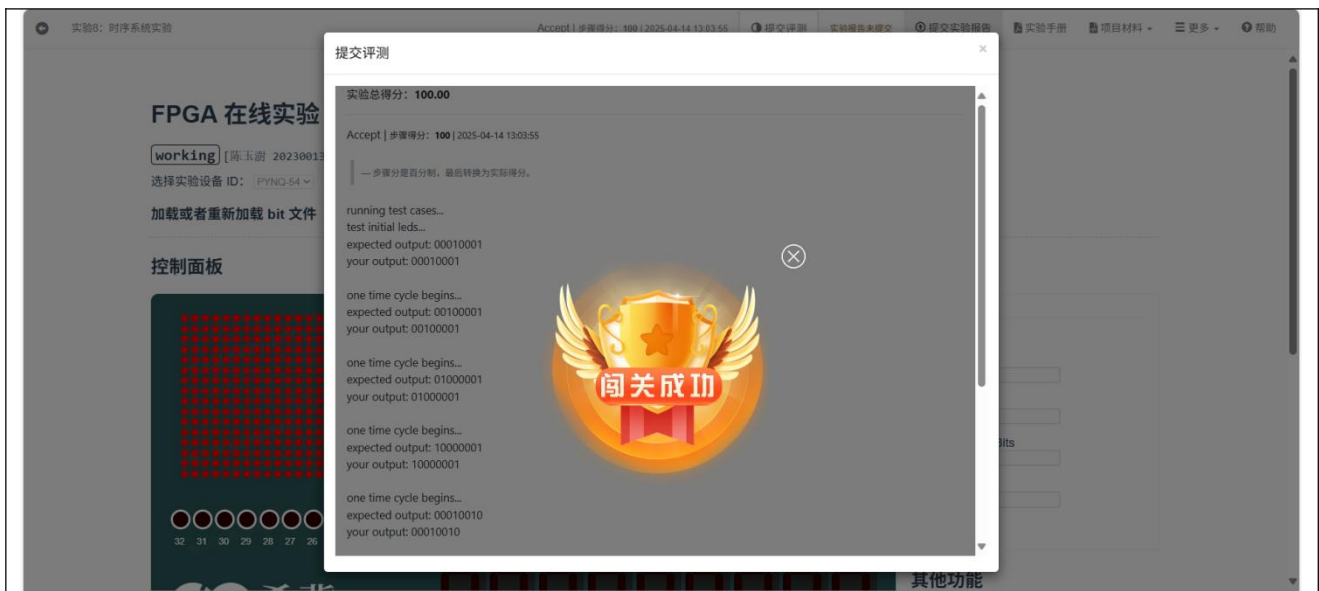
(6) 在 Sources 窗口下的 Design sources 中，根据电路图拖拽相应模块，完成原理图的输入。



(7) 右击 Sources 下顶层设计图标→Create HDL Wrapper，待 Wrapper 正确生成后，点击左下方 Generate Bitstream，开始综合并生成 bit 文件。注意：综合前 wrapper 模块应被设置为顶层（加粗表示），若自动设置错误，需右击 wrapper 图标点击 Set as Top 手动设置。

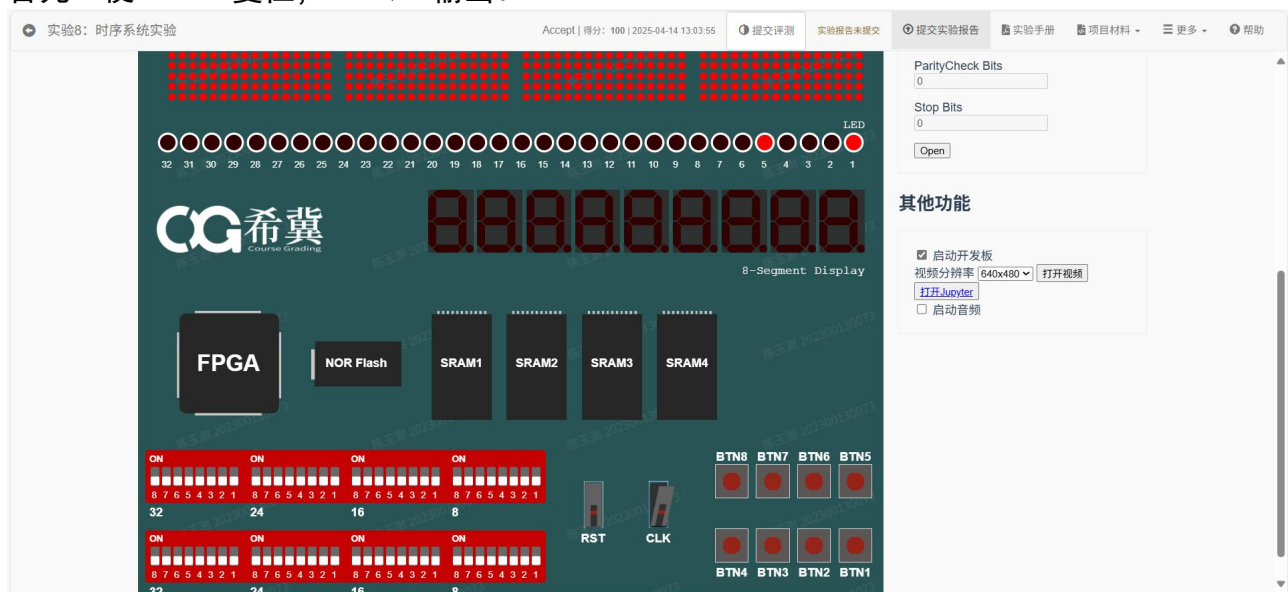


(8) 通过 FPGA 云实验平台，可在线分配远程 FPGA 硬件开发板。首先点击 connect 按钮，然后在下拉菜单中选择任意空闲的开发板，并点击 Choose File 中选择上一步生成的 *.bit 文件，后点击 send，即可将本地 bit 文件烧写至希冀远程 FPGA。



clk 管脚绑定在 btn_clk 上, clr_n 管脚绑定在 btn_rst 上, SL, SR 管脚绑定在上排拨码开关 8-7 上, S1, S0 管脚绑定在上排拨码开关 6-5 上, Da, Db, Dc, Dd 管脚绑定在上排拨码开关 4-1 上, ENT, ENP, LD_n 管脚分别绑定在下排拨码开关 7-5 上, A3, A2, A1, A0 管脚分别绑定在下排拨码开关 4-1 上。

首先！使 RST=1 复位, LED5/1 输出。



接着, 设置上排开关 8=1, 开关 7=0, 开关 6=1, 开关 5=0, 即 SL=1, SR=0, S1=1, S0=0, 使得当 m74LS194 的 CLK 端处于上升沿时, m74LS194 内的四位数字执行左移操作, 空位用 Qa 补充。设置下排开关 7/6/5=1, 即 ENP=ENT=LD_n=1, 从而使置 CLK 从 0 至 1 时, m74LS161 的输出 Q3-Q0 等于输入 M3-M0 再加 1。当输入 A3-A0=0000 时, 输出 M3-M0=0001, 而 m74LS194 未被触发, 因此输出值为默认值 0001。当下一轮上升沿到来时, 元件 m74LS194 触发执行左移操作, 输出 M3-M0=0010, 同理, 第三个上升沿到来时, M3-M0=0100, 最后第四个上升沿到来时, M3-M0=1000, 如下三图所示。



接着，74LS161 计数器在 ENT 和 ENP 保持高电平（即下排开关 7/6/5 = 1）的条件下，持续对时钟信号进行计数。每来一个时钟上升沿，74LS161 的计数值就会加 1。其输出 Q3 - Q0 会不断变化，这些变化后的输出值作为 74LS138 译码器的输入。74LS138 根据输入的 3 位二进制代码，在对应的输出端产生低电平有效信号，从而将计数器的计数值转换为不同的

节拍电平信号（M0 - M3）。

实验8：时序系统实验

Accept | 得分: 100 | 2025-04-14 13:03:55

提交评测

实验报告未提交

提交实验报告

实验手册

项目材料

更多

帮助

LED

32 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1

希冀

Course Grading

8-Segment Display

8 8 8 8 8 8 8 8

FPGA

NOR Flash

SRAM1

SRAM2

SRAM3

SRAM4

ON

8 7 6 5 4 3 2 1

32 24 16 8

RST

CLK

BTN8

BTN7

BTN6

BTN5

BTN4

BTN3

BTN2

BTN1

Stop Bits

0

Open

其他功能

启动开发板

视频分辨率 640x480

打开视频

打开Juicyt

启动音频

实验8：时序系统实验

Accept | 得分: 100 | 2025-04-14 13:03:55

提交评测

实验报告未提交

提交实验报告

实验手册

项目材料

更多

帮助

LED

32 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1

希冀

Course Grading

8-Segment Display

8 8 8 8 8 8 8 8

FPGA

NOR Flash

SRAM1

SRAM2

SRAM3

SRAM4

ON

8 7 6 5 4 3 2 1

32 24 16 8

RST

CLK

BTN8

BTN7

BTN6

BTN5

BTN4

BTN3

BTN2

BTN1

Stop Bits

0

Open

其他功能

启动开发板

视频分辨率 640x480

打开视频

打开Juicyt

启动音频

....

实验8：时序系统实验

Accept | 得分: 100 | 2025-04-14 13:03:55

提交评测

实验报告未提交

提交实验报告

实验手册

项目材料

更多

帮助

LED

32 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1

希冀

Course Grading

8-Segment Display

8 8 8 8 8 8 8 8

FPGA

NOR Flash

SRAM1

SRAM2

SRAM3

SRAM4

ON

8 7 6 5 4 3 2 1

32 24 16 8

RST

CLK

BTN8

BTN7

BTN6

BTN5

BTN4

BTN3

BTN2

BTN1

Stop Bits

0

Open

其他功能

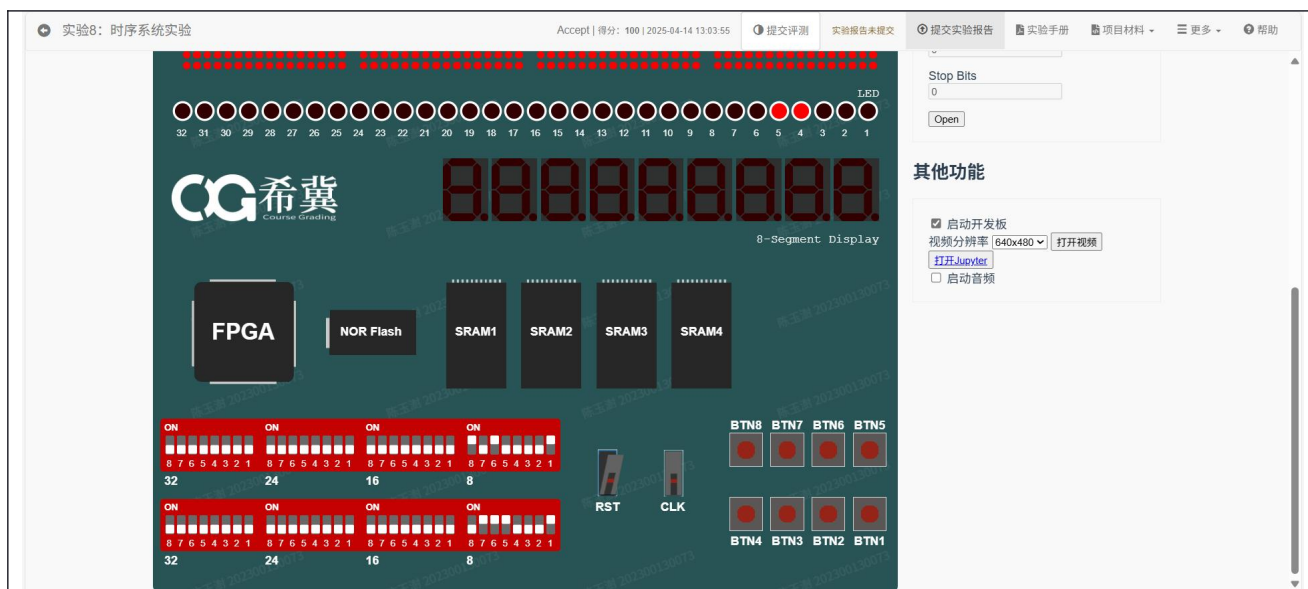
启动开发板

视频分辨率 640x480

打开视频

打开Juicyt

启动音频



实验结果符合预期。

结论分析与体会：

本次时序系统实验的核心目标是设计并构建一个具备 4 个节拍电平与四相工作脉冲的基础时序系统。实验过程中，借助十进制计数器 m74LS161 对输入进行加法运算，运算结果传递给译码器 m74LS138，将十进制数 L1, L0 转换为二进制表示 Y3, Y2, Y1, Y0。其中，Y3 作为移位寄存器 74LS194 的时钟控制信号，当 Y3 从 0 跃变为 1 时，移位寄存器触发，将初始默认输入 0001 左移一位，输出 0010。经对系统输出细致观察并与预期结果比对，结果显示，在各类输入条件下，系统输出均精准契合预期，有力验证了电路设计的准确性与可靠性。通过本次实验，我收获颇丰，深入掌握了 m74LS161、m74LS138、74LS194 等多种关键电路元件的功能特性与触发机制。

就得到的输出与预期输出的输出顺序相反问题的解决：

经过分析电路可知，问题出现在 m74LS194 的 Qa-Qd 端口与 adapt_out_0 的 T3-T0 端口连接顺序上，改变连接的顺序，得到了预期的正确输出。

