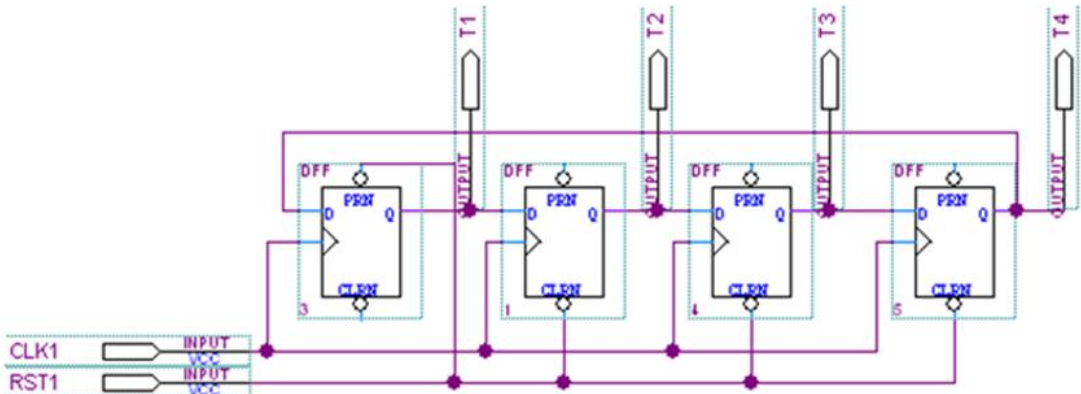
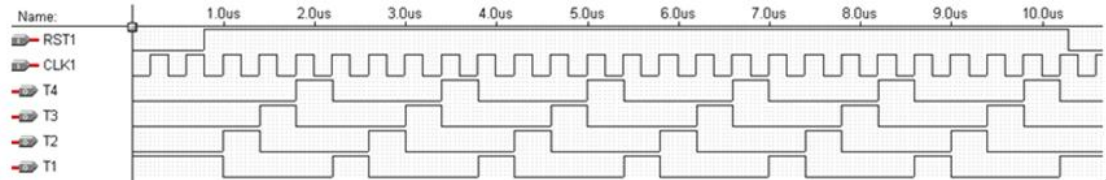


计算机组成与设计

课程实验报告

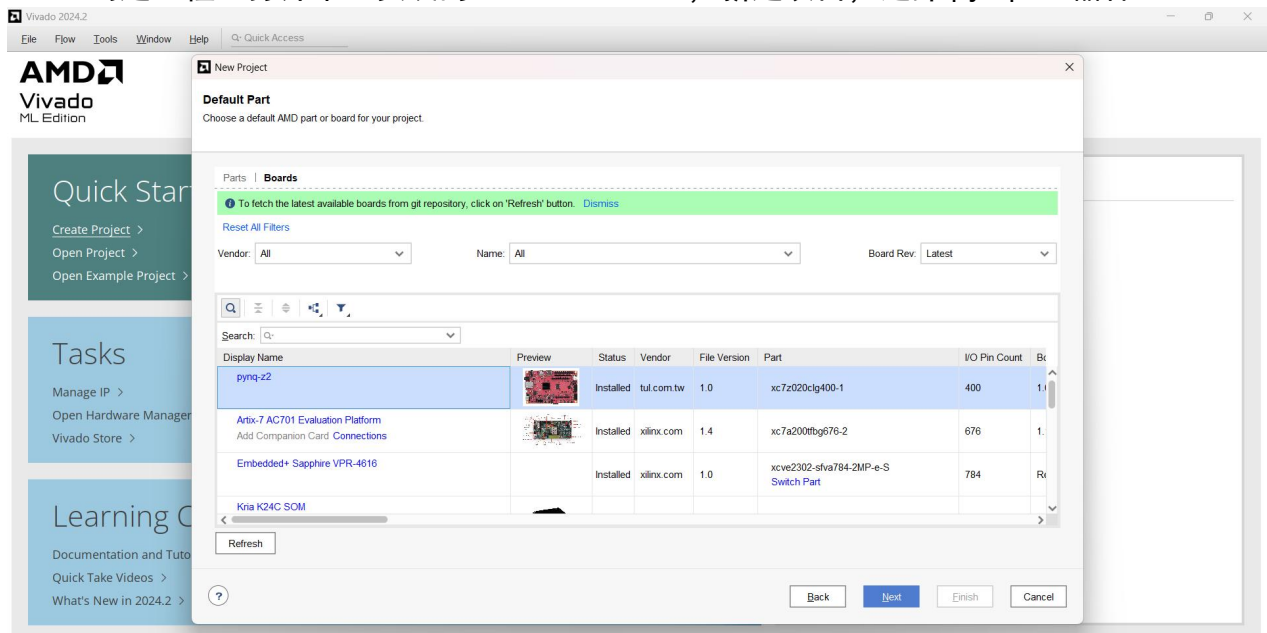
学号：202300130073	姓名：陈玉澍	班级：计科 23 级 1 班
实验题目： 实验 7 节拍脉冲发生器时序电路实验		
实验学时：2	实验日期：2025. 4. 8	
实验目的： 掌握节拍脉冲发生器的设计方法，理解节拍脉冲发生器的工作原理。		
实验软件和硬件环境： 软件环境： Vivado 软件、FPGA 实验平台 硬件环境： 1. 实验室台式机 2. FPGA 服务器，PYNQ-Z2 开发板		
实验原理和方法： 连续节拍发生电路可由 4 个 D 触发器组成，可产生 4 个等间隔的时序信号 T1~T4，其中 CLK1 为时钟信号，由实验台右边的方波信号源 clock0 提供，clock0 具有 1Hz~50MHz 的多种方波信号频率。实验者可根据实验自行选择信号频率。当 RST1 为低电平时，T1 输出为“1”，而 T2、T3、T4 输出为“0”；当 RST1 由低电平变为高电平后，T1~T4 将在 CLK1 的输入脉冲作用下，周期性地轮流输出正脉冲，机器进入连续运行状态（EXEC）。		
<div></div> <div>节拍脉冲发生器的工作原理 T1~T4 以及 CLK1、RST1 的工作波形如图所示：</div> <div></div>		

## 实验步骤：

### 1、连续节拍发生电路设计

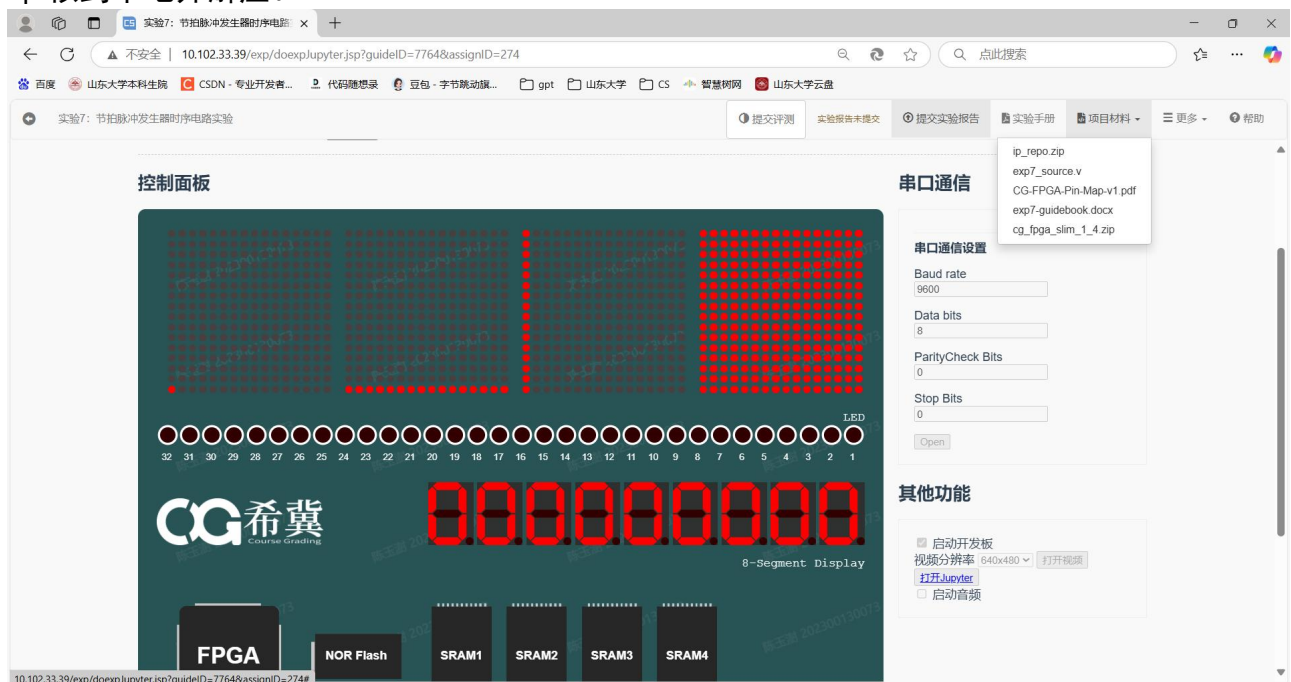
根据实验原理完成电路设计，生成比特流文件并导入实验平台。高电平时可以看到，发光管分别显示 T1、T2、T3、T4 的输出电平，将实验过程和实验结果写进实验报告。

(1) 创建工程：打开本地安装的 Vivado 2022.2，新建项目，选择 pynq-z2 器件。

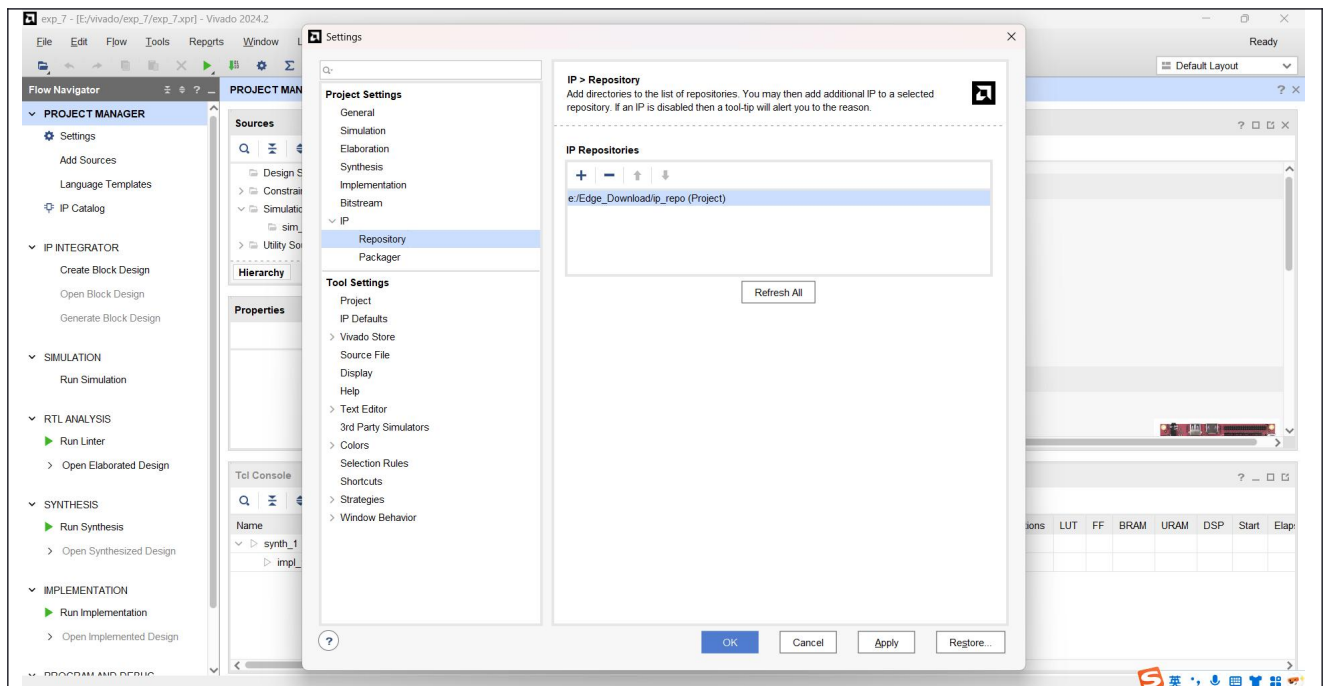


Tcl Console  
工程向导 会引导您完成设计源文件和目标器件的选择

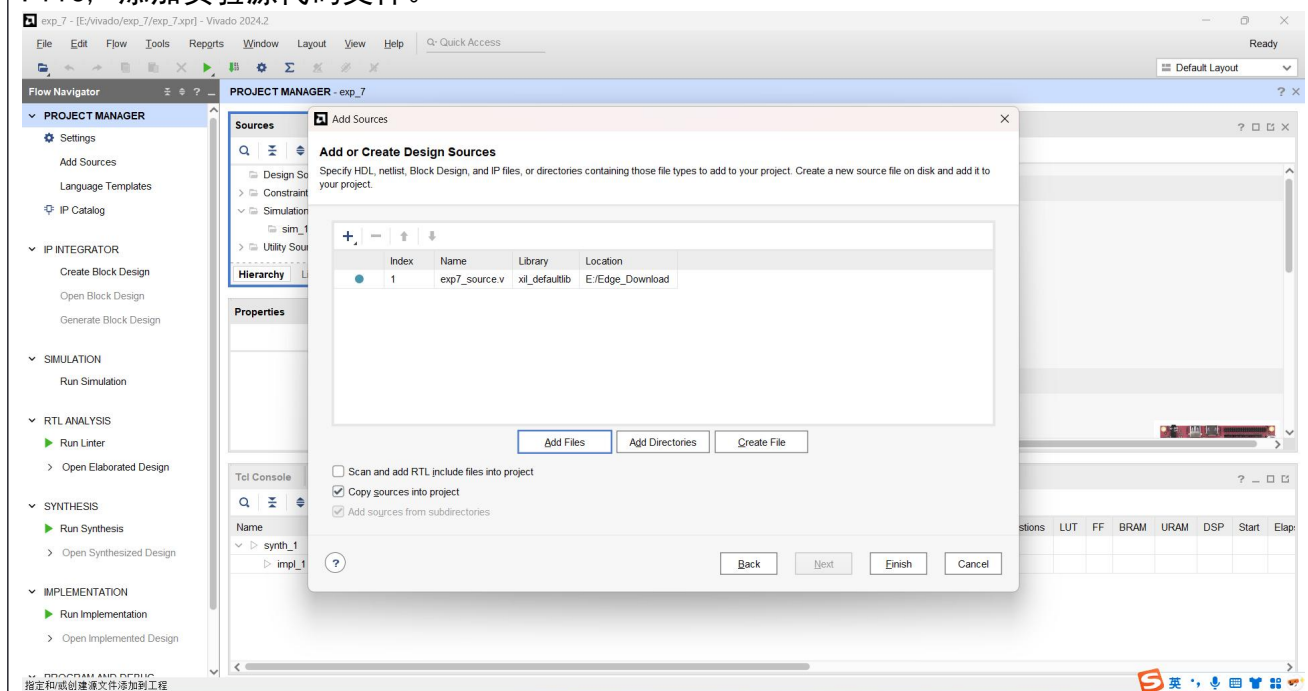
(2) 添加实验环境：进入 FPGA 在线实验环境，点击右上角项目材料下载实验源代码和希冀 ip 核到本地并解压。



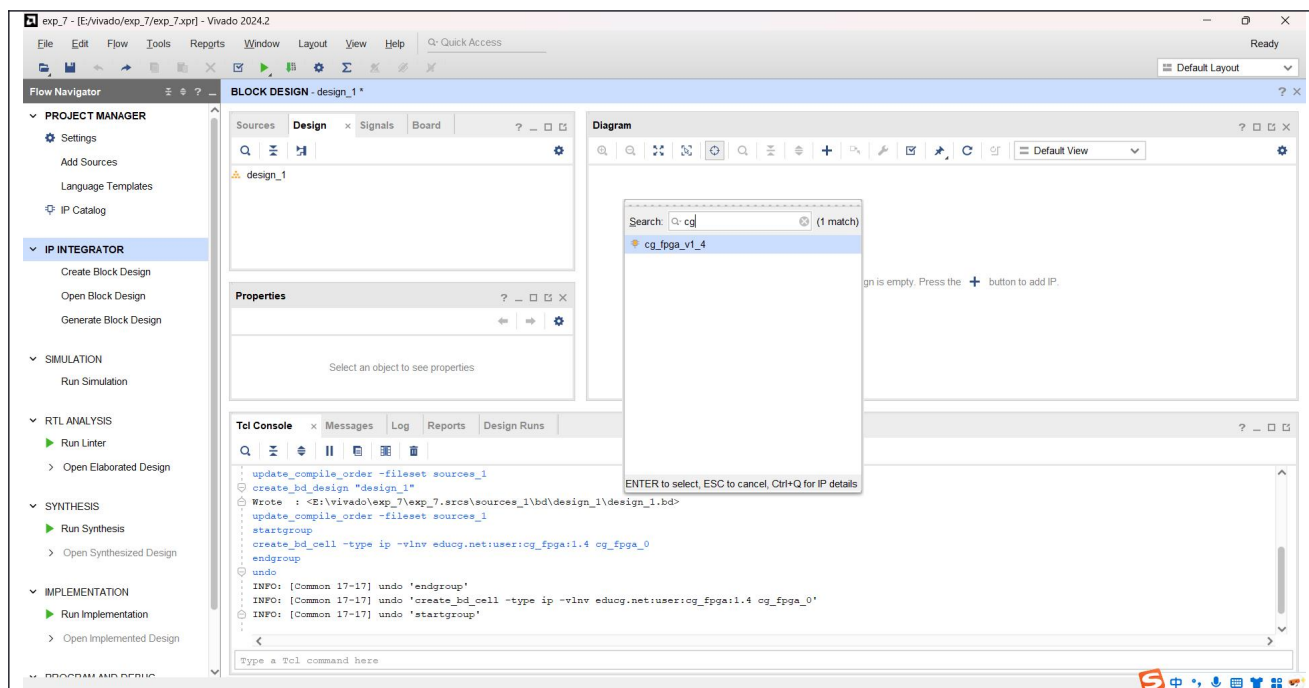
(3) 在 Vivado 项目中，点击 Settings→IP→Repository，将上一步解压后的 ip\_repo 文件夹的位置添加进 IP 搜索目录。



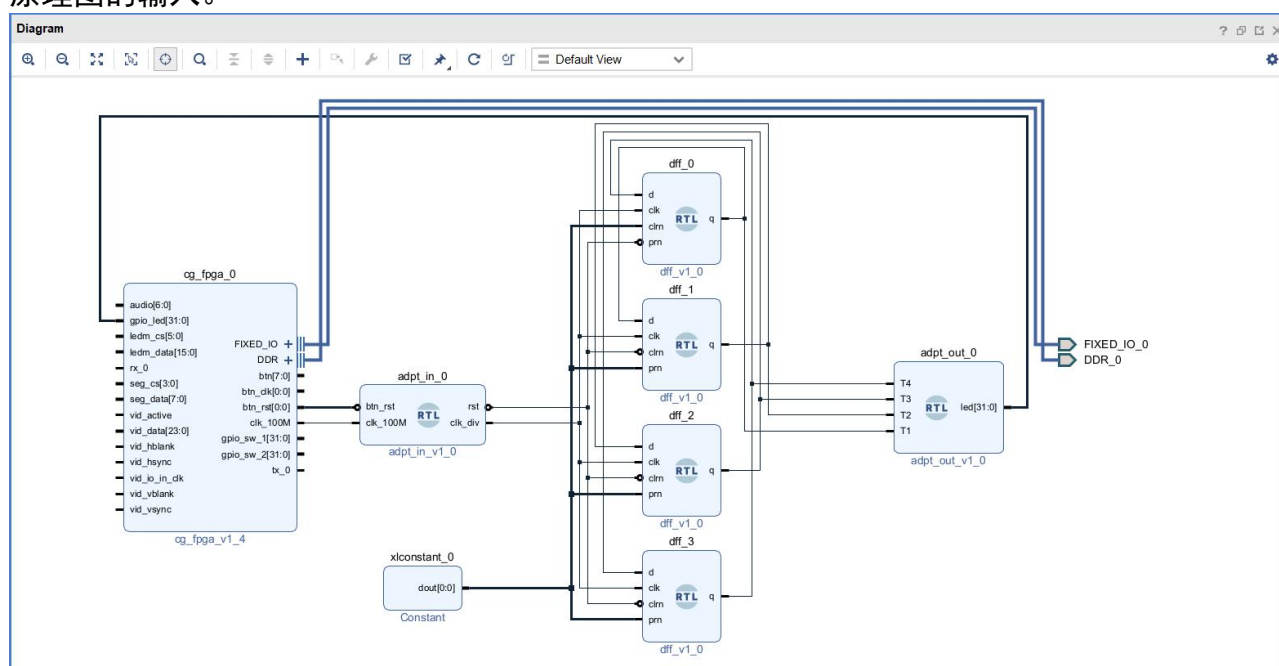
(4) 点击 Sources 窗口中的+, 选择 Add or create design sources → Next → Add File, 添加实验源代码文件。



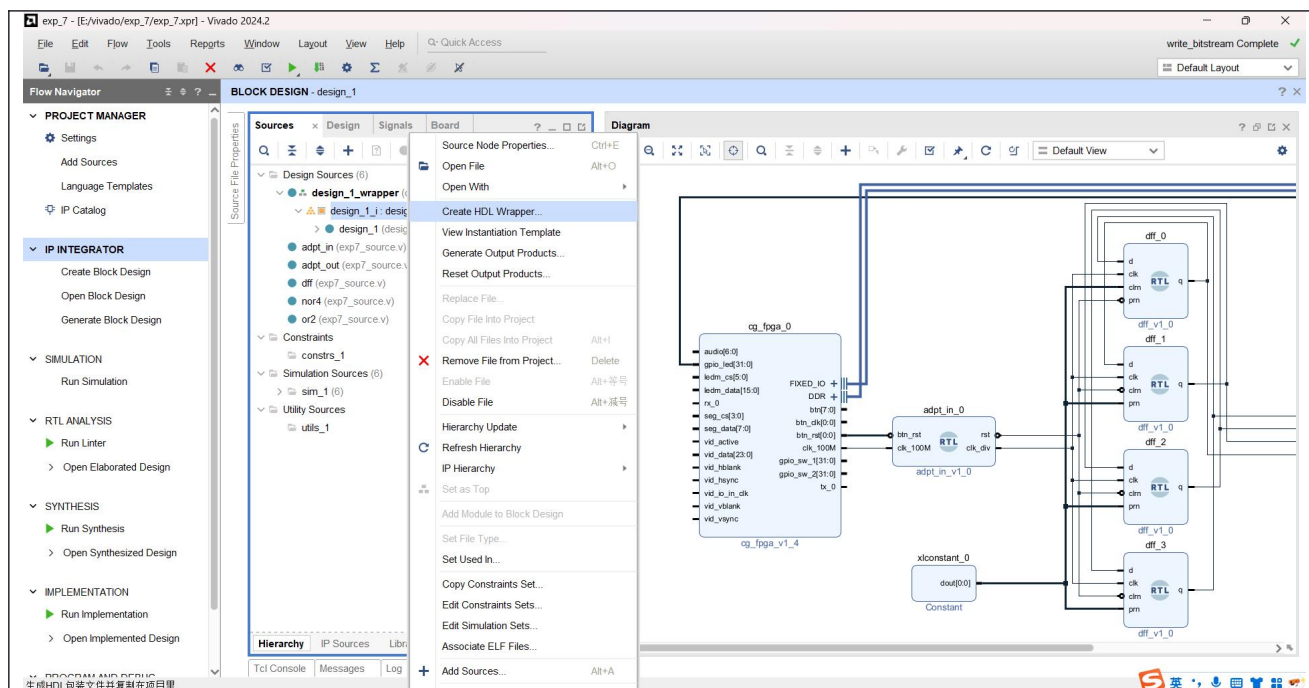
(5) 点击 Create Block Design 创建一个新的顶层设计, 随后点击添加 IP 核按钮, 添加 cg\_fpga IP.



(6) 在 Sources 窗口下的 Design sources 中，根据实验任务的电路图拖拽相应模块，完成原理图的输入。

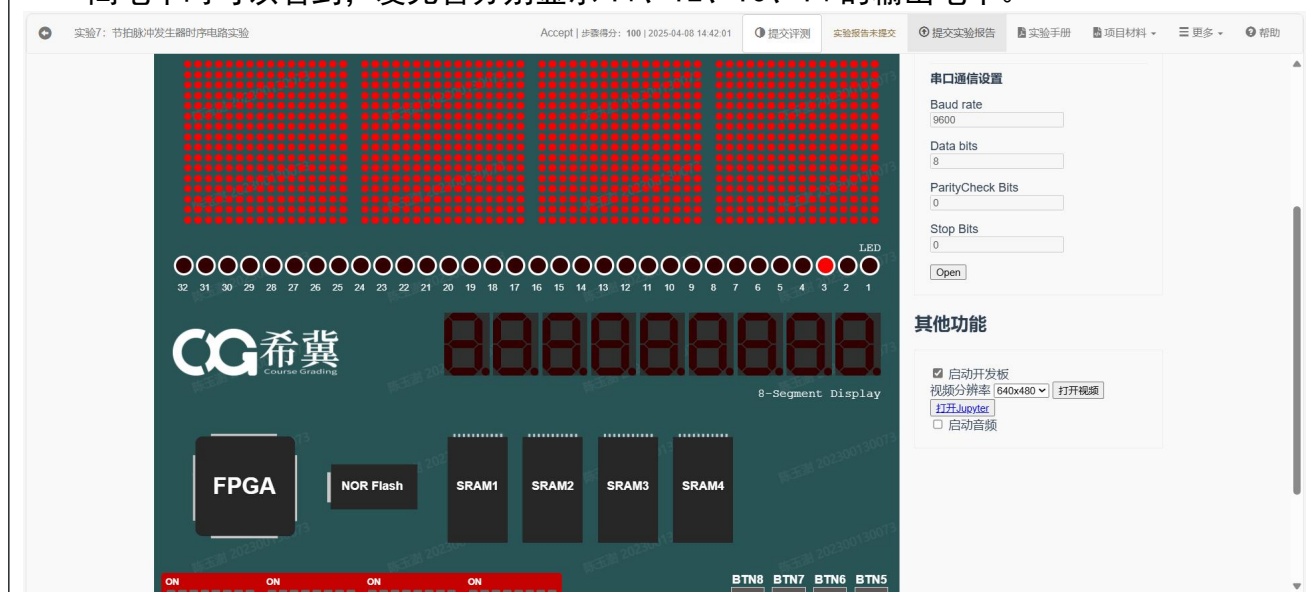


(7) 右击 Sources 下顶层设计图标→Create HDL Wrapper，待 Wrapper 正确生成后，点击左下方 Generate Bitstream，开始综合并生成 bit 文件。注意：综合前 wrapper 模块应被设置为顶层（加粗表示），若自动设置错误，需右击 wrapper 图标点击 Set as Top 手动设置。

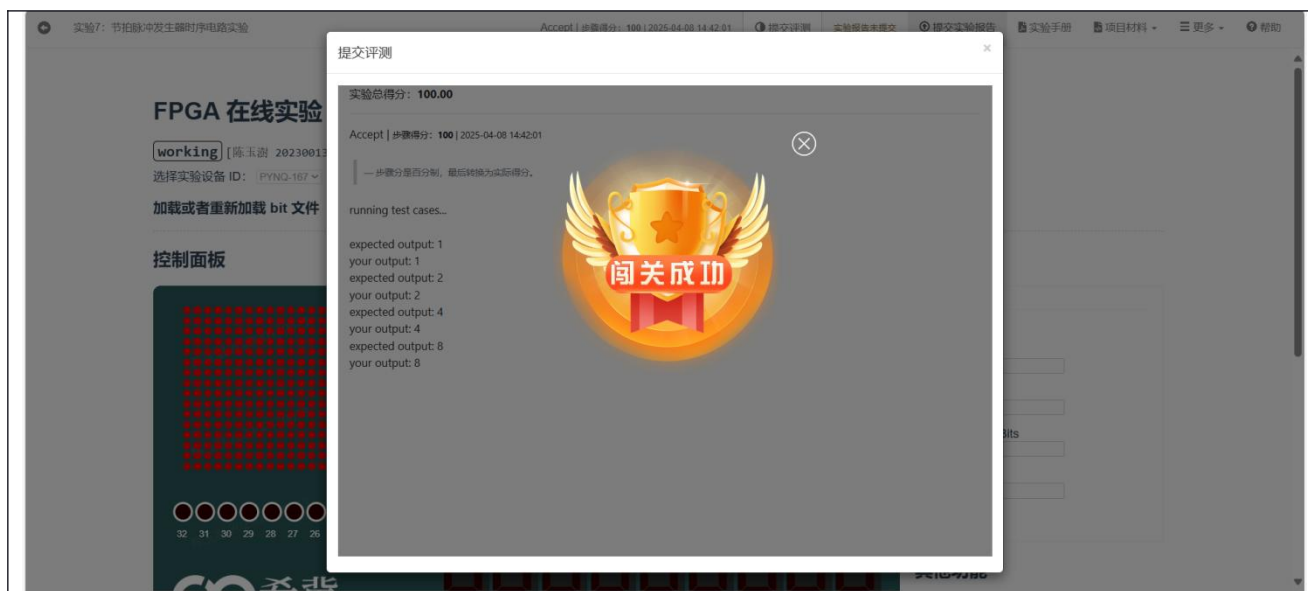


(8) 通过 FPGA 云实验平台，可在线分配远程 FPGA 硬件开发板。首先点击 connect 按钮，然后在下拉菜单中选择任意空闲的开发板，并点击 Choose File 中选择上一步生成的 \*.bit 文件，后点击 send，即可将本地 bit 文件烧写至希冀远程 FPGA。

高电平时可以看到，发光管分别显示 T1、T2、T3、T4 的输出电平。





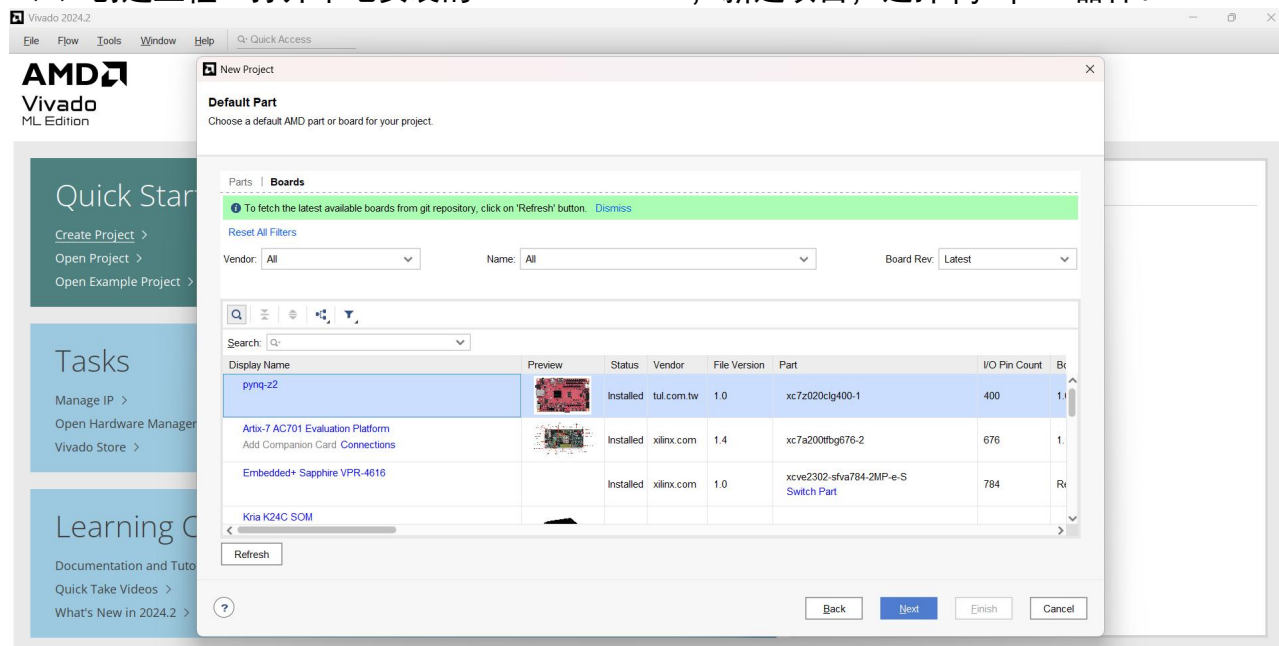


观察发现，当高电平时，发光管连续分别显示 T1、T2、T3、T4 的输出电平，符合预期设计。

## 2、单步节拍发生电路设计

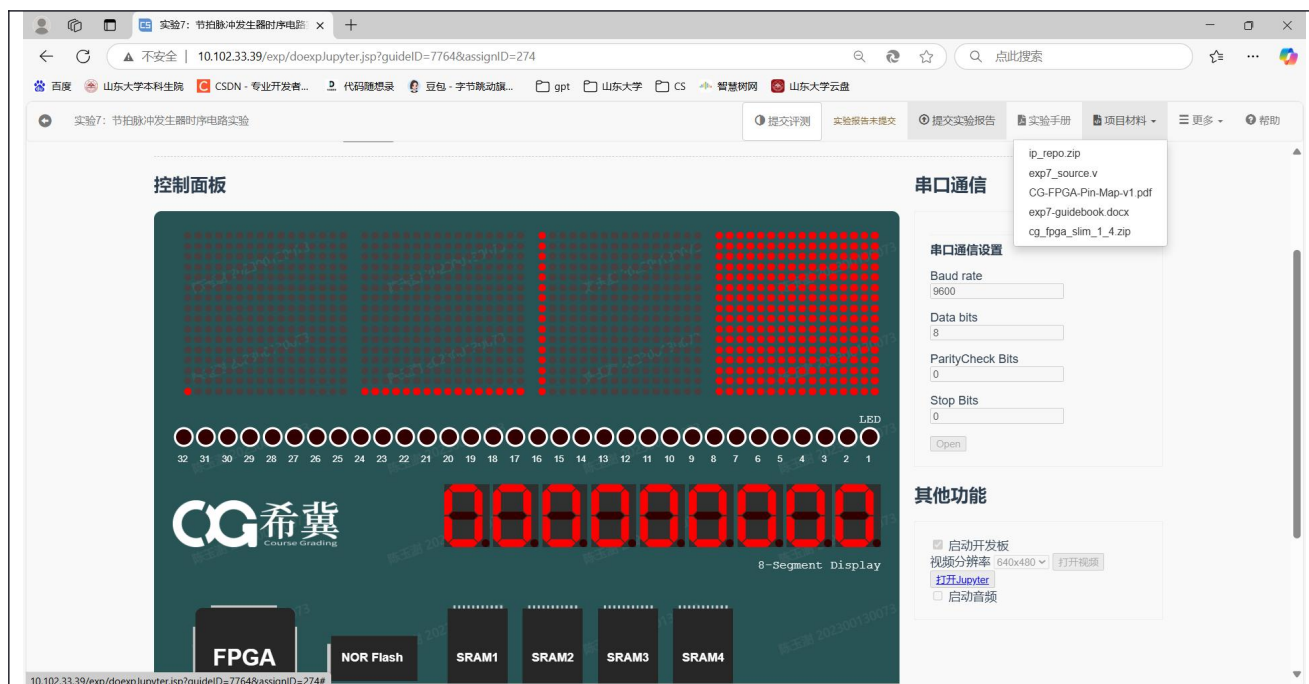
用单步节拍发生电路可以对微程序进行单步运行调试，电路如下所示。该电路每当 RST1 出现一个负脉冲后，仅输出一组 T1、T2、T3、T4 节拍信号，直到 RST 出现下一个负脉冲。

(1) 创建工程：打开本地安装的 Vivado 2022.2，新建项目，选择 pynq-z2 器件。

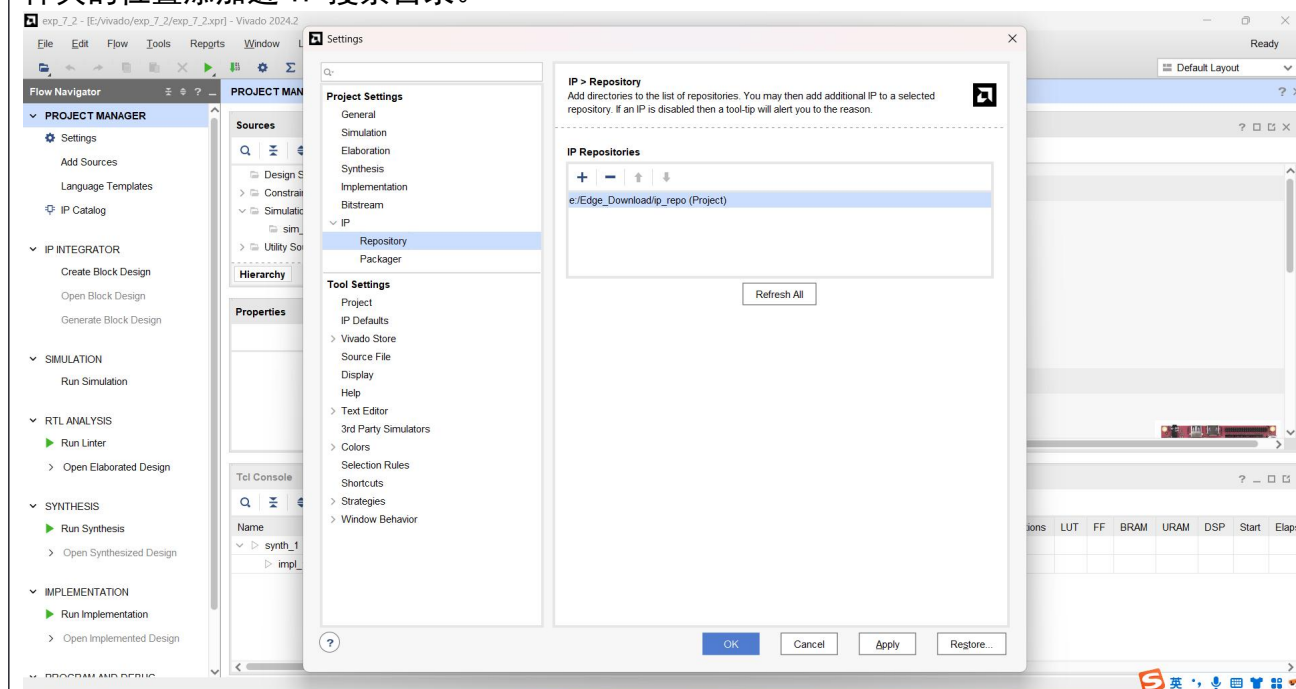


Tcl Console  
工程向导 会引导您完成设计源文件和目标器件的选择

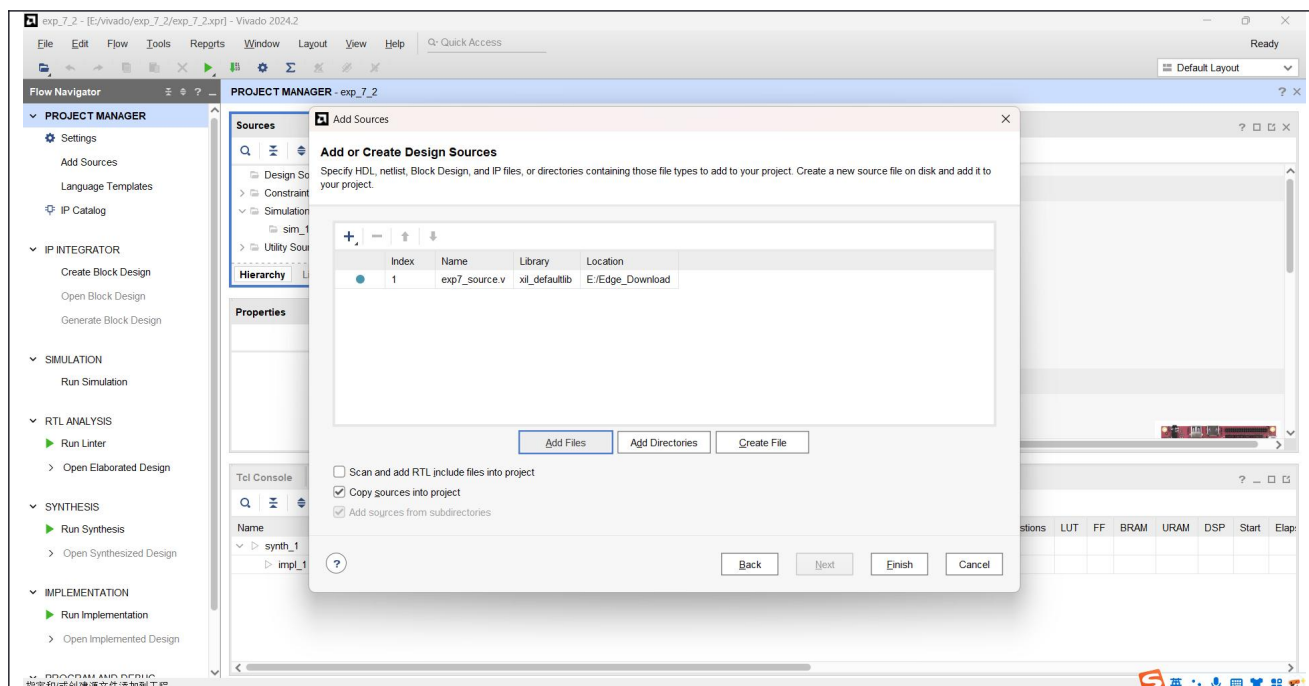
(2) 添加实验环境：进入 FPGA 在线实验环境，点击右上角项目材料下载实验源代码和希冀 ip 核到本地并解压。



(3) 在 Vivado 项目中，点击 Settings→IP→Repository，将上一步解压后的 ip\_repo 文件夹的位置添加进 IP 搜索目录。

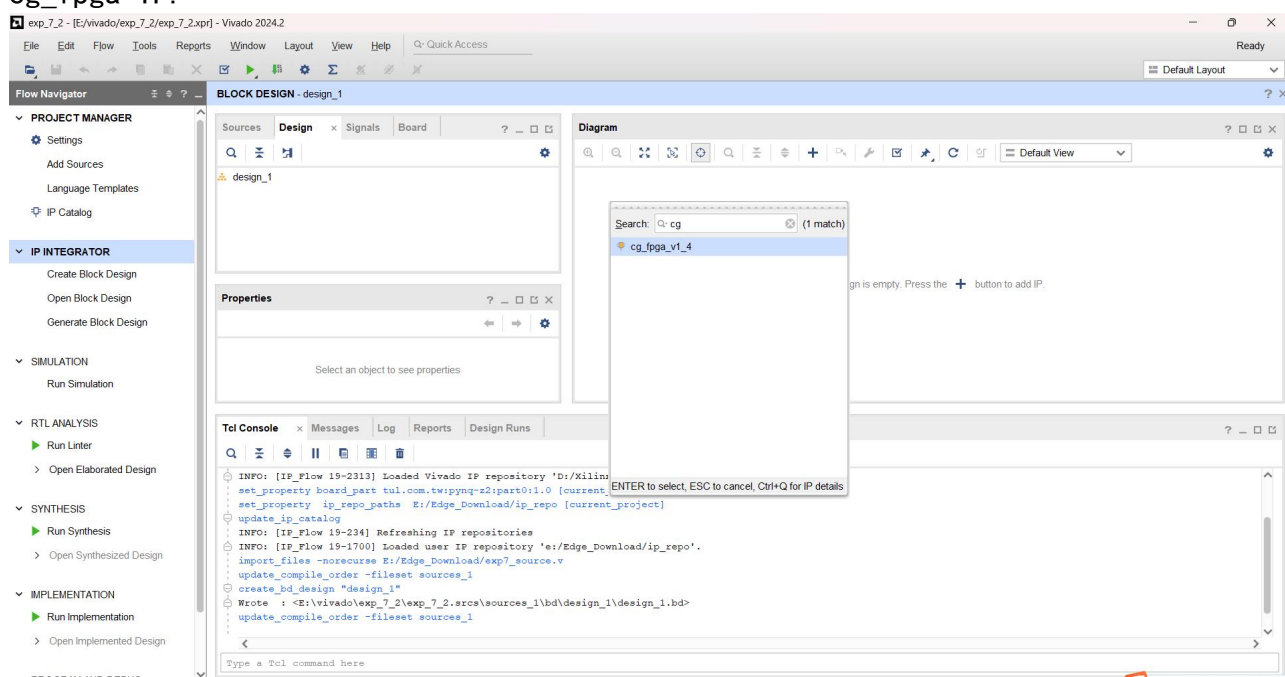


(4) 点击 Sources 窗口中的+，选择 Add or create design sources → Next → Add File，添加实验源代码文件。



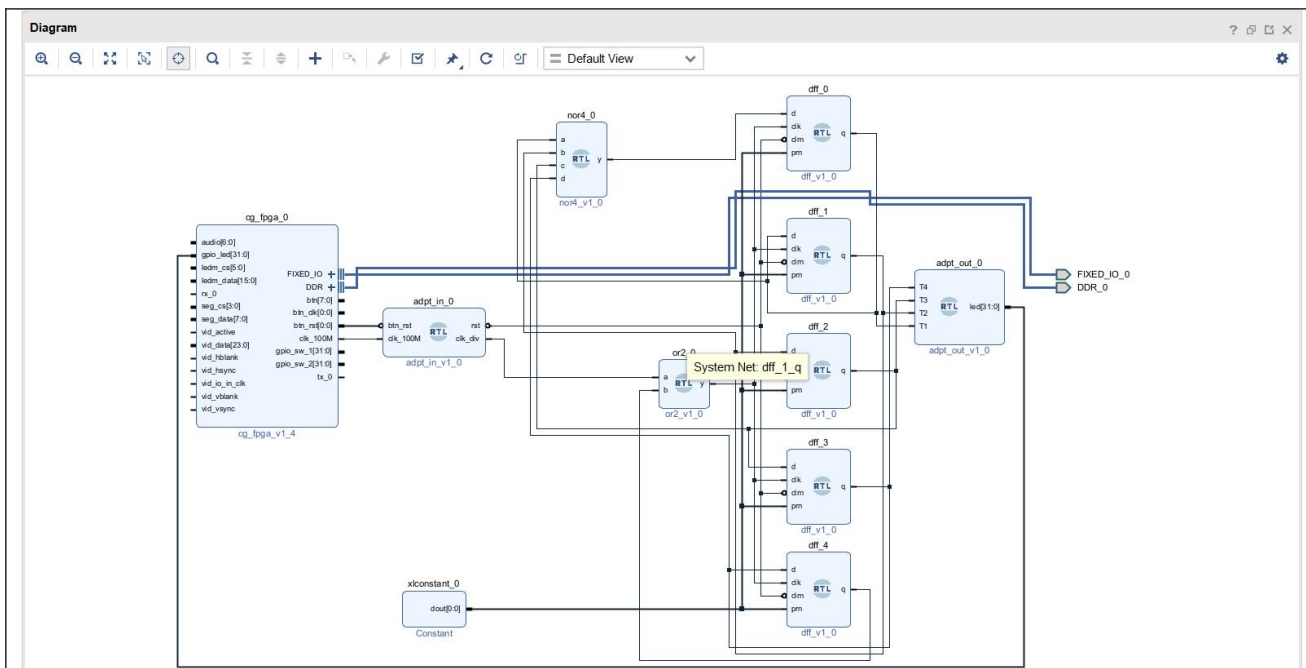
指定和/或创建源文件添加到工程

(5) 点击 Create Block Design 创建一个新的顶层设计，随后点击添加 IP 核按钮，添加 cg\_fpga IP。

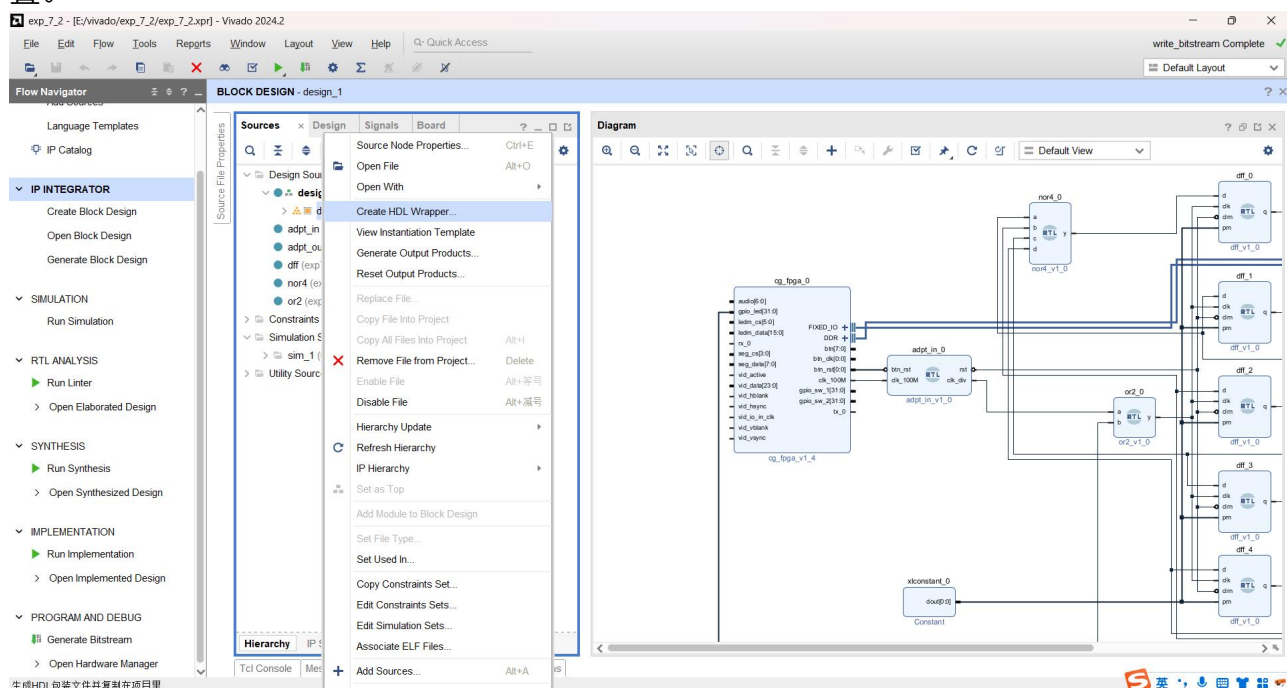


(6) 在 Sources 窗口下的 Design sources 中，根据实验任务的电路图拖拽相应模块，完成原理图的输入。

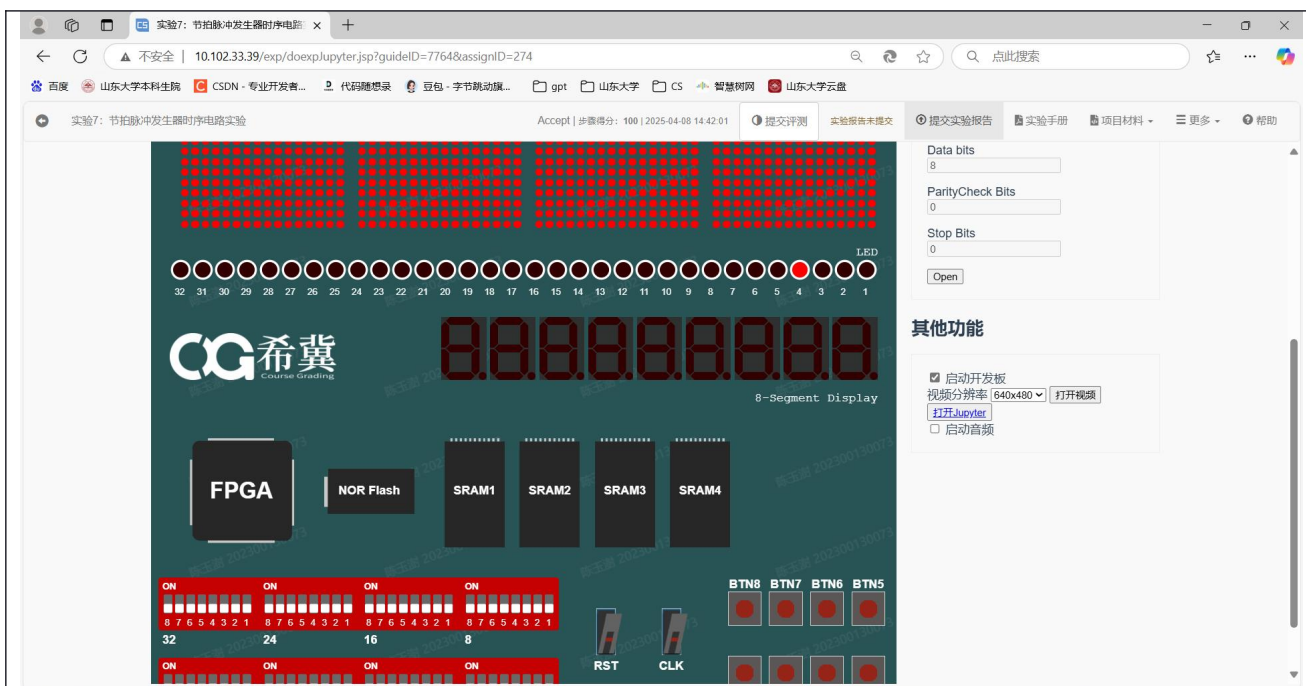




(7) 右击 Sources 下顶层设计图标→Create HDL Wrapper，待 Wrapper 正确生成后，点击左下方 Generate Bitstream，开始综合并生成 bit 文件。注意：综合前 wrapper 模块应被设置为顶层（加粗表示），若自动设置错误，需右击 wrapper 图标点击 Set as Top 手动设置。



(8) 通过 FPGA 云实验平台，可在线分配远程 FPGA 硬件开发板。首先点击 connect 按钮，然后在下拉菜单中选择任意空闲的开发板，并点击 Choose File 中选择上一步生成的 \*.bit 文件，后点击 send，即可将本地 bit 文件烧写至希冀远程 FPGA。

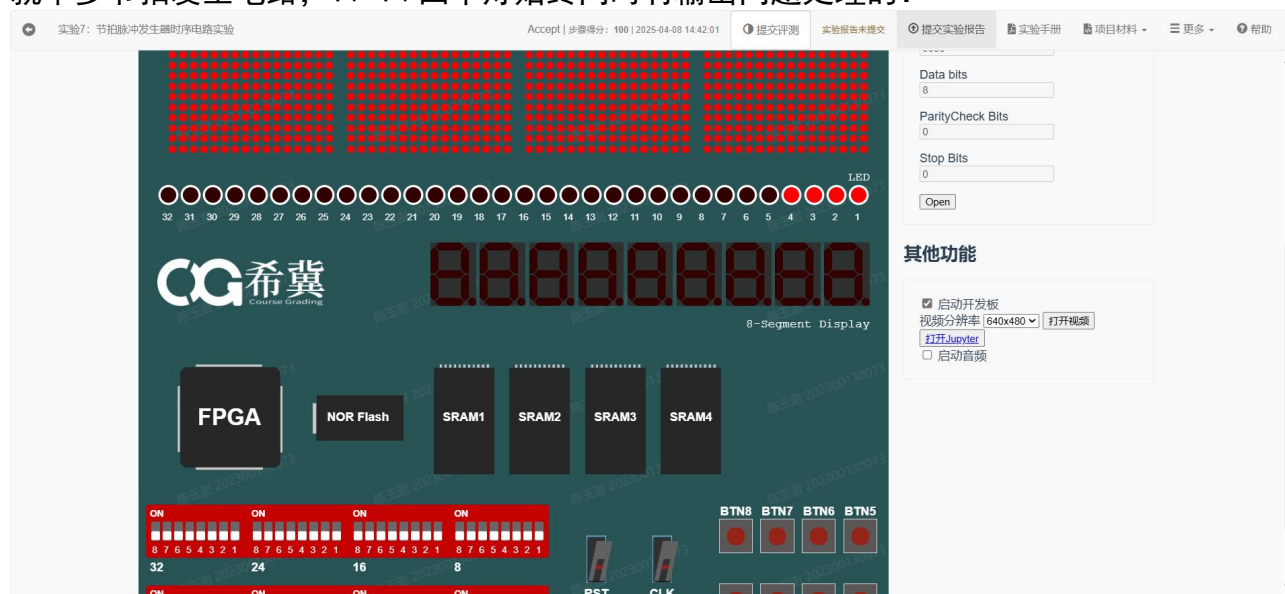


观察发现，当 RST 出现一个负脉冲时，只会输出一组 T1、T2、T3、T4 节拍信号，直到 RST 出现下一个负脉冲，符合预期设计。

结论分析与体会：

这次的实验让我对于节拍脉冲发生器时序电路有了一个深入的理解。同时深入理解、掌握了节拍脉冲发生器的设计原理和实现方法，尤其是连续节拍和单步节拍发生电路的工作逻辑。此外，我还理解了 D 触发器、逻辑门等数字电路元件在时序电路中的协同工作机制，深刻领会到在硬件调试中确保信号连接正确的重要性，任何一个管脚连接错误都可能导致电路输出异常。

就单步节拍发生电路，T1-T4 四个灯始终同时有输出问题处理的：



原因：

PRN 没有连接 CONSTANT，PRN 低电平会直接使对应的触发器置位。正常工作时，D 触发器在时钟信号 CLK 上升沿，根据 D 端输入信号改变输出状态。但 PRN 为低电平时，无论 D 端输入和 CLK 状态如何，触发器输出端 Q 会立即被置为高电平。在单步节拍发生电路里，若多

个控制节拍信号（T1-T4）的触发器 PRN 都为低电平，这些触发器输出端都会被强制置高，导致对应控制的指示灯全亮，节拍信号输出异常。

解决：添加一个 IP: CONSTANT，将 PRN 全部连到该端口上。