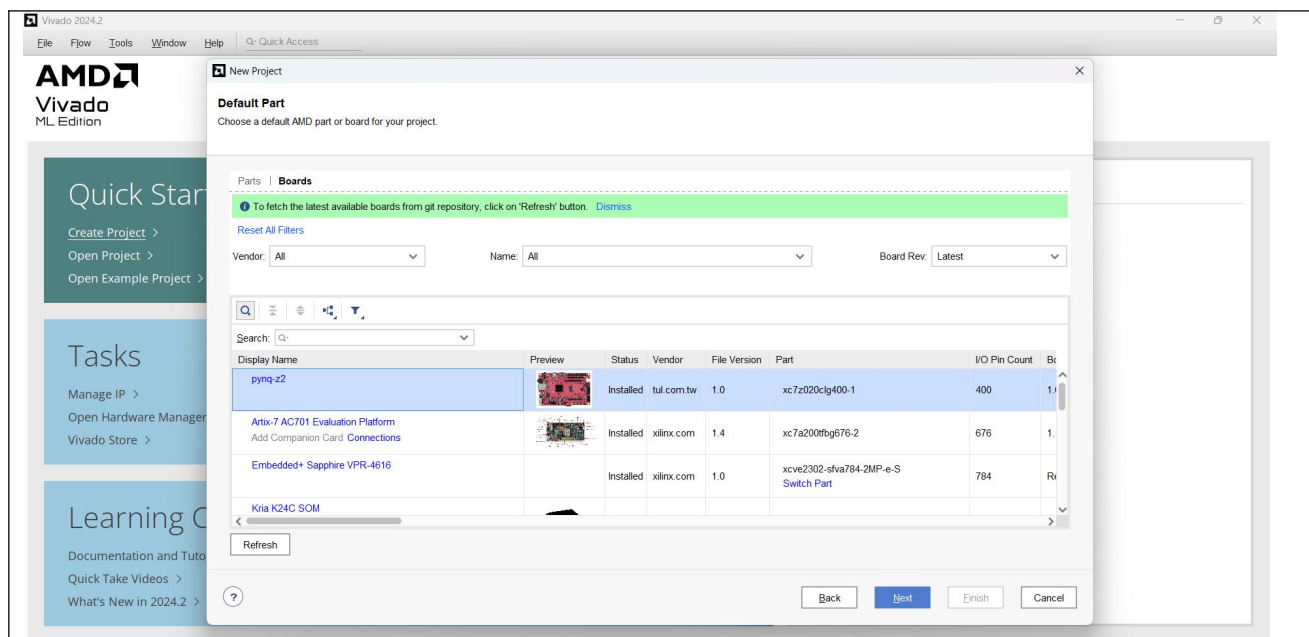


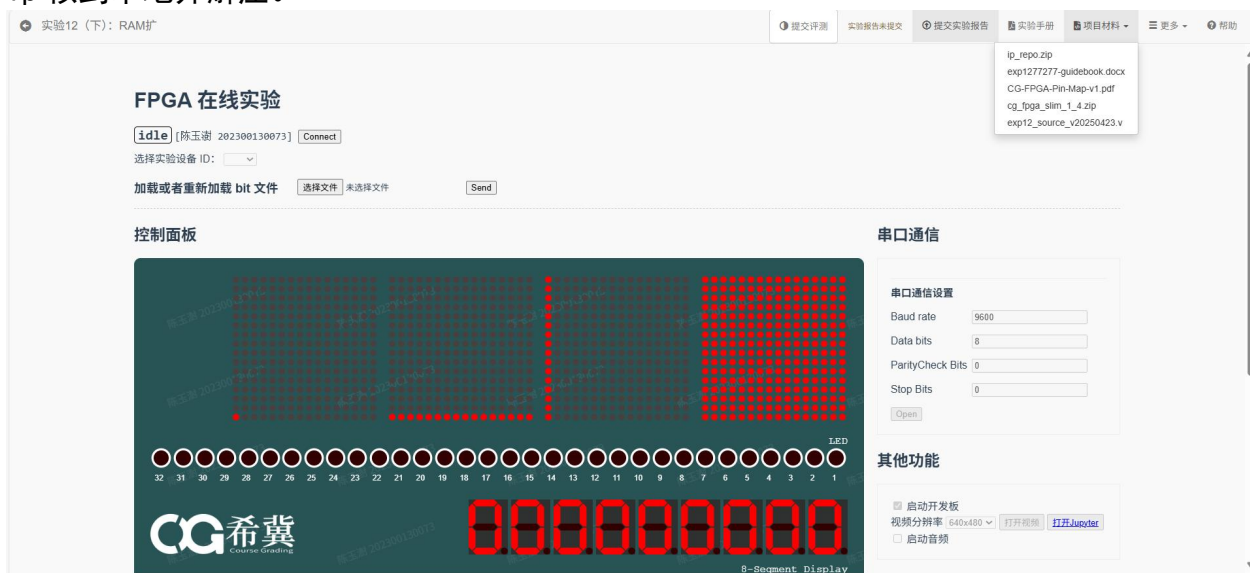
计算机组成与设计_____课程实验报告

学号：202300130073	姓名：陈玉澍	班级：计科 23 级 1 班
实验题目： 实验 12 RAM 扩展实验		
实验学时：2		实验日期：2025. 5. 6
实验目的： 1、了解半导体静态随机读写存储器 RAM 的工作原理及其使用方法。 2、掌握半导体存储器的字、位扩展技术。		
实验软件和硬件环境： 软件环境： Vivado 软件、FPGA 实验平台 硬件环境： 1. 实验室台式机 2. FPGA 服务器，PYNQ-Z2 开发板		
实验原理和方法： 1、字扩展的原理： 存储单元的地址数量决定了存储器能够存储数据的“字数”。在 1K*4 的 RAM 中，地址线有 10 根（因为 $2^{10}=1024$ ），可访问 1024 个存储单元。若要扩展存储单元数量，就需要增加地址线的数量。假设将存储单元数量扩展为 2K（2048 个），则需要 11 根地址线（ $2^{11}=2048$ ）。新增的这 1 根地址线用于区分原来 1K 空间和新扩展的 1K 空间。 2、字扩展的实现方式：在硬件连接上，多个相同位宽的 RAM 芯片并行连接。比如本实验中用两个 1K*4 的 RAM 芯片实现 2K*4 的 RAM，将两个芯片的数据线、读写控制线分别对应相连，而地址线中，原来的 10 根地址线同时连接到两个芯片，新增的 1 根地址线则用于控制芯片的选择。当新增地址线为 0 时，选择其中一个 1K*4 的 RAM 芯片进行读写操作；当新增地址线为 1 时，选择另一个 1K*4 的 RAM 芯片进行读写操作。这样，通过地址线的扩展和芯片选择逻辑，实现了存储单元数量的增加，满足了更大存储容量的需求。		
实验步骤： （1）创建工程：打开本地安装的 Vivado 2024.2，新建项目，选择 pynq-z2 器件。		

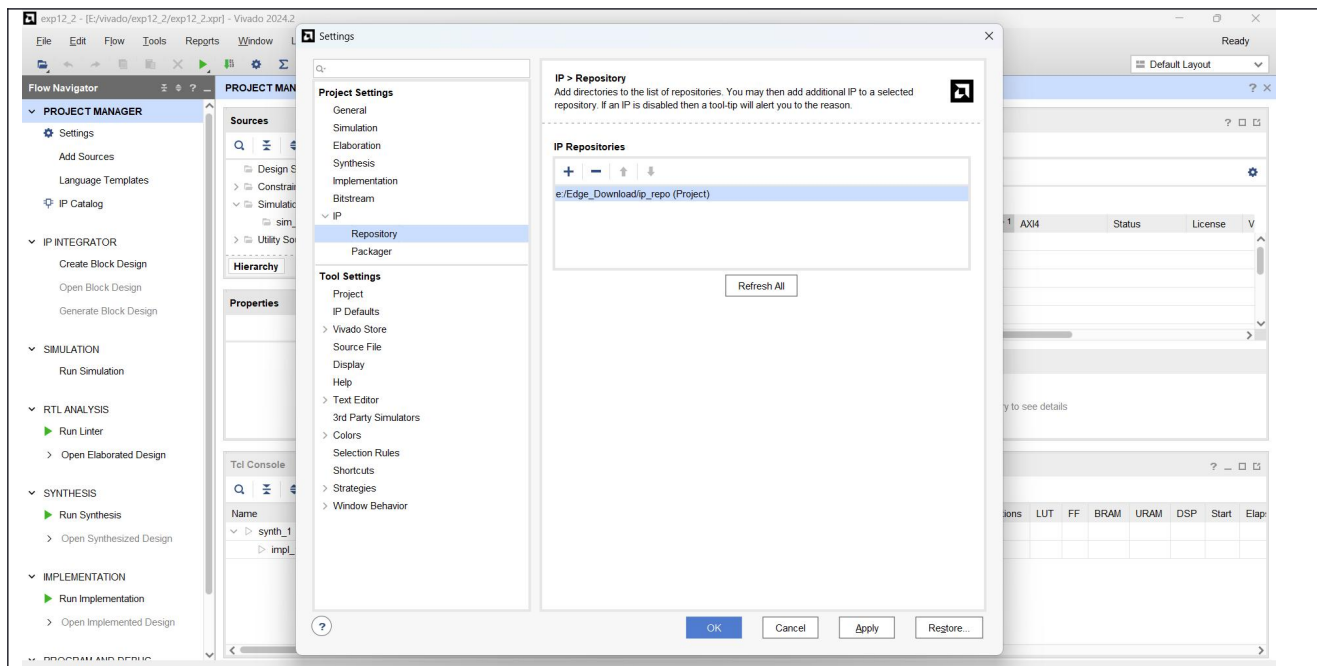


Tcl Console
工程向导 会引导您完成设计源文件和目标器件的选择

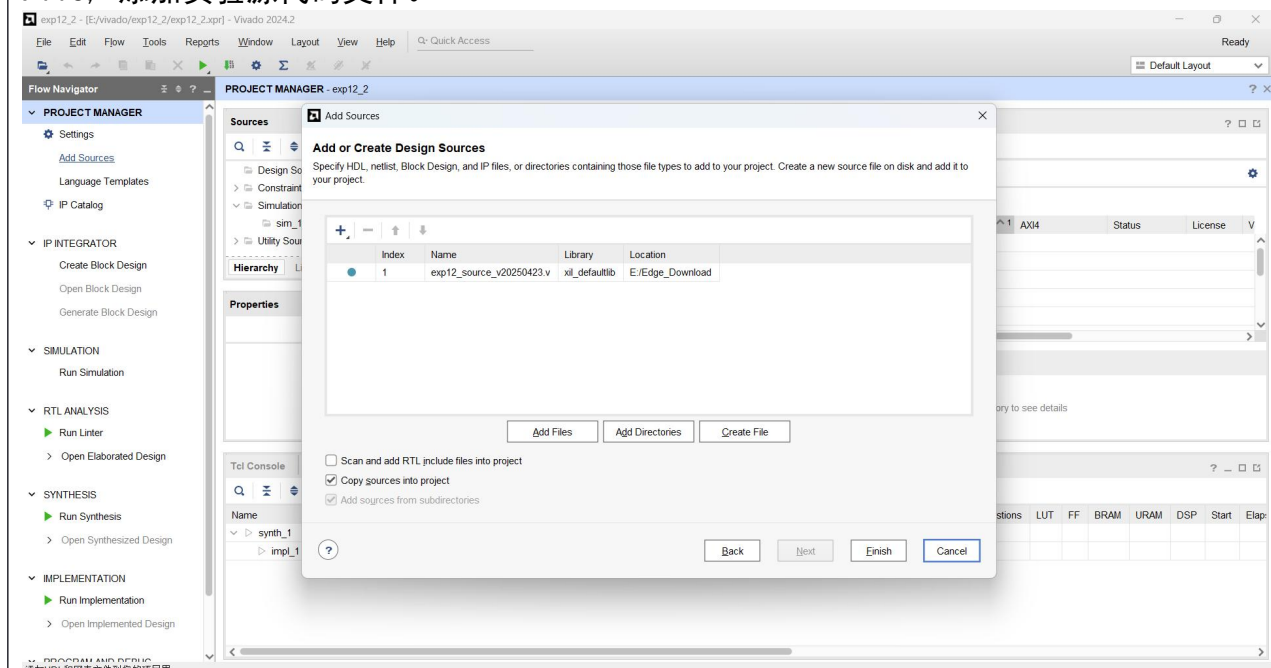
(2) 添加实验环境：进入 FPGA 在线实验环境，点击右上角项目材料下载实验源代码和希冀 ip 核到本地并解压。



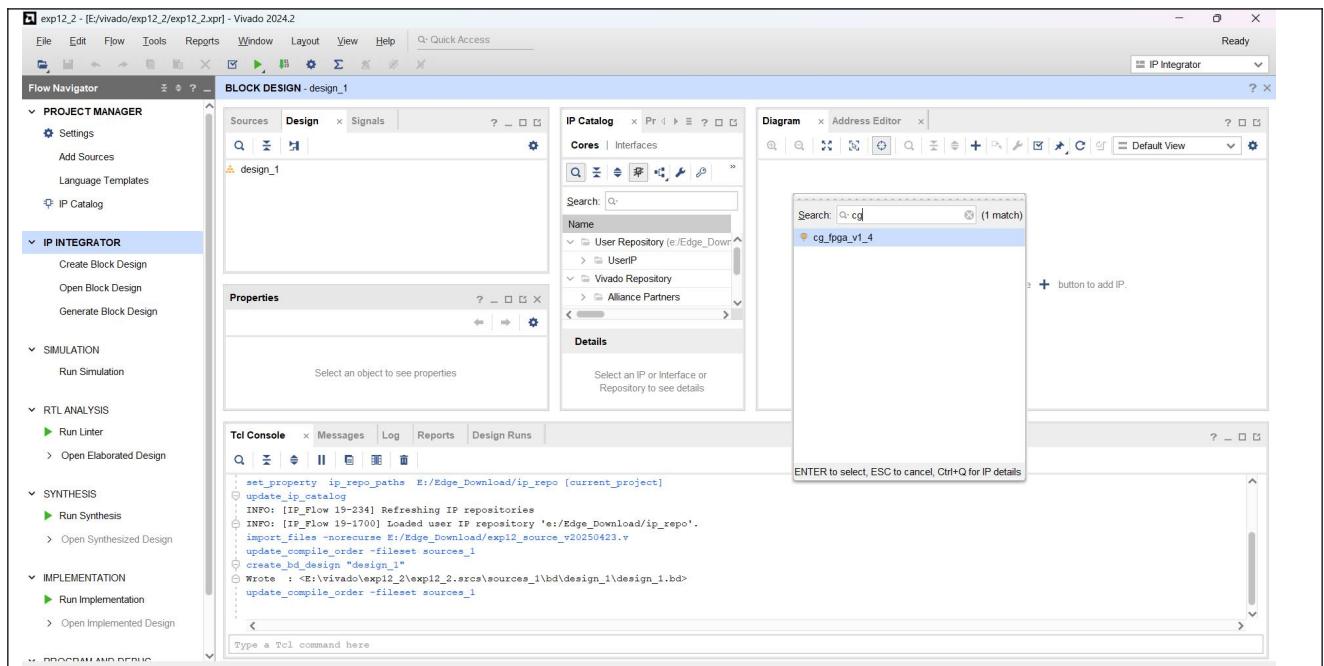
(3) 在 Vivado 项目中，点击 Settings→IP→Repository，将上一步解压后的 ip_repo 文件夹的位置添加进 IP 搜索目录。



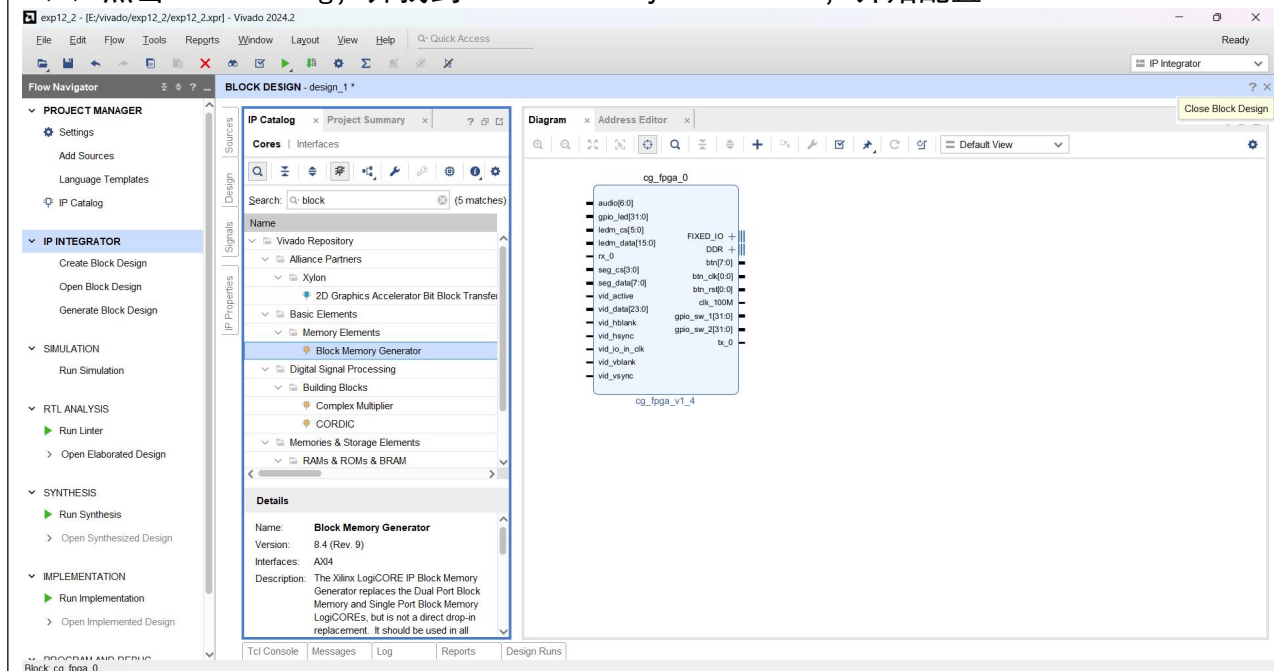
(4) 点击 Sources 窗口中的+, 选择 Add or create design sources → Next → Add File, 添加实验源代码文件。



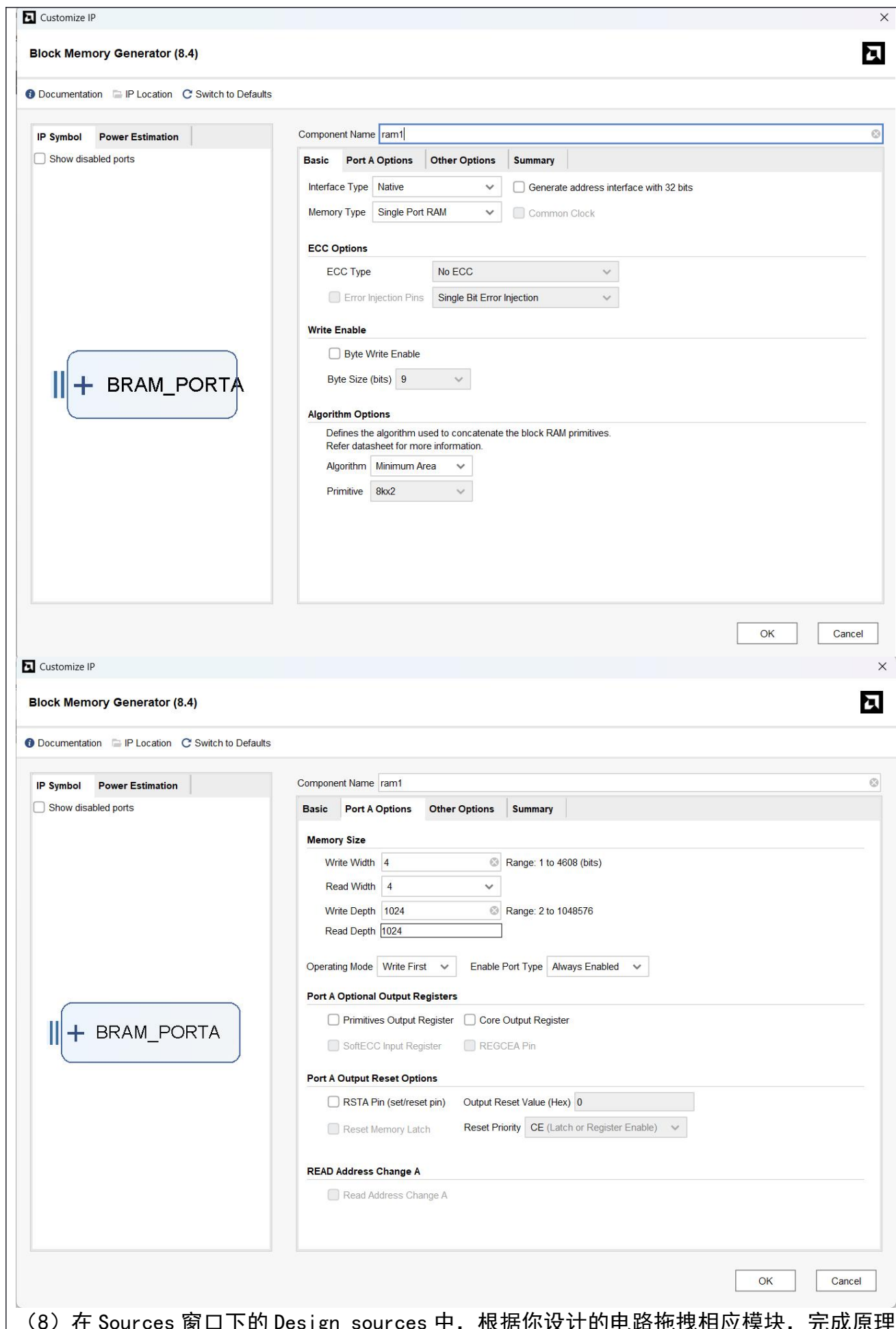
(5) 点击 Create Block Design 创建一个新的顶层设计，随后点击添加 IP 核按钮，添加 cg_fpga IP。



(6) 点击 IP Catalog, 并找到 Block Memory Generator, 开始配置 RAM

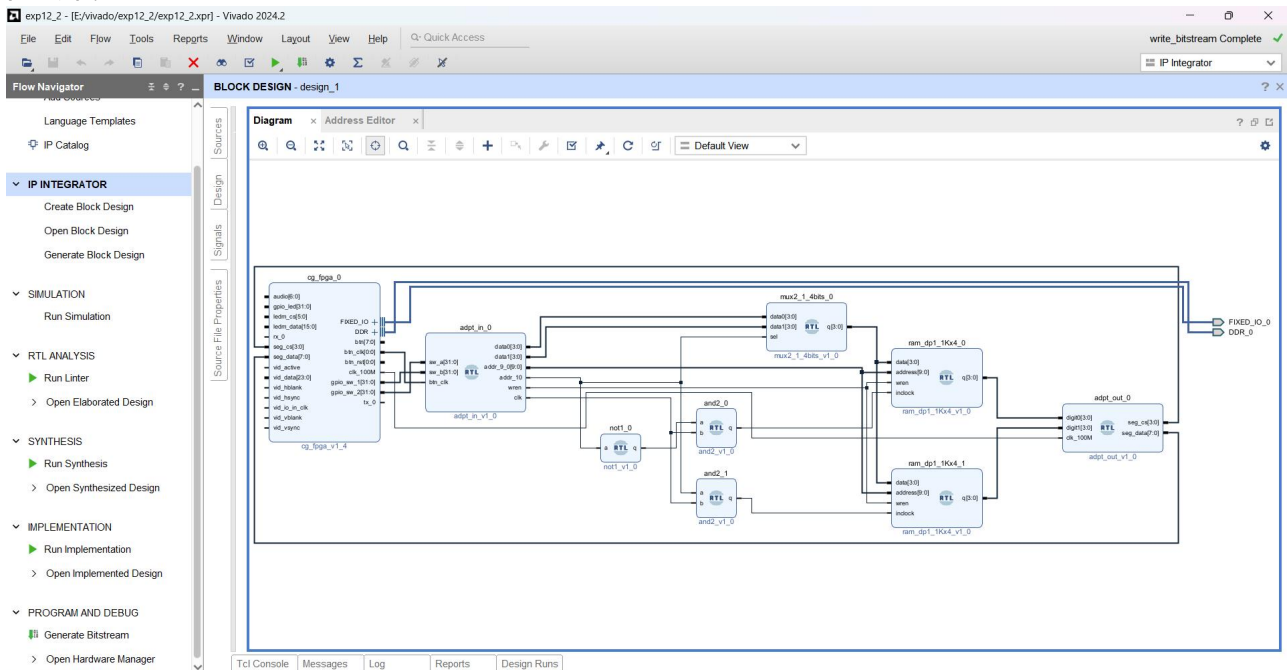


(7) 按照如下方法定制单口 RAM (1K*4), 并命名为 ram1:

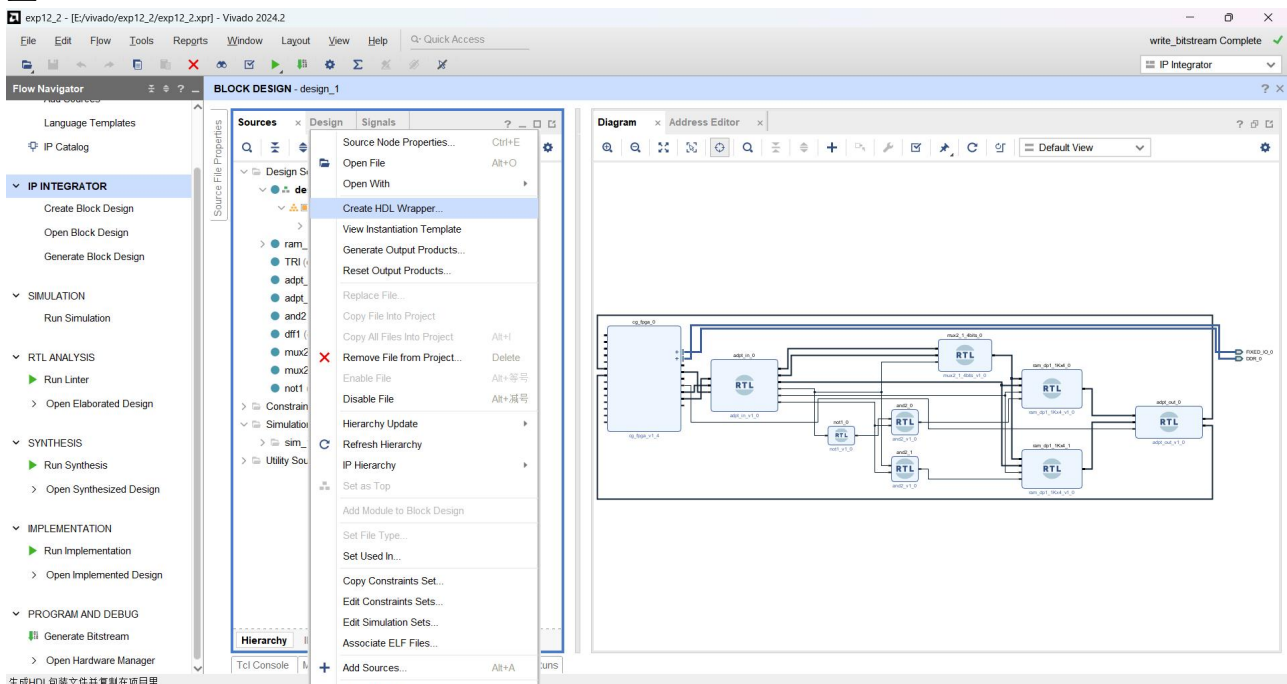


(8) 在 Sources 窗口下的 Design sources 中，根据你设计的电路拖拽相应模块，完成原理

图的输入。



(9) 右击 Sources 下顶层设计图标→Create HDL Wrapper，待 Wrapper 正确生成后，点击左下方 Generate Bitstream，开始综合并生成 bit 文件。注意：综合前 wrapper 模块应被设置为顶层（加粗表示），若自动设置错误，需右击 wrapper 图标点击 Set as Top 手动设置。



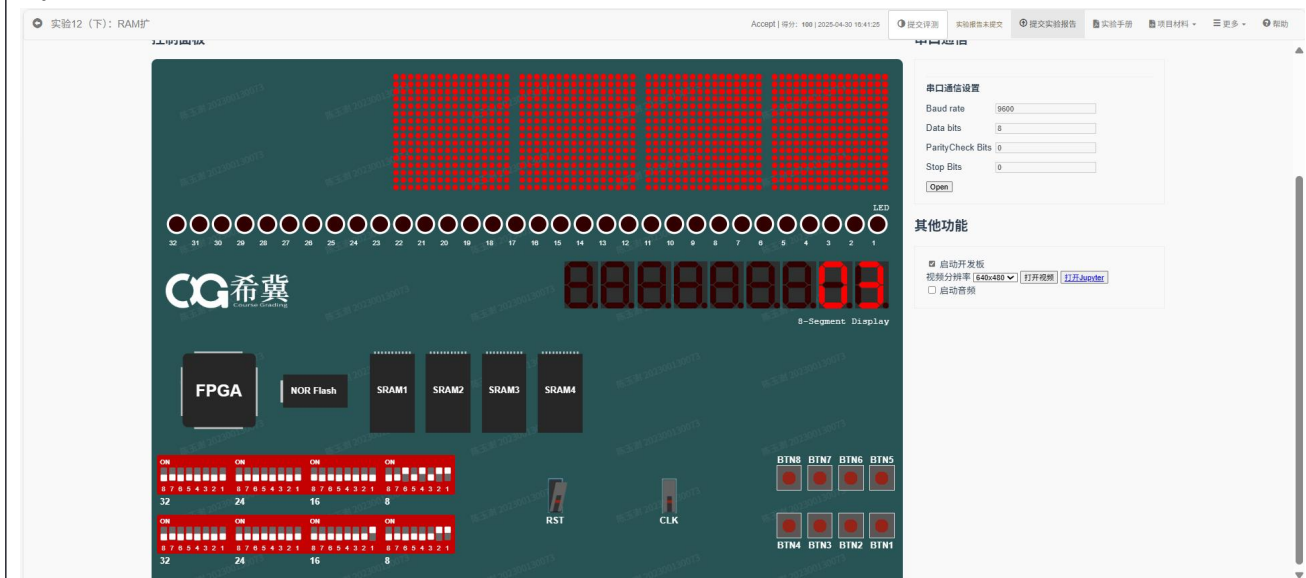
(10) 通过 FPGA 云实验平台，可在线分配远程 FPGA 硬件开发板。首先点击 connect 按钮，然后在下拉菜单中选择任意空闲的开发板，并点击 Choose File 中选择上一步生成的 *.bit 文件，后点击 send，即可将本地 bit 文件烧写至希冀远程 FPGA。



clk 信号的管脚绑定在 btn_clk 上，addr_9_0 信号的管脚绑定在上排拨码开关 10-1 上，addr_10 信号的管脚绑定在上排拨码开关 11 上，data1(4bits)，data0(4bits) 信号的管脚绑定在下排拨码开关 8-1 上，wren 信号的管脚绑定在下排拨码开关 9 上，digit1，digit0 信号的管脚绑定在数码管 2-1 上。

首先，先向半导体静态随机读写存储器 RAM 写入数据。置下派拨码开关 9 为 1（即 wren=1），此时状态为写数据。

置地址 addr10-0 为 0000101011，data=3，此时即向 RAM1 的相应地址位置处写入数据 3。



置地址 addr10-0 为 1000101011，data=7，此时即向 RAM2 的相同地址位置处写入数据 7。

经过实验检验发现，设计的半导体静态随机读写存储器 RAM 读写结果符合实验预期。

结论分析与体会：

本次实验借助 Vivado 软件和 FPGA 实验平台，围绕单口 RAM（1K*4）展开深入探究，成功实现了半导体静态随机读写存储器的基本读写功能。实验中，通过设置拨码开关准确控制读写操作，向 RAM1 和 RAM2 特定地址写入并成功读出了预期数据。通过对实验原理的研究与实践操作，我深入理解并掌握了字扩展技术。字扩展通过增加地址线数量来增加存储单元数量，如从 1K 扩展到更大容量时，新增地址线用于区分不同存储区域，实现了存储容量的提升。这不仅验证了实验设计的正确性，还为后续在存储系统设计中根据实际需求灵活运用字扩展技术优化 RAM 性能奠定了坚实基础，同时提升了在 FPGA 开发环境下的实践能力。

就.....处理的：

本实验进行过程中未遇到问题。