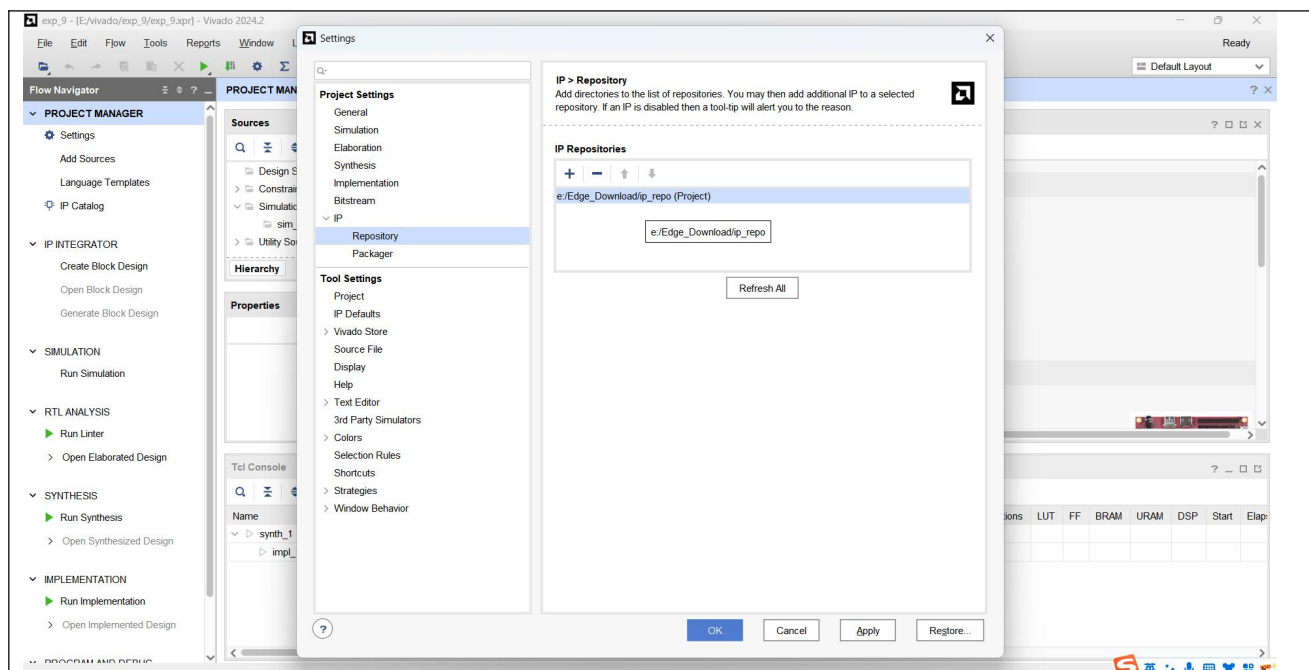
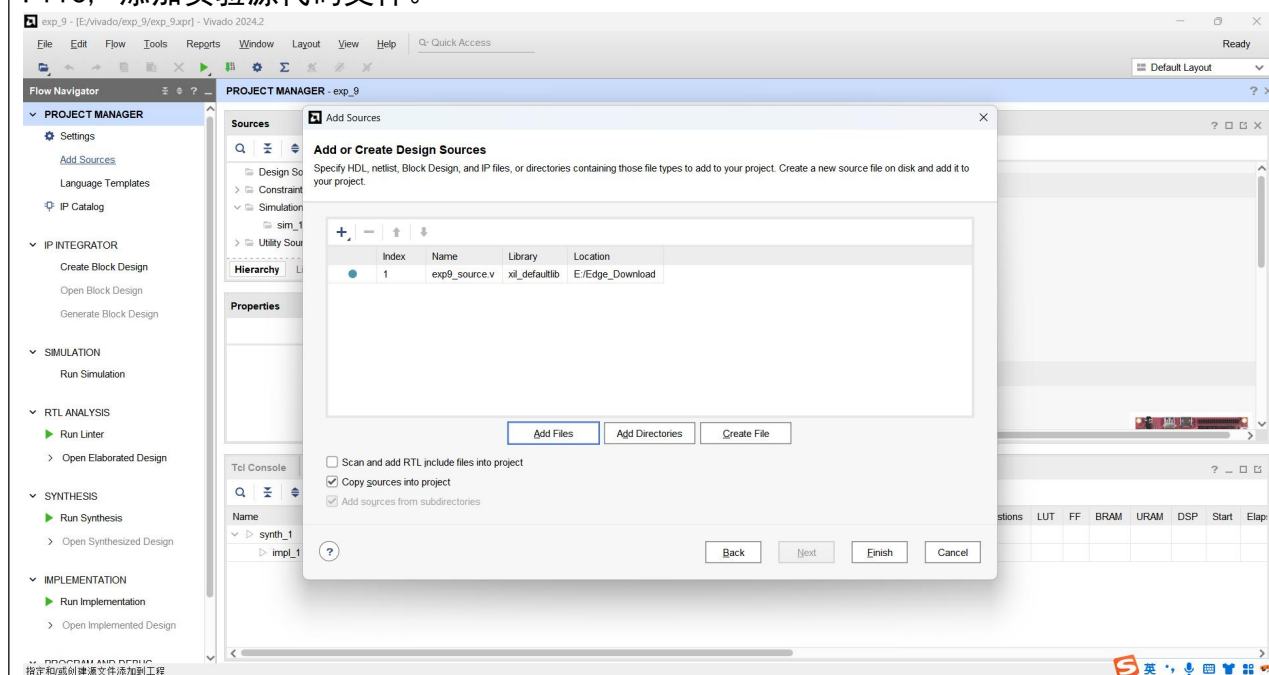


计算机组成与设计 课程实验报告

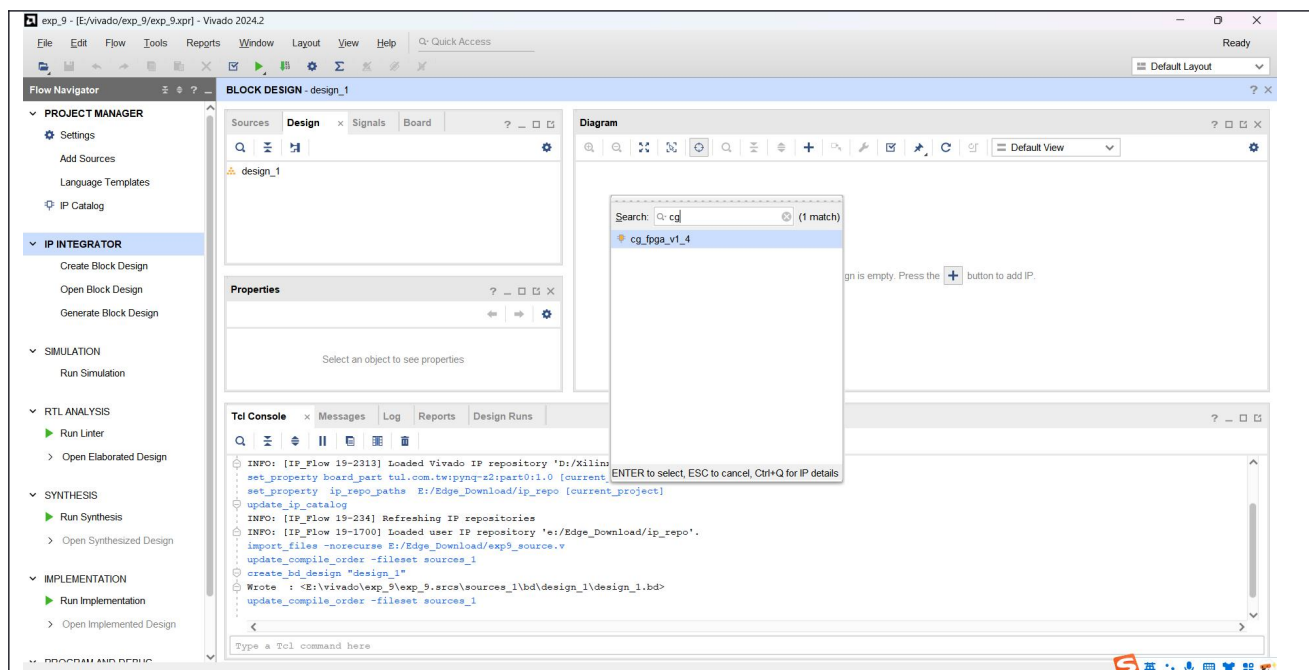
学号：202300130073	姓名：陈玉澍	班级：计科 23 级 1 班
实验题目： 实验 9 七段译码设计		
实验学时：2		实验日期：2025. 4. 22
实验目的： 熟悉 Vivado 的设计流程全过程，学习计数器的设计和硬件测试。掌握原理图的设计方法。		
实验软件和硬件环境： 软件环境： Vivado 软件、FPGA 实验平台 硬件环境： 1. 实验室台式机 2. FPGA 服务器，PYNQ-Z2 开发板		
实验原理和方法： 1、元件： (1) CNT4B：4 位计数器，实现 0-15 的循环计数，输出 4 位 2 进制数 (2) DECL7SEG：七段译码器，将 4 位二进制数转换为七段数码管的显示信号（LED7S [6:0]），支持数字 0-9 和十六进制字符 A-F 的显示。 2、计数器原理： (1) 输入信号：时钟信号（CLK）、复位信号（RST）、使能信号（ENA）。 (2) 工作逻辑：复位时计数器清零；使能信号有效（ENA=1）时，每个时钟上升沿计数器加 1；计数值达到 15 后，下一时钟周期回到 0，实现循环计数。 3、译码器原理： (1) 输入信号：4 位二进制数（A [3:0]），对应计数器输出的计数值。 (2) 输出信号：7 位段选信号（LED7S [6:0]），每位控制七段数码管的一个段（a-g）。 (3) 译码逻辑：通过组合逻辑电路，将输入的 4 位二进制数映射到对应的七段码。		
实验步骤： (1) 创建工程：打开本地安装的 Vivado 2024. 2，新建项目，选择 pynq-z2 器件。		



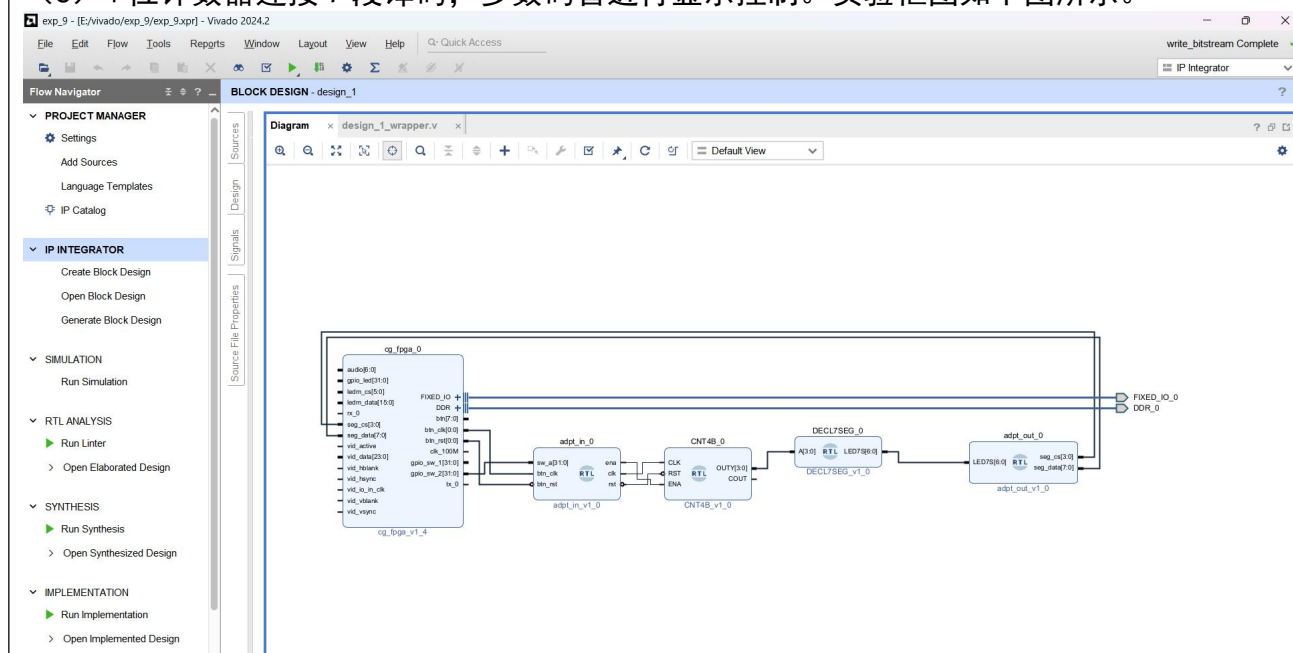
(4) 点击 Sources 窗口中的+, 选择 Add or create design sources → Next → Add File, 添加实验源代码文件。



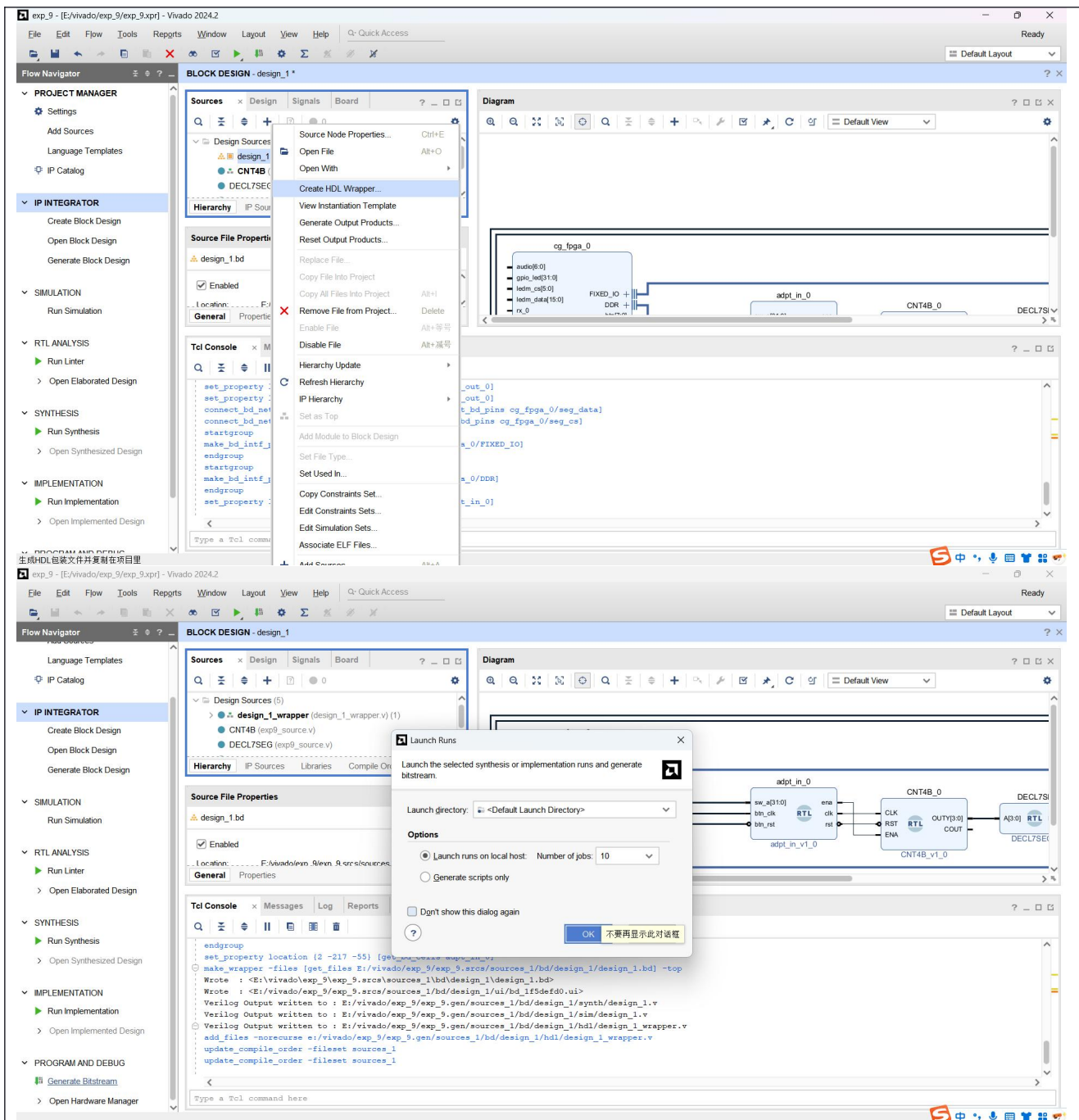
(5) 点击 Create Block Design 创建一个新的顶层设计, 随后点击添加 IP 核按钮, 添加 cg_fpga IP.



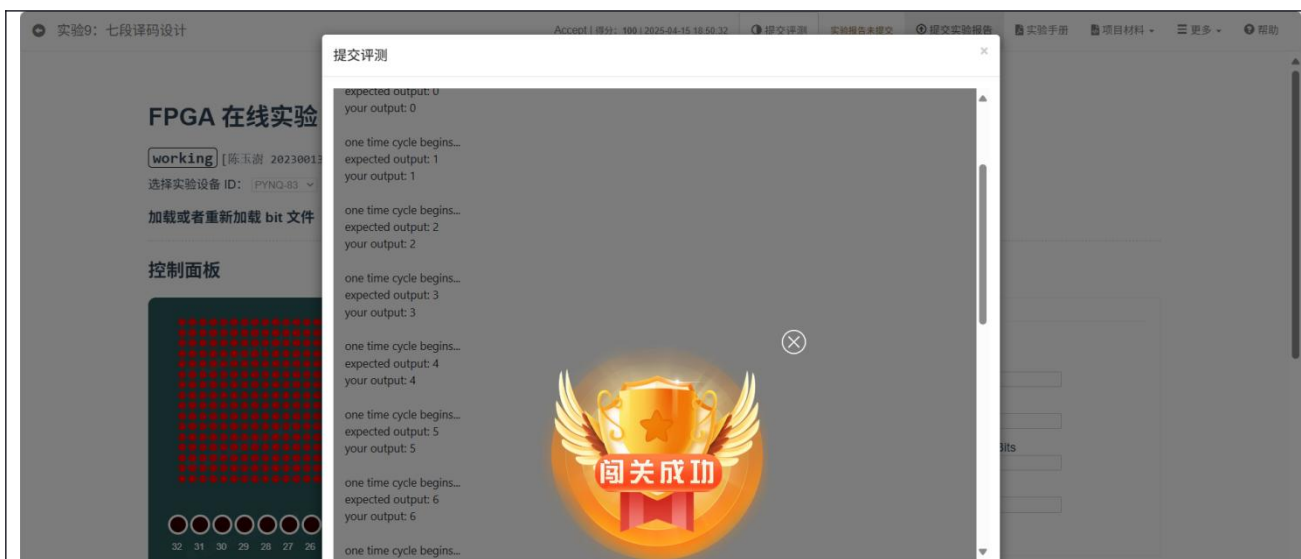
(6) 4 位计数器连接 7 段译码，多数数码管进行显示控制。实验框图如下图所示。



(7) 右击 Sources 下顶层设计图标→Create HDL Wrapper，待 Wrapper 正确生成后，点击左下方 Generate Bitstream，开始综合并生成 bit 文件。注意：综合前 wrapper 模块应被设置为顶层（加粗表示），若自动设置错误，需右击 wrapper 图标点击 Set as Top 手动设置。

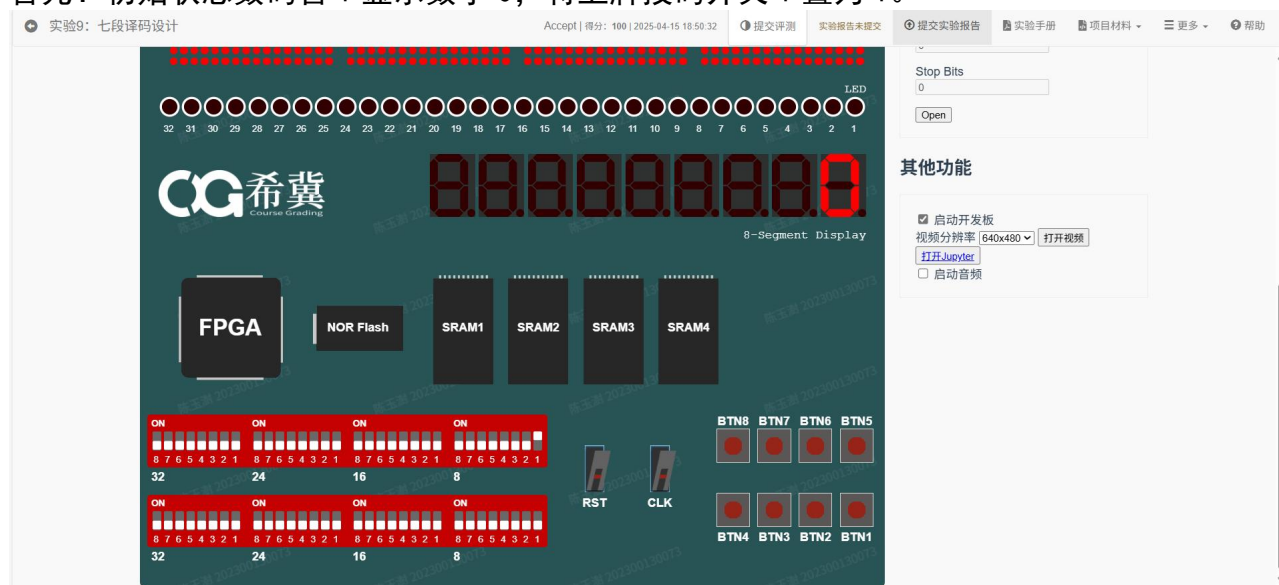


(8) 通过 FPGA 云实验平台，可在线分配远程 FPGA 硬件开发板。首先点击 connect 按钮，然后在下拉菜单中选择任意空闲的开发板，并点击 Choose File 中选择上一步生成的 *.bit 文件，后点击 send，即可将本地 bit 文件烧写至希冀远程 FPGA。

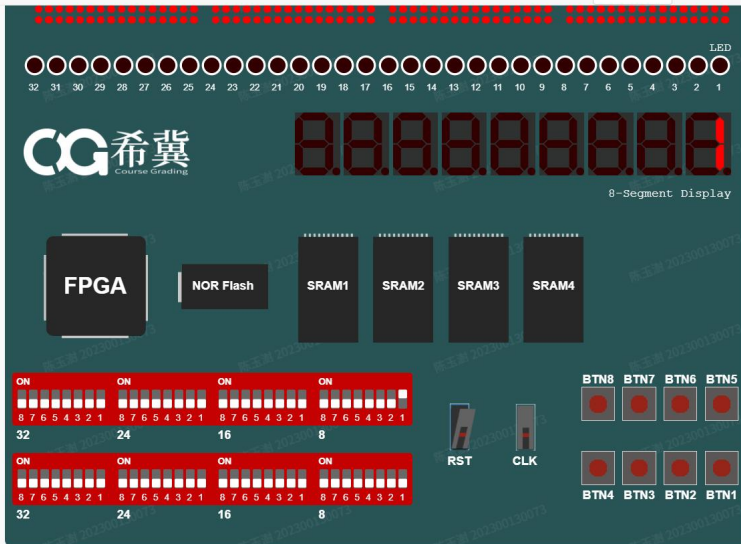


clk 信号绑定在 btn_clk 上, rst 信号绑定在 btn_rst 上, ena 信号绑定在上排拨码开关 1 上, LED7S 信号绑定在数码管 1 上。

首先！初始状态数码管 1 显示数字 0，将上排拨码开关 1 置为 1。



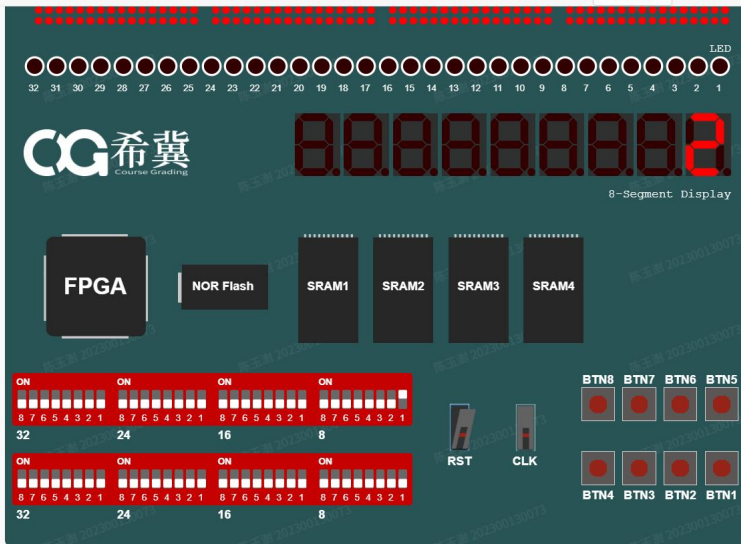
不断将 clk 从 0 置为 1，计数器在使能有效时，每个时钟周期加 1，译码器根据计数值输出对应的七段码。数码管 1 逐渐显示数字 1 到数字 15（10: A, 11: b, 12: c, 13: d, 14: e, 15: f）。



其他功能

☒ 启动开发板

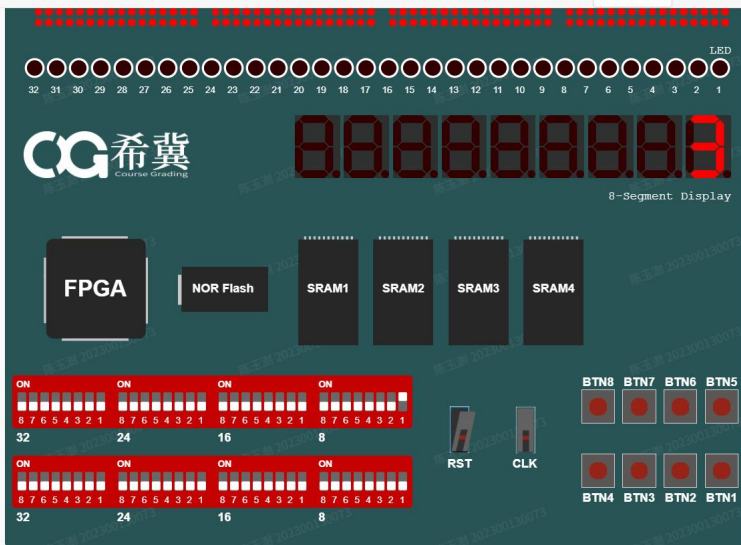
视频分辨率 640x480 打开视频

[打开Jupyter](#)☐ 启动音频

其他功能

☒ 启动开发板

视频分辨率 640x480 打开视频

[打开Jupyter](#)☐ 启动音频

其他功能

☒ 启动开发板

视频分辨率 640x480 打开视频

[打开Jupyter](#)☐ 启动音频

实验9：七段译码设计

Accept | 得分: 100 | 2025-04-15 18:50:32

提交评测

实验报告未提交

提交实验报告

实验手册

项目材料

更多

帮助

LED

32 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1

希冀

Course Grading

8-Segment Display

0.0.0.0.0.0.0.4

FPGA

NOR Flash

SRAM1

SRAM2

SRAM3

SRAM4

ON 32 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1

ON 24 16 8

ON 32 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1

ON 24 16 8

BTN8

BTN7

BTN6

BTN5

CLK

Data bits

8

ParityCheck Bits

0

Stop Bits

0

Open

其他功能

启动开发板

视频分辨率 640x480

打开视频

打开Juovier

启动音频

实验9：七段译码设计

Accept | 得分: 100 | 2025-04-15 18:50:32

提交评测

实验报告未提交

提交实验报告

实验手册

项目材料

更多

帮助

LED

32 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1

希冀

Course Grading

8-Segment Display

0.0.0.0.0.0.0.5

FPGA

NOR Flash

SRAM1

SRAM2

SRAM3

SRAM4

ON 32 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1

ON 24 16 8

ON 32 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1

ON 24 16 8

BTN8

BTN7

BTN6

BTN5

CLK

Data bits

8

ParityCheck Bits

0

Stop Bits

0

Open

其他功能

启动开发板

视频分辨率 640x480

打开视频

打开Juovier

启动音频

实验9：七段译码设计

Accept | 得分: 100 | 2025-04-15 18:50:32

提交评测

实验报告未提交

提交实验报告

实验手册

项目材料

更多

帮助

LED

32 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1

希冀

Course Grading

8-Segment Display

0.0.0.0.0.0.0.6

FPGA

NOR Flash

SRAM1

SRAM2

SRAM3

SRAM4

ON 32 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1

ON 24 16 8

ON 32 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1

ON 24 16 8

BTN8

BTN7

BTN6

BTN5

CLK

Data bits

8

ParityCheck Bits

0

Stop Bits

0

Open

其他功能

启动开发板

视频分辨率 640x480

打开视频

打开Juovier

启动音频

实验9: 七段译码设计

Accept | 得分: 100 | 2025-04-15 18:50:32

提交评测

实验报告未提交

提交实验报告

实验手册

项目材料

更多

帮助

LED

32 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1

CG希冀

Course Grading

8-Segment Display

8 8 8 8 8 8 8 8

FPGA

NOR Flash

SRAM1

SRAM2

SRAM3

SRAM4

ON 8 7 6 5 4 3 2 1

ON 8 7 6 5 4 3 2 1

ON 8 7 6 5 4 3 2 1

ON 8 7 6 5 4 3 2 1

32 24 16 8

RST CLK

BTN8 BTN7 BTN6 BTN5

Data bits

8

ParityCheck Bits

0

Stop Bits

0

Open

其他功能

启动开发板

视频分辨率 640x480

打开视频

打开Jupyter

启动音频

实验9: 七段译码设计

Accept | 得分: 100 | 2025-04-15 18:50:32

提交评测

实验报告未提交

提交实验报告

实验手册

项目材料

更多

帮助

LED

32 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1

CG希冀

Course Grading

8-Segment Display

8 8 8 8 8 8 8 8

FPGA

NOR Flash

SRAM1

SRAM2

SRAM3

SRAM4

ON 8 7 6 5 4 3 2 1

ON 8 7 6 5 4 3 2 1

ON 8 7 6 5 4 3 2 1

ON 8 7 6 5 4 3 2 1

32 24 16 8

RST CLK

BTN8 BTN7 BTN6 BTN5

Data bits

8

ParityCheck Bits

0

Stop Bits

0

Open

其他功能

启动开发板

视频分辨率 640x480

打开视频

打开Jupyter

启动音频

实验9: 七段译码设计

Accept | 得分: 100 | 2025-04-15 18:50:32

提交评测

实验报告未提交

提交实验报告

实验手册

项目材料

更多

帮助

LED

32 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1

CG希冀

Course Grading

8-Segment Display

8 8 8 8 8 8 8 8

FPGA

NOR Flash

SRAM1

SRAM2

SRAM3

SRAM4

ON 8 7 6 5 4 3 2 1

ON 8 7 6 5 4 3 2 1

ON 8 7 6 5 4 3 2 1

ON 8 7 6 5 4 3 2 1

32 24 16 8

RST CLK

BTN8 BTN7 BTN6 BTN5

BTN4 BTN3 BTN2 BTN1

Stop Bits

0

Open

其他功能

启动开发板

视频分辨率 640x480

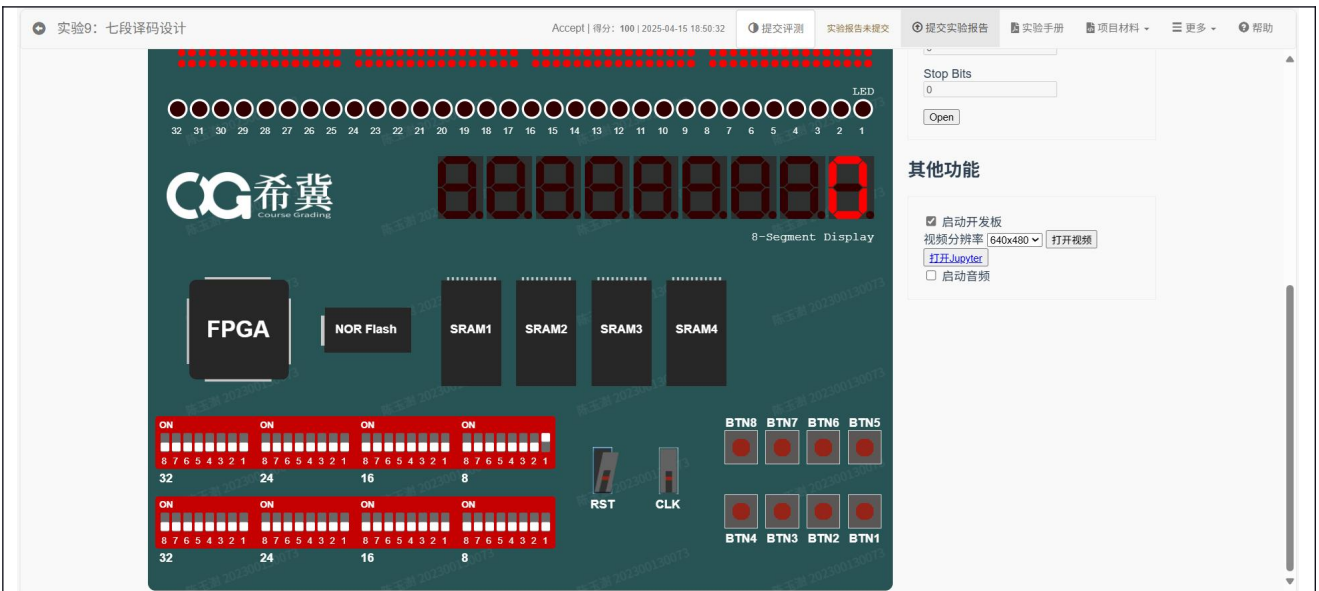
打开视频

打开Jupyter

启动音频

The image displays three identical screenshots of a digital logic simulation interface, likely for an FPGA-based 7-segment display decoder. The interface is divided into several sections:

- Top Bar:** Shows the simulation status as "Accept | 得分: 100 | 2025-04-15 18:50:32". It includes buttons for "提交实验报告" (Submit Experiment Report), "提交评测" (Submit Evaluation), and "实验报告未提交" (Experiment Report Not Submitted).
- Main Simulation Area:** Displays a block diagram of the hardware components:
 - FPGA:** The central processing unit.
 - NOR Flash:** Connected to the FPGA.
 - SRAMs:** Four SRAM blocks labeled SRAM1, SRAM2, SRAM3, and SRAM4.
 - LEDs:** A row of 32 LEDs at the top, numbered 32 down to 1. The 8-segment display is connected to LEDs 1-8.
 - 8-Segment Display:** Shows the hexadecimal digit "A" in red.
 - Buttons:** Eight buttons labeled BTN1 through BTN8.
 - Switches:** Two switches labeled RST and CLK.
 - Switches:** Four switches labeled 32, 24, 16, and 8.
- Right Sidebar:** Contains controls for the simulation:
 - Stop Bits:** A dropdown menu set to "0" and an "Open" button.
 - 其他功能 (Other Functions):** Includes a checkbox for "启动开发板" (Start Development Board), a video resolution dropdown set to "640x480", a "打开视频" (Open Video) button, a "打开Jupyter" (Open Jupyter) button, and a checkbox for "启动音频" (Start Audio).



与预期得到结果相符。

结论分析与体会：

通过本次“七段译码设计”实验，我对 FPGA 开发流程和数字逻辑设计有了更深入的理解。实验中，我熟练掌握了 Vivado 工具的工程创建、IP 核添加、模块连接及硬件测试等关键步骤，深刻体会到计数器与译码器在数字系统中的核心作用。

在计数器设计中，通过复位、使能和时钟信号的协同控制，实现了 0-15 的循环计数，理解了时序逻辑电路的工作特性。而七段译码器的设计则要求精准的组合逻辑映射，将 4 位二进制数正确转换为七段码，这让我对数字显示原理有了清晰的认识。此外，通过硬件平台的在线调试，我学会了如何将理论设计映射到实际硬件，验证功能正确性，增强了理论与实践结合的能力。

就...处理的：

本实验进展顺利，没有出现问题。