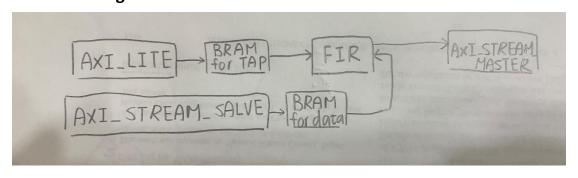
1 . Block Diagram



2 · Describe Operation

AXI_LITE 在寫入 Data 和 Address 時,若 awready 和 awvalid 同時為 1 時,address 寫入 Tap RAM 中,若 wready 和 wvalid 同時為 1 時,data 寫入 Tap RAM 中。若 arready 和 arvalid 同時為 1 時,adress 從 Tap RAM 中讀出,若 rready 和 rvalid 同時為 1 時,data 讀出。而藉由 AXI_STREAM_SALVE 的介面,若 ss_tvalid 和 ss_tready 同時為 1 時,存入 Data RAM,再藉由 RAM 中的 DI 輸出 Data 後進入 FIR 計算流程,與 Tap 相乘累加後再經由 AXI_STREAM_MASTER 作輸出。

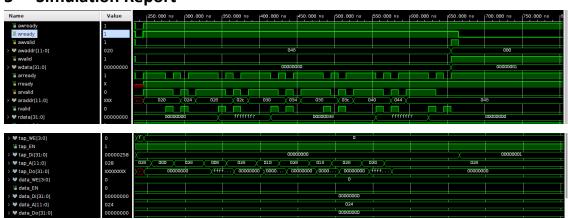
3 · Resource Usage

Resource	Estimation	Available	9	Utilization %
LUT		301	53200	0.57
FF		278	106400	0.26
DSP		3	220	1.36
10		329	125	263.20
BUFG		1	32	3.13

4 . Timing Report

Setup		Hold				
Worst Negative Slack (WNS):	1.257 ns	Worst Hold Slack (WHS):	0.147 ns			
Total Negative Slack (TNS):	0.000 ns	Total Hold Slack (THS):	0.000 ns			
Number of Failing Endpoints:	0	Number of Failing Endpoints:	0			
Total Number of Endpoints:	388	Total Number of Endpoints:	388			

5 · Simulation Report



ss_tvalid	1									
<pre>ss_tdata[31:0]</pre>	ffffff2a	\ f1	ffffecb	X	0000031	d	X	fffffc35	X ff	ffff2a
∛ ss_tlast	0									
ss_tready	1									
sm_tready	1									
sm_tvalid	0	Л			п					
sm_tdata[31:0]	00000000	0000	00000 X.	00000000		00000000	(XXX) 001	000000 \(\cdot\).\(\cdot\).	00000000	