**2020年新工科联盟-Xilinx暑期学校团队项目设计文档**

**设计文稿提交格式**

**(Project Paper Submission Template)**

|  |  |
| --- | --- |
| **作品名称** | 基于FPGA的飞机躲避小游戏 |
| **板卡型号** | SEA-S7 |
| **所在班级** | A班 |
| **成员姓名、学号、学校** | 06017339 陈昱 东南大学  06017123 涂昌昕 东南大学 |
| **Github链接** | Https://github.com/YUSHEN233/-fpga-.git |

**第一部分**

设计概述 /Design Introduction

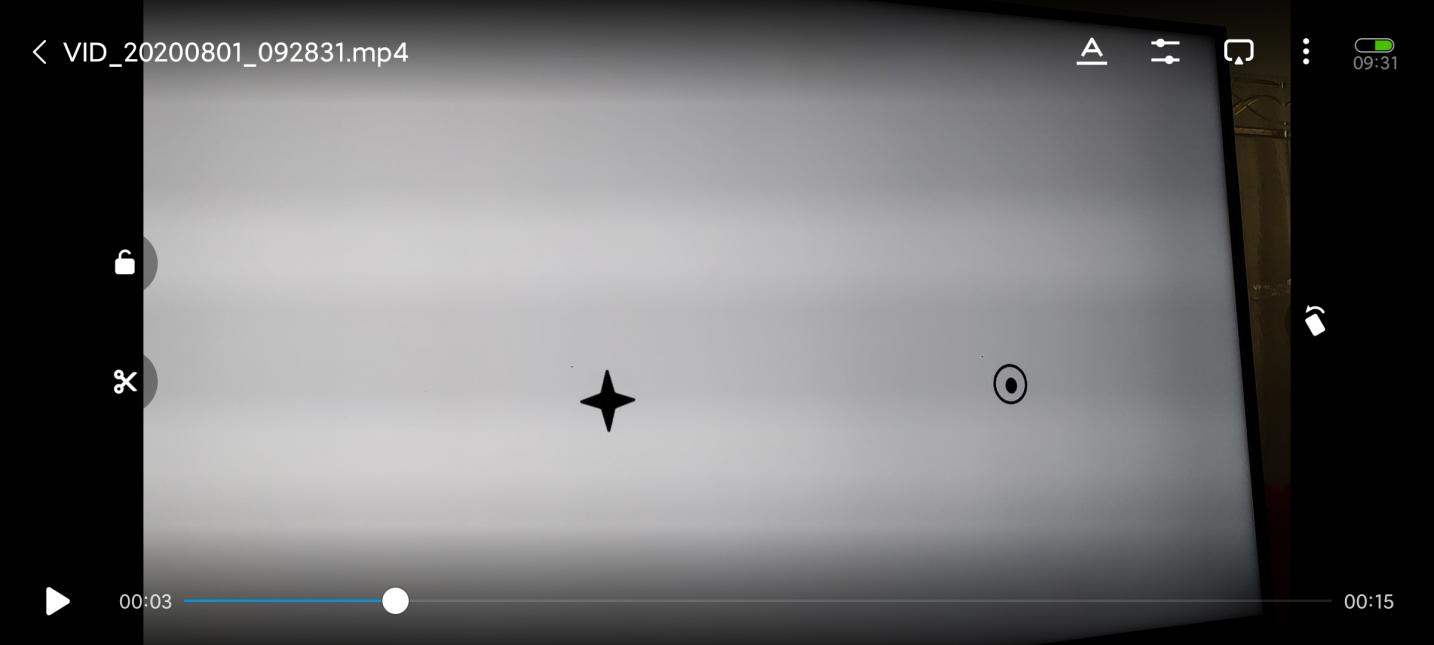
（1.请概括地描述一下你的设计，可包括本设计目的、学习到的知识点、应用方向或者设想的应用场景等；2. 经组内成员讨论后以表格的形式描述项目中各成员在项目中发挥的作用或者贡献百分比；3.作品的展示照片）

1. 本次项目的设计主要是以复现经典避障小游戏为目的，在设计的过程中，主要涉及到的知识点有（1）根据HDMI的时序和扫描方式来编写HDMI驱动；（2）用matlab将png格式的图片转化为rom中可以存放的coe格式文件；（3）对于案件的的消抖，长按及短按的识别；（4）对于图片显示在屏幕上位置的合理规划；（5）伪随机数种子的生成和使用；（6）总状态机的编写以及对于游戏的不同模块的不同时序分频（7）不同ip核的调用

应用方向可以为基于FPGA的低成本简单小游戏集合。

|  |  |
| --- | --- |
| 组员名 | 贡献百分比 |
| 陈昱 | 60% |
| 涂昌昕 | 40% |

3.（1）如图所示，左边的星形为飞机，右边的圈为ufo，飞机可以随着按键上下移动



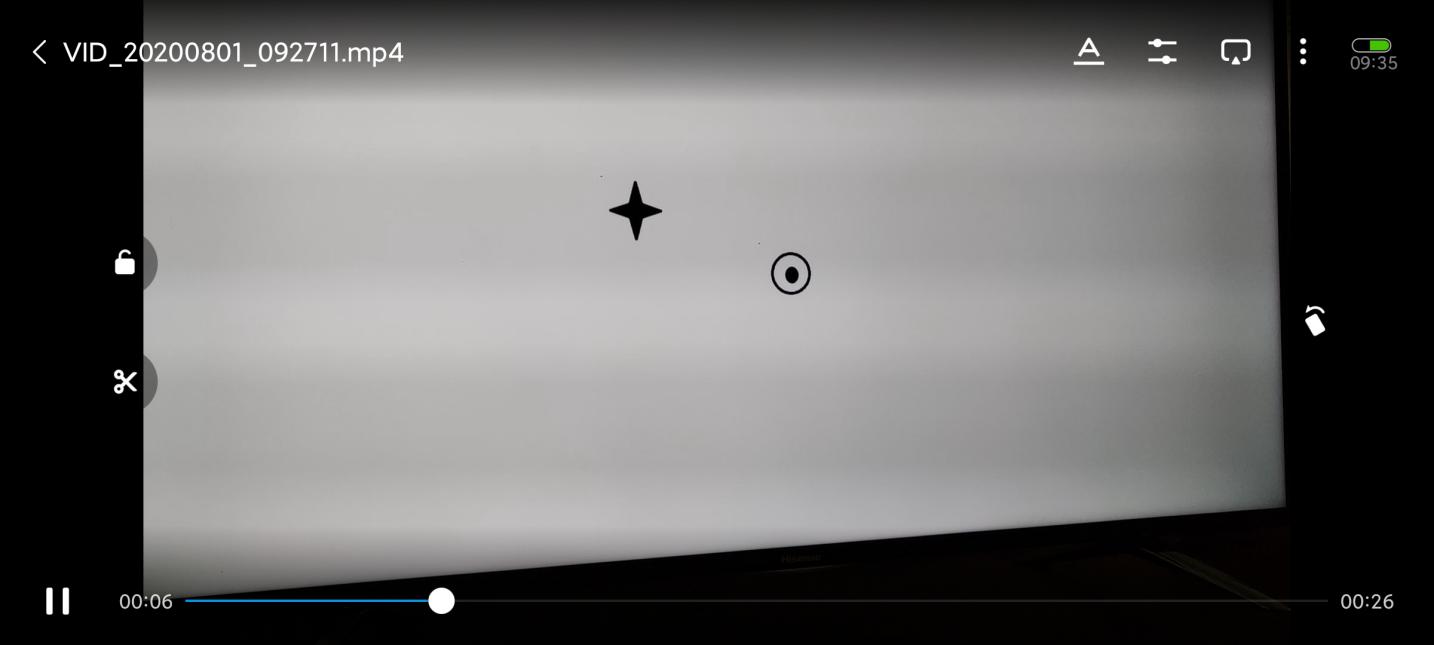


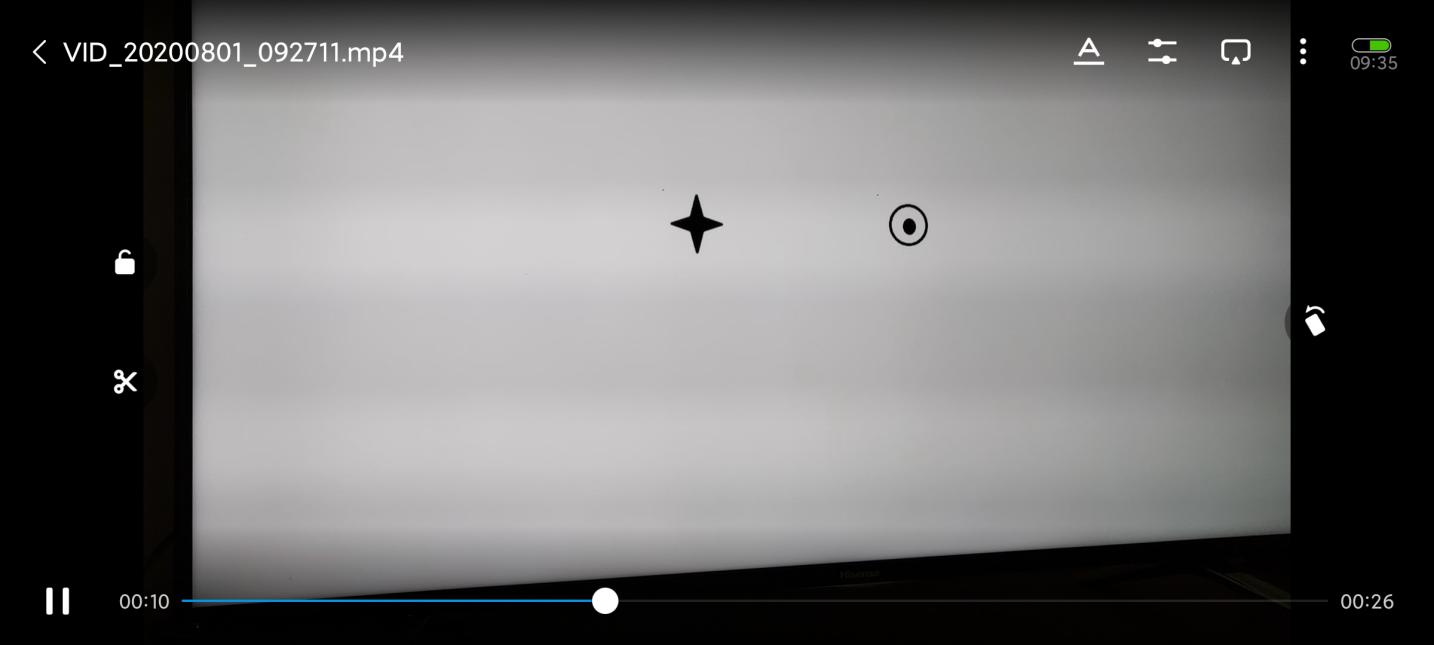


（2）在飞机碰撞到ufo后，游戏会停止，直至再次按下按键便可启动



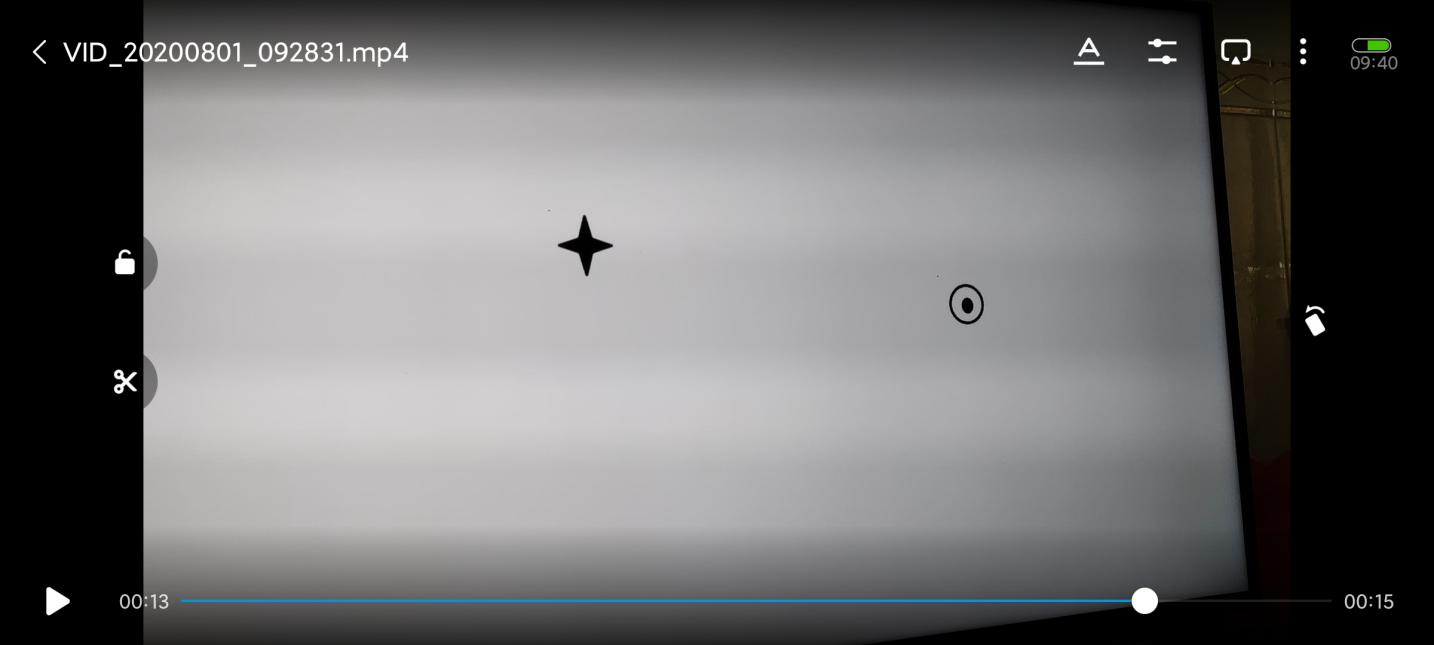
（3）Ufo的产生是随机的，在每一个ufo达到尽头后会在右边随机产生

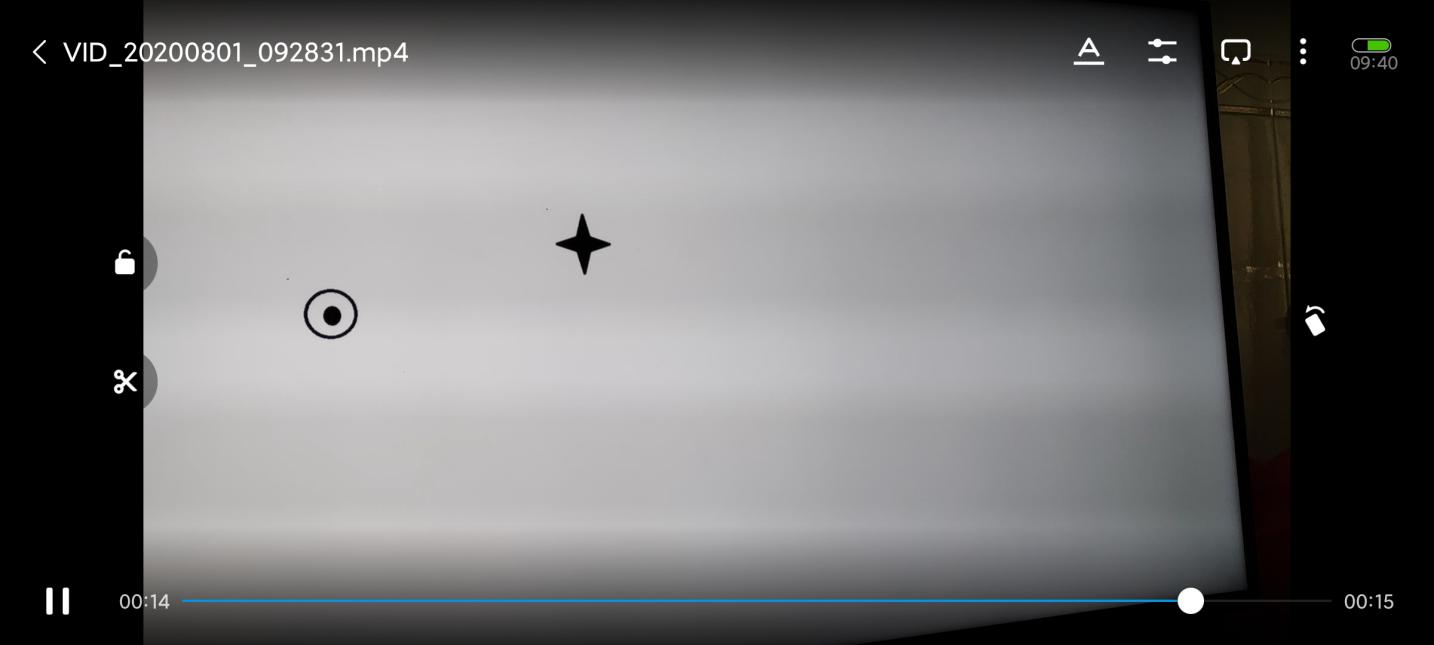




1. Ufo的速度会逐渐加快,下面两组图片都是相差一秒截图，可见第一组的速度远比第二组块

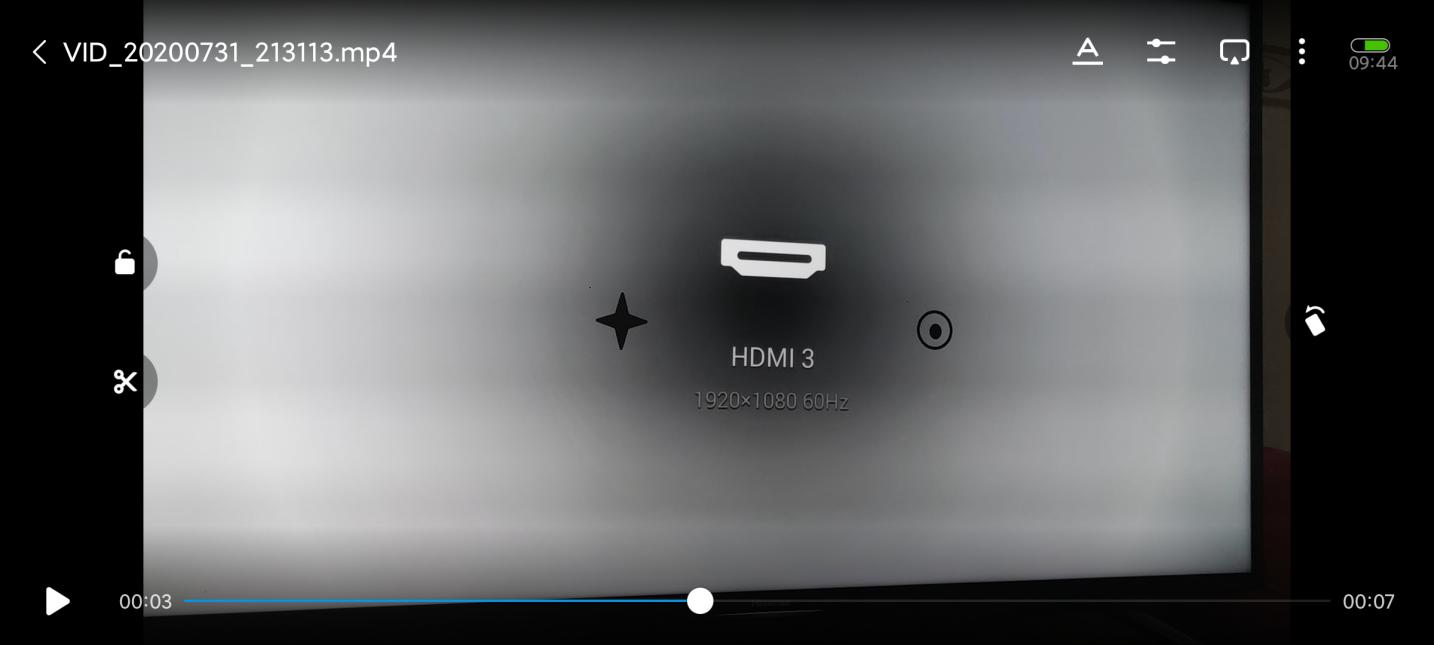
第一组





第二组





**第二部分**

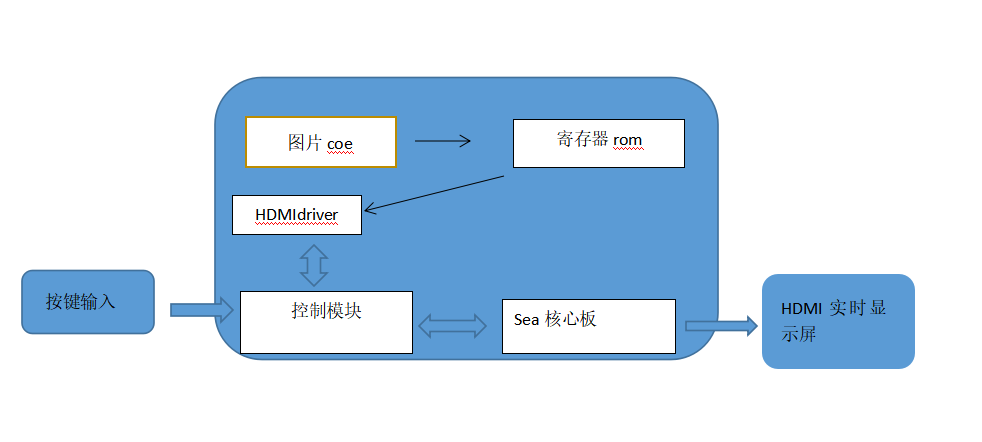
系统组成及功能说明 /System Construction & Function Description

（请对作品的1. 计划实现及已实现的功能；2. 项目系统框图；3. 使用的技术方向做说明）

1.作品计划以及实现的功能

|  |  |
| --- | --- |
| 功能 | 是否实现 |
| 飞机上下移动 | 是 |
| Ufo在屏幕右边随机产生并向左移动 | 是 |
| Ufo与飞机碰撞后游戏停止 | 是 |
| Ufo速度随游戏进程逐渐加快 | 是 |
| 在多行同时产生ufo | 否 |
| 计分 | 否 |

2.系统项目框图



3.技术方向说明

基于Verilog语言的FPGA设计，根据HDMI的时序图和扫描方式，使用随机数生成，状态机编写及按键控制等来达到在HDMI实时显示屏上显示想要的游戏效果。

**第三部分**

完成情况及性能参数 /Final Design & Performance Parameters

（作品已实现的功能及性能指标）

1. 首先在按键模块作品加入按键消抖代码，对于20ms以下的抖动可以消去防止抖动造成的按键输入误差。对于大于20ms的按键输入信号，大于20ms小于1s为短按,大于1s小于2s为中长按,2s以上为长按。本作品中仅对短按的输入信号进行了编写。
2. Ufo和飞机的png图片均为100\*100，利用位宽为8深度为10000的ram对其coe文件进行存储，ufo和飞机在屏幕上的纵宽度均为400~500,500~600,600~700，其中飞机的上下移动由按键输入来进行，而ufo出现的位置由随机数生成器来判断。
3. 飞机的初始位置为横宽度550到750，Ufo初始位置为横宽度1800~1900，每隔1s像左移动150码，再碰到飞机后游戏会停止，ufo将停在飞机前，直至再次按下按键便可重启游戏。随着游戏进程ufo向左移动的速度会逐渐加快，ufo每隔20s向左移动增加50码。

**第四部分**

总结 /Conclusions

（谈一谈完成暑期学校课程后的收获与感想。请每位组员分开写。）

1.涂昌昕

暑期学校告一段落，虽然因为疫情原因，没能在线下参与，硬件设也不齐全，但总体来说，经过两周的学习，碰到许多问题，也有很多收获。

因为自身Verilog语言基础较差，面对前期紧凑的学习进度感到有些困难，但靠着课上老师的讲解和同学的帮助，基本完成了学习任务。在后期的设计过程中，通过和组员的合作，也算较为圆满的完成了任务。FPGA在未来有很广阔的应用前景，学会如何设计使用十分重要。但是最大的收获，还是锻炼了自己短时间内的学习和应用能力，拓宽了自己的视野，对未来的学习和就业有很大的启发。

2.陈昱

在项目的设计完成后感觉到很累，为期两周的暑期实习终于结束了，但也有一种充实感。虽然因为疫情原因没法参与线下学习，但经过两周的学习之后学到了很多知识。虽然在实习刚开始的时候因为硬件语言基础比较差一度陷入学习困难的窘况，但在和同学们的交流和助教的帮助下，基本完成前面的学习，也对verilog的语言有了基础的了解。而在后来的项目开发中，我们小组通过网上学习综合前面所学的基础，在不断地错误和调试中还算基本完成了我们的项目需求。在这段学习中，我短时间内学习的能力得到了充分的锻炼，我非常感谢学习和xilinx公司能给我这样的学习机会。