

实验三 时序电路设计实验报告

姓名：丘绎楦

学号：1820221050

班级：07812201

手机：15010901562

注：黑色字体内容不能改动，蓝色字体内容（为示例或说明）需删除和修改。

1. 实验题目

某自动售货机出售四元一瓶的饮料，但是每次只能投入一元硬币。当连续投入四个硬币后，售货机才会给出一瓶饮料。如果投入的硬币不足四元，售货机不会退回之前所投入的硬币。假设输入 $X=1$ 表示投入一元硬币， $X=0$ 表示未投入一元硬币；输出 $Z=1$ 表示售货机给出一瓶饮料， $Z=0$ 表示未给出饮料。

2. 电路设计

a) 规范化

电路输入为信号 X ，信号 CLK ，信号 $RESET$ ，输出为信号 Z ：

输入信号 X 表示是否投入一元硬币， CLK 表示时钟信号， $RESET$ 为复位信号，输出信号 $Z=1$ 表示给出一瓶饮料， $Z=0$ 表示未给出饮料。

电路的时序行为如下：

电路的状态在每次时钟信号的上升沿和 $RESET$ 信号的上升沿会发生改变，其中如果 $RESET$ 信号为 1，电路则直接恢复为初始状态 A；如果 $RESET$ 信号不为 1，则电路的当前状态直接向下一状态转变。

当电路为状态 A，输入 $X=1$ ，电路下一状态转变成 B；电路为状态 B，输入 $X=1$ ，电路下一状态转变成 C；电路为状态 C，输入 $X=1$ ，电路下一状态转变成 D；电路为状态 D，输入 $X=1$ ，电路下一状态转变成 A，输出 $Z=1$ （其余条件下都输出 $Z=0$ ）。电路处于 ABCD 中某一个状态时，输入 $X=0$ ，电路仍然保持为

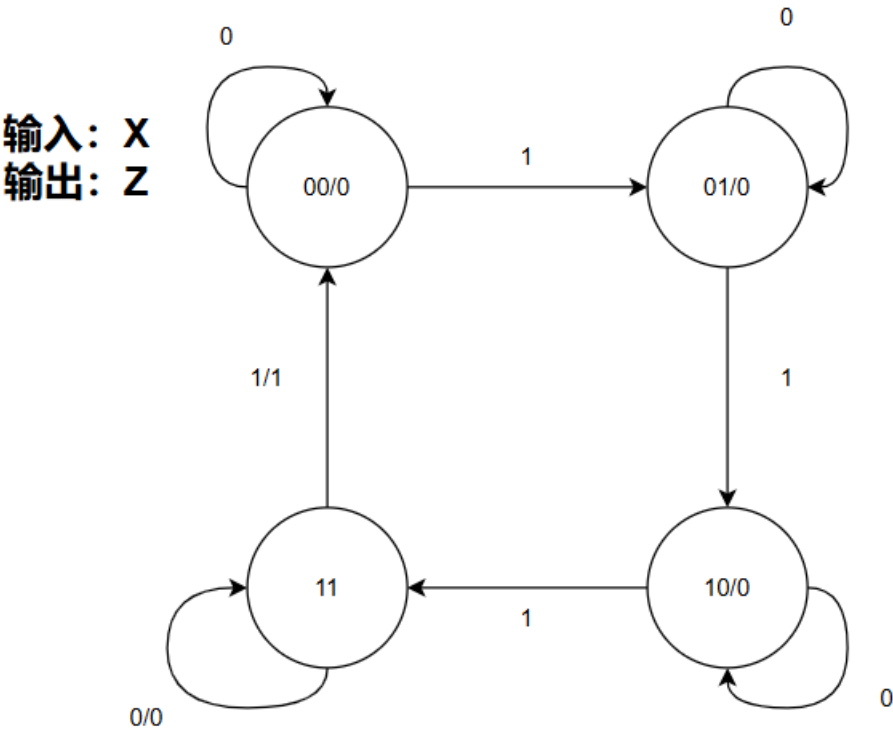
当前状态

b) 形式化

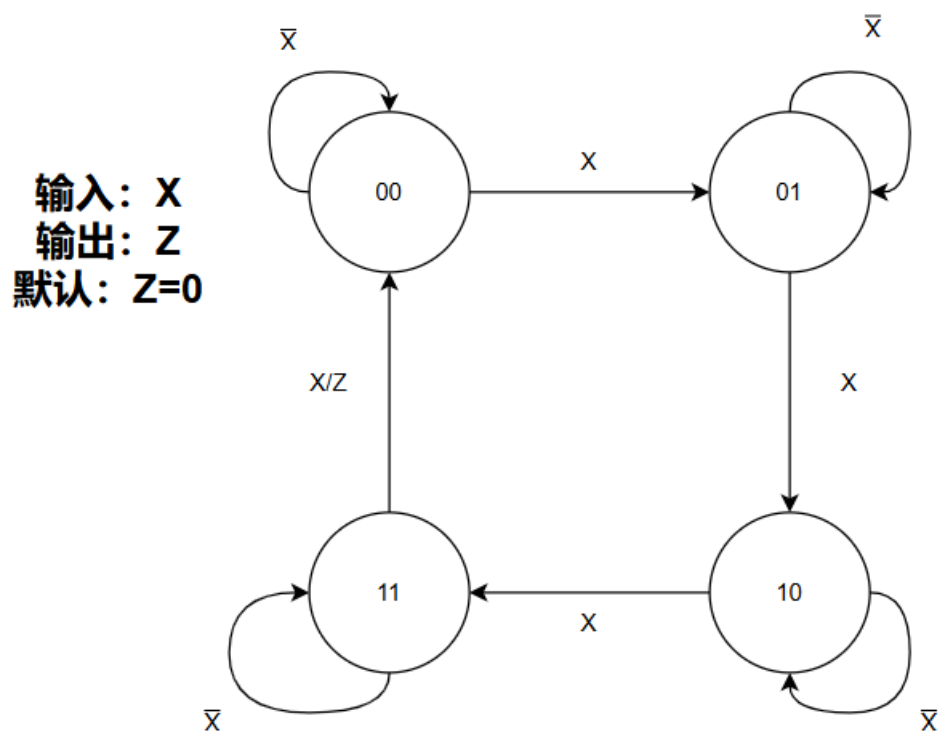
电路的状态表为：

当前状态		下一状态				输出	
		X=0		X=1		X=0	X=1
A	B	A	B	A	B	Z	Z
0	0	0	0	0	1	0	0
0	1	0	1	1	0	0	0
1	0	1	0	1	1	0	0
1	1	1	1	0	0	0	1

电路状态图：



电路状态机图：



c) 状态分配

对状态分配二进制码，对每个状态分配二位二进制码：

$A=2'b00$, $B=2'b01$, $C=2'b10$, $D=2'b11$

3. 电路实现

```

1. `timescale 1ns/1ps
2.
3. module ex3(X,Z,CLK,RESET);
4.     input X;
5.     input CLK;
6.     input RESET;
7.     output Z;
8.     reg[1:0] state, next_state;
  
```

```

9.     parameter A=2'b00, B=2'b01, C=2'b10, D=2'b11; // 每一个状态对应的二进制
      码
10.     reg Z;
11.
12.     // 只有时钟输入或复位输入才触发
13.     always @(posedge CLK or posedge RESET)
14.     begin
15.         if(RESET)
16.             state <= A;
17.         else
18.             state <= next_state;
19.     end
20.
21.     always @(X or state)
22.     begin
23.         case(state)
24.             A: Z = 1'b0;
25.             B: Z = 1'b0;
26.             C: Z = 1'b0;
27.             D: Z = X ? 1'b1 : 1'b0; // 只有当第四枚硬币放入时才有饮料
28.         endcase
29.     end
30.
31.     // 调整下一个状态
32.     always @(X or state)
33.     begin
34.         case(state)
35.             A: next_state <= X ? B : A;
36.             B: next_state <= X ? C : B;
37.             C: next_state <= X ? D : C;
38.             D: next_state <= X ? A : D;
39.         endcase
40.     end
41. endmodule

```

4. 电路验证

a) TestBench

```

1. `timescale 1ns / 1ps
2. ////////////////////////////////////////
   //

```

```

3. // Company:
4. // Engineer:
5. //
6. // Create Date: 2024/06/10 20:18:14
7. // Design Name: 丘绎植
8. // Module Name: testbench
9. // Project Name:
10. // Target Devices:
11. // Tool Versions:
12. // Description:
13. //
14. // Dependencies:
15. //
16. // Revision:
17. // Revision 0.01 - File Created
18. // Additional Comments:
19. //
20. //////////////////////////////////////
   //
21.
22.
23. module testbench(
24.     );
25.     reg x,clock,reset;
26.     wire z;
27.
28.     integer i=0;
29.     reg[0:21] test_coin=22'b1010100010100010101000;
30.     //这是输入的硬币序列中 1 表示投入一枚硬币 0 表示没有投入硬币
31.     //要求的输出是投入四枚硬币后 Z=1
32.     //输入序列 1 后面必定跟上一个 0，因为 1 硬币投入的时间不可能是连续不断的投入
33.     parameter period = 10;
34.
35. initial begin
36.     reset=1'b1;
37.     x =1'b0;
38.     //保证初始状态
39.     #(period);
40.     reset=1'b0;
41.     for(i=0;i<22;i=i+1)
42.     begin
43.         x = test_coin[i];
44.         //输入 x 从当前的硬币序列号转换成下一硬币序列号
45.         #period;

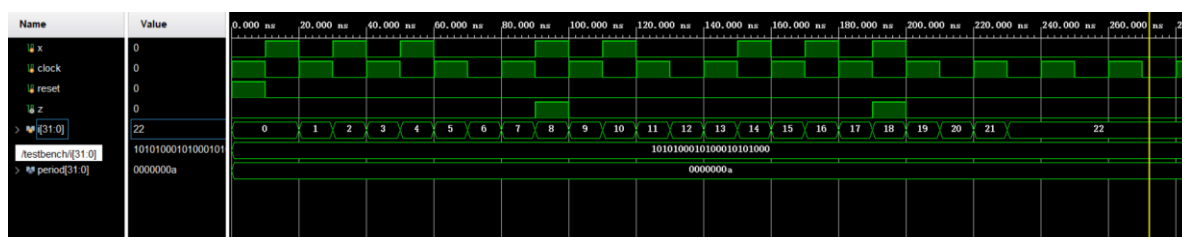
```

```

46.     end
47. end
48.     //clock 表示 testbench 中的时钟信号
49.     always
50.     begin
51.         clock=1'b1;
52.         #(period);
53.         clock=1'b0;
54.         #(period);
55.     end
56.
57. ex3 u_ex3(
58.     .X(x),
59.     .CLK(clock),
60.     .RESET(reset),
61.     .Z(z)
62. );
63. endmodule

```

a) 仿真结果



64. 实验心得

这已经是我第三次参与数字逻辑实验，每一次都让我获得了宝贵的经验和深刻的认识。在实验过程中，我通过自己的思考和实践，不仅巩固了理论知识，还形成了自己对问题的独特见解。实验中，我学会了带着问题去探索，这不仅锻炼了我的动手能力，也在不知不觉中提升了我的解决问题的能力。通过这一系列的实验，我更加明白了在数字逻辑设计中，每一个参数的设置都需要精确无误。同时，我也认识到了在面对问题时，耐心分析和细致调整的重要性。这些经历无疑将对我的未来学习和工作产生积极的影响。