|  |  |
| --- | --- |
| logo[1] | 杭州电子科技大学 |

实验报告

Experimental report

|  |  |
| --- | --- |
| **实验课程名称** | **数字系统与处理器** |
| **实验序号** | 2 |
| **实验内容** | 组合电路设计——ALU |
| **班级** | 18184111 |
| **姓名** | 杨臻 |
| **学号** | 18052032 |
| **指导教师** | 黄继业 |

二○一九 年 十月 十五日

## 实验目的与要求

实验名称：组合电路设计——ALU

## 实验原理

## 算术逻辑单元（Arithmetic&logical Unit）是中央处理器(CPU)的执行单元，是所有中央处理器的核心组成部分，由"And Gate"（与门） 和"Or Gate"（或门）构成的算术逻辑单元，主要功能是进行二位元的算术运算，如加减乘(不包括整数除法)。基本上，在所有现代CPU体系结构中，二进制都以补码的形式来表示。

## 实验内容

实验步骤：预先准备Verilog代码、建立工程文件、写入代码、模拟、执行

关键源程序：

`timescale 1ns / 1ps

module alu

#(

parameter ADD=0,SUB=1,AND=2,OR=3,XOR=4,NOT=5,SL=6,SR=7

)

(

input [2:0] aluop,

input [31:0] alua,alub,

output reg[31:0] alur

);

always @\*

case(aluop)

ADD : alur = alua + alub;

SUB : alur = alua - alub;

AND : alur = alua & alub;

OR : alur = alua | alub;

XOR : alur = alua ^ alub;

NOT : alur = ~alua;

SL : alur = alua << 1;

SR : alur = alua >> 1;

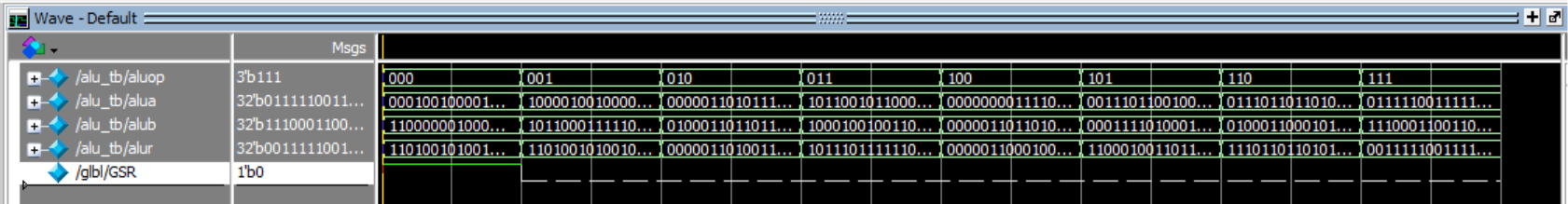
default : alur = alua + alub;

endcase

endmodule

设计框图：

仿真波形：



## 总结与体会

通过这次ALU算术逻辑单元的设计，我掌握了组合逻辑电路设计的方法，对组合逻辑电路的设计有了更深入的认识。对于组合逻辑电路的设计流程和方法有了更深入的认识。对我专业的学习有很大的帮助。通过这次课程设计我完成了一个完整的逻辑部件的设计，加深了对数字组合逻辑设计的认识，提高了逻辑电路设计的能力。为后续的学习打下了坚实的基础。