|  |  |
| --- | --- |
| logo[1] | 杭州电子科技大学 |

实验报告

Experimental report

|  |  |
| --- | --- |
| **实验课程名称** | **数字系统与处理器** |
| **实验序号** | 3 |
| **实验内容** | 模可控计数器设计 |
| **班级** | 18184111 |
| **姓名** | 杨臻 |
| **学号** | 18052032 |
| **指导教师** | 黄继业 |

二○一九 年 十 月 二十五 日

## 实验目的与要求

实验名称：模可控计数器设计

## 实验原理

可用并行预置的加法器实现；将计数进位与预置数加载输入信号端或计数复位端相接，当计数值溢出时，在下一时钟预置的值加载进计数器，然后计数器再从这个预置数重新计数，从而实现模可控计数器。

## 实验内容

实验步骤：预先准备Verilog代码、建立工程文件、写入代码、模拟、执行

关键源程序：

module cnt10(

input clk,

input rst,

input en,

input load,

input [3:0] d,

output reg[3:0] q,

output cout

);

assign cout = (q == 4'd9) ? 1'b1 : 1'b0;

always@(posedge clk or posedge rst) //主程序

if (rst)

q<=4'd0;

else if(en)

if (load)

q<=d;

else if (q<4'd9)

q<=q+1'b1;

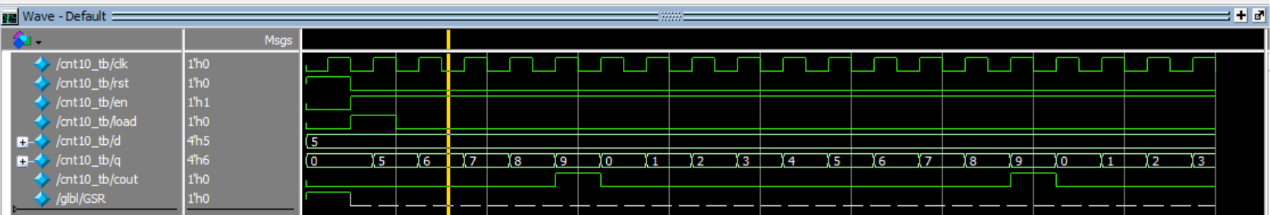
else

q<=4'd0;

endmodule

设计框图：

仿真波形：



## 总结与体会

通过这次模可控计数器设计，我掌握了模可控计数器设计的方法，对模可控计数器的设计有了更深入的认识。对于模可控计数器的设计流程和方法有了更深入的认识。对我专业的学习有很大的帮助。通过这次课程设计我完成了一个完整的模可控计数器的设计，加深了对模可控计数器设计的认识，提高了逻辑电路设计的能力。为后续的学习打下了坚实的基础。