

はじめに

この文章は RISC-V の命令マニュアルを @shibatchii が RISC-V アーキテクチャ勉強のためメモしながら訳しているものです。  
原文は <https://riscv.org/specifications/> にある riscv-privileged-v1.10.pdf です。

原文のライセンス表示

"The RISC-V Instruction Set Manual, Volume II: Privileged Architecture, Version 1.10", Editors Andrew Waterman and Krste Asanovic, RISC-V Foundation, May 2017.

Creative Commons Attribution 4.0 International License

この日本語訳のライセンスも原文のライセンスを引き継いで  
RISC-V 命令セットマニュアル 第二巻：特権付きアーキテクチャ、文書 1.10 版 日本語訳 @shibatchii  
Creative Commons Attribution 4.0 International License  
です。

<https://github.com/shibatchii/RISC-V>  
に置いてあります。

英語は得意でないので誤訳等あるかもしれません。ご指摘歓迎です。  
Google 翻訳、Bing 翻訳、Webilo 翻訳、Exclite 翻訳 を併用しながら翻訳し、勉強しています。

まずは意味が分からないところもあるかもしれませんが、ざっくり訳して 2 周位回ればまともになるかなと。  
体裁とかは後で整えようと思います。

文章は以下の様に色分けしてます。

黒文字：翻訳した文書。

赤文字：@shibatchii コメント。わからないところとか、こう解釈したとか。

青文字：RISC-V にあまり関係なし。訳した日付とか、集中力が切れた時に書くヨタ話とか。

2018/09/28 @shibatchii

RISC-V 命令セットマニュアル第 2 巻：特権付きアーキテクチャ  
特権アーキテクチャバージョン 1.10  
ドキュメントバージョン 1.10

警告！ このドラフト仕様は、RISC-V 財団によって標準として承認される前に変更される可能性があります。  
編集者はこの仕様の今後の変更が順方向互換になるよう意図していますが、  
この仕様書の実装が将来の標準に準拠しない可能性があります。

編集者：アンドリュー ウォーターマン 1、クレステ アサノビッチ 1,2  
1 SiFive Inc.,  
2 カリフォルニア大学バークレー校 EECS 学科 CS 課  
andrew@sifive.com、krste@berkeley.edu  
2017 年 5 月 7 日

アルファベット順の仕様全バージョン貢献者（訂正があれば編集者に連絡してください）：

クレステ・アサノビック、リマス・アヴィジエニス、ジェイコブ・バッハマイヤー、アレン・バウム、パオロ・ボンツィーニ、ルスラン・ブーキン、クリストファー・セリオ、デビッド・キスナー、アンソニー・コールター、パーマー・ダッベルト、モンテ・ダリムプリ、デニス・ファーガソン、マイク・フライシンガー、ジョン・ハウザー、デヴィッド・ホーナー、オロフ・ヨハンソン、リー・ユンサップ、アンドリュー・ルトミルスキー、ジョナサン・ノイシェファー、リシュユール・ニヒル、ステファン・オレア、アルバート・ウー、ジョン・オースターハウト、デビッド・パターソン、コリン・シュミット、ウェズリー・タープストラ、マット・トーマス、トミー・ソーン、レイ・ヴァンデウォーカー、メガン・ワックス、アンドリュー・ウォーターマン、レイノード・ザンデイク

このドキュメントはクリエイティブコモンズ帰属 4.0 国際ライセンスの下で公開されています。

このドキュメントは、「RISC-V 特権仕様バージョン 1.9.1」を次のライセンスの下でリリースした派生物です：(c) 2010-2017 アンドリュー・ウォーターマン、ユンサップ・リー、リマス・アヴィジエニス、デビッド・パターソン、クレステ・アサノビック クリエイティブコモンズ帰属 4.0 国際ライセンス。

次のように引用してください：「RISC-V 命令セットマニュアル、第 2 巻：特権アーキテクチャ、バージョン 1.10」、編集者アンドリュー・ウォーターマンとクレステ・アサノビック、RISC-V 財団、2017 年 5 月。

配布条件はこれですね。<https://creativecommons.org/licenses/by/4.0/deed.ja>  
制限が少ない大変良いですね。

--2018/10/12

## 序文

これは、RISC-V 特権アーキテクチャ提案のバージョン 1.10 です。

バージョン 1.9.1 からの変更点：

- このドキュメントの以前のバージョンは、元の作者が作成したクリエイティブコモンズ帰属 4.0 国際ライセンスの下でリリースされました。このドキュメントの今後のバージョンは、同じライセンスでリリースされる予定です。
  - シャドー CSR アドレスに関する明示的な規則は、CSR スペースを再利用するために削除されました。  
シャドー CSRs は、必要に応じて追加することができます。
  - mvendorid レジスタには、財団が提供するコードとは対照的に、コアプロバイダの JEDEC コードが含まれるようになりました。  
これにより、財団からの冗長性とオフロード作業が回避されます。 ←JEDEC コードってなんじゃろ？
  - 割り込み可能なスタック規律は単純化されています。
  - スーパーバイザモードとユーザモードで使用されるベース ISA を変更するためのオプションのメカニズムが mstatus CSR に追加されました。misa の以前に Base と呼ばれていたフィールドは、整合性のために MXL に改名されました。
  - mstatus の追加の拡張状態のステータスフィールドを要約するために XS を使用することを明確にしました。
  - mtvec および stvec CSRs には、オプションのベクタ割り込みのサポートが追加されています。
  - mip CSR の SEIP ビットと UEIP ビットは、外部割り込みのソフトウェア注入をサポートするために再定義されています。
  - mbadaddr レジスタはより一般的な mtval レジスタに含まれています。これにより、命令エミュレーションの速度を上げるために不正な命令フォルトで不良命令ビットを取り込むことができます。
  - 仮想メモリ構成を sptbr (now satp) に移行する過程の一環として、マシンモードのベースと境界の変換と保護のスキームが仕様から削除されました。  
ベースとバインドされたスキームのモチベーションのいくつかは PMP レジスタでカバーされていますが、mstatus で利用可能なまま残っていれば、後で役立ちます。
  - M モードのみ、または M モードと U モードの両方で U モードトラップをサポートしていないシステムでは、medeleg レジスタと mideleg レジスタは存在しませんでした。以前はゼロを返していました。
  - 仮想メモリページ違反は、物理メモリアクセス例外とは別の mcause 値を持つようになりました。  
ページ違反例外は、PMA および PMP チェックによって生成された例外を委任することなく、S モードに委任できるようになりました。
  - オプションの物理メモリ保護 (PMP) 方式が提案されています。
  - スーパーバイザの仮想メモリ構成は、mstatus レジスタから sptbr レジスタに移動されました。
- したがって、sptbr レジスタは satp (スーパーバイザアドレスの転送と保護) に名前が変更され、広がった役割が反映されます。

↑レジスタ名は整理しとかなないとどれがどれかわからなくなりそう。

- 改善された SFENCE.VMA 命令のために、SFENCE.VM 命令が削除されました。
- mstatus ビット MXR は sstatus を介して S モードにさらされています。
- sstatus の PUM ビットの極性は、MXR を含むコードシーケンスを短縮するために反転されています。  
ビットの名前が SUM に変更されました。
- ページテーブルエントリのハードウェア管理 Accessed ビットと Dirty ビットはオプションです。簡単な実装では、ソフトウェアをトラップして設定することができます。
- カウンタイネーブル方式が変更されたため、S モードはカウンタの U モードへの可用性を制御できます。
- S モードでの再帰的仮想化サポートに焦点を当てているため、H モードは削除されています。
- エンコーディング空間は予約されており、後で再利用することができます。
- S モード仮想メモリ管理操作をトラップして仮想化パフォーマンスを向上させるメカニズムが追加されました。
- スーパーバイザーバイナリインターフェイス（SBI）の章が削除され、別の仕様として維持することができます。

## バージョン 1.9.1 の序文

これは、RISC-V 特権アーキテクチャ提案のバージョン 1.9.1 です。  
バージョン 1.9 からの変更点：

- 解説セクションへの多数の追加と改良。
- 設定文字列の提案を変更して、デバイスツリースtringやフラット化されたデバイスツリーなどのさまざまなフォーマットをサポートする検索プロセスを使用します。
- misa は、ベースおよびサポートされている ISA 拡張の変更をサポートするように、オプションで書き込み可能になりました。misa の CSR アドレスが変更されました。
- デバッグモードとデバッグ CSRs の説明が追加されました。
- ハードウェアパフォーマンス監視スキームを追加しました。  
既存のハードウェアカウンタの処理を簡素化し、カウンタの特権バージョンと対応するデルタレジスタを削除しました。
- ユーザーレベルの割り込みがある場合の SPIE の説明が修正されました。

↑ misa ってなんだっけ。後で確認

-- 1 ページ空き、次ページへ

## 内容

## 序文

1 はじめに	1
1.1 RISC-V ハードウェアプラットフォームの用語。	1
1.2 RISC-V 特権ソフトウェアスタック用語。	2
1.3 特権レベル。	3
1.4 デバッグモード。	5
2 制御およびステータスレジスタ (CSR)	7
2.1 CSR アドレスマッピング規則。	7
2.2 CSR リスト。	9
2.3 CSR 分野の仕様。	13
3 マシンレベル ISA、バージョン 1.10	15
3.1 マシンレベルの CSR。	15
3.1.1 マシン ISA レジスタ misa。	15
3.1.2 マシンベンダ ID mvendorid レジスタ。	18
3.1.3 マシンアーキテクチャ ID marchid レジスタ。	18
3.1.4 マシン実装 ID mimpid レジスタ。	19
3.1.5 ハート ID mhartid レジスタ。	19
3.1.6 マシンステータスレジスタ (mstatus)。	19
3.1.7 mstatus レジスタの特権およびグローバル割り込みイネーブルスタック。	20



3.1.8 mstatus レジスタのベース ISA 制御。	21
3.1.9 mstatus レジスタのメモリ特権。	22
3.1.10 mstatus レジスタの仮想化サポート。	22
3.1.11 mstatus レジスタの拡張コンテキスト状態。	23
3.1.12 マシントラップベクトルベースアドレスレジスタ (mtvec)。	26
3.1.13 マシントラップ委任レジスタ (medeleg と mideleg)。	27
3.1.14 マシン割り込みレジスタ (mip と mie)。	28
3.1.15 マシントイマレジスタ (mtime と mtimecmp)。	30
3.1.16 ハードウェアパフォーマンスモニタ。	31
3.1.17 カウンタインーブルレジスタ ([m   h   s] counteren)。	32
3.1.18 マシンスクラッチレジスタ (mscratch)。	33
3.1.19 マシン例外プログラムカウンタ (mepc)。	34
3.1.20 マシン要因レジスタ (mcause)。	34
3.1.21 マシントラップ値 (mtval) レジスタ。	35
3.2 マシンモード特権命令。	37
3.2.1 環境呼び出しとブレークポイント。	37
3.2.2 トラップリターン命令。	37
3.2.3 割り込みを待ち。	38
3.3 リセット。	39
3.4 マスカブルでない割り込み。	39
3.5 物理メモリ属性。	39
3.5.1 メインメモリと I / O と空レジスタの比較。	41
3.5.2 サポートされているアクセスタイプ PMAs。	41
3.5.3 原子性 PMAs。	41
3.5.4 メモリオオーダー PMAs。	42
3.5.5 一貫性とキャッシュ可能性の PMAs。	43
3.5.6 冪等性 PMAs。	44
3.6 物理メモリ保護。	44

↑冪等性 (とうべきせい) 「大雑把に言って、ある操作を 1 回行っても複数回行っても結果が同じであることをいう概念である。」って。なんか難しい言葉やね。初めて聞いた。プログラムでいうといつも同じ答えが出るってこと。あたりまえじゃんと思うけど、割り込み処理が入って意図せずメモリ内容買い換えられちゃったりすると崩れちゃう。

3.6.1 物理メモリ保護の CSRs。 . . . . .	45
4 スーパーバイザレベル ISA、バージョン 1.10	49
4.1 スーパーバイザ CSRs。 . . . . .	49
4.1.1 スーパーバイザステータスレジスタ (sstatus) . . . . .	49
4.1.2 sstatus レジスタのベース ISA 制御。 . . . . .	50
4.1.3 sstatus レジスタのメモリ特権。 . . . . .	51
4.1.4 スーパーバイザトラップベクタベースアドレスレジスタ (stvec) . . . . .	51
4.1.5 スーパーバイザ割り込みレジスタ (sip and sie) . . . . .	52
4.1.6 スーパーバイザタイマとパフォーマンスカウンタ。 . . . . .	53
4.1.7 カウンタインエナブルレジスタ (scounteren) . . . . .	53
4.1.8 スーパーバイザスクラッチレジスタ (スクラッチ) . . . . .	54
4.1.9 スーパーバイザ例外プログラムカウンタ (sepc) . . . . .	54
4.1.10 スーパーバイザ原因登録 (scause) . . . . .	54
4.1.11 スーパーバイザトラップ値 (stval) レジスタ。 . . . . .	55
4.1.12 スーパーバイザアドレス変換および保護 (satp) レジスタ。 . . . . .	56
4.2 スーパーバイザ命令。 . . . . .	58
4.2.1 スーパーバイザメモリ管理フェンス命令。 . . . . .	58
4.3 Sv32 : ページベースの 32 ビット仮想メモリシステム。 . . . . .	59
4.3.1 アドレッシングとメモリ保護。 . . . . .	59
4.3.2 仮想アドレス変換プロセス。 . . . . .	62
4.4 Sv39 : ページベースの 39 ビット仮想メモリシステム。 . . . . .	62
4.4.1 アドレッシングとメモリ保護。 . . . . .	63
4.5 Sv48 : ページベースの 48 ビット仮想メモリシステム。 . . . . .	63
4.5.1 アドレッシングとメモリ保護。 . . . . .	64
5 ハイパーバイザー 拡張、バージョン 0.0	65
6 RISC-V 特権命令セットのリスト	67

7 プラットフォームレベル割り込みコントローラ (PLIC)	69
7.1 PLIC の概要。	69
7.2 割り込みソース。	69
7.2.1 ローカル割り込みソース。	70
7.2.2 グローバル割り込みソース。	71
7.3 割り込みターゲットとハートコンテキスト。	71
7.4 割り込みゲートウェイ。	71
7.5 割り込み識別子 (ID)。	72
7.6 割り込みの優先順位。	72
7.7 割り込みが有効。	73
7.8 割り込み優先度しきい値。	73
7.9 割り込み通知。	74
7.10 割り込みクレーム。	74
7.11 割り込み完了。	75
7.12 割り込みの流れ。	75
7.13 PLIC コア仕様。	76
7.14 PLIC へのアクセスの制御。	76
8 マシン設定説明	77
8.1 設定文字列検索手順。	77
9 ヒストリー	79
9.1 UC Berkeley における研究資金。	79

--ここまで。これ以降はこれから翻訳。 @shibatchii