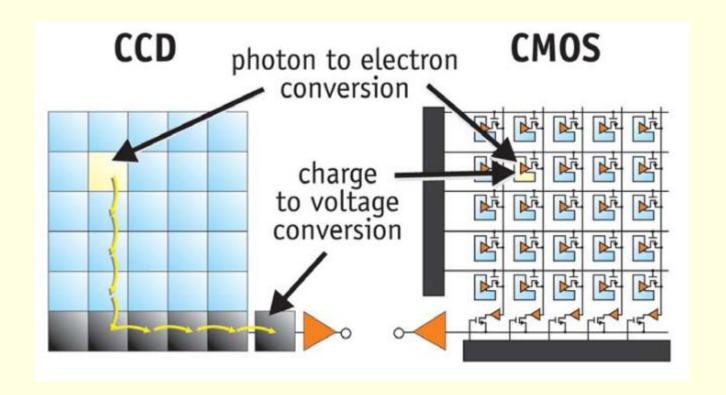
- Dvije vrste tehnološki različite
 - CCD (charge coupled device)
 - CMOS (complementary metal oxide semiconductor)
- Svaka tehnologija ima svoje prednosti i mane u ovisnosti o primjeni. Niti jedan nema superiornu prednost pred drugim iako često možete naći da proizvođači tvrde suprotno.

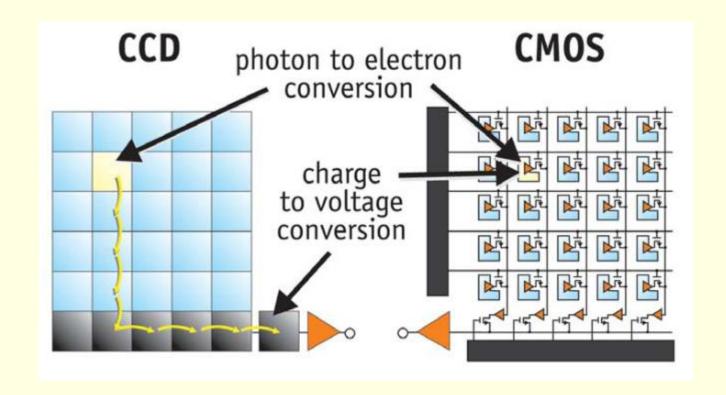
CCD senzor

naboj svakog piksela prenosi se vrlo kratkim putovima i kroz mali broj čvorova prije nego se pretvori u naponsku razinu i pošalje izvan čipa kao analogni signal (koristi se samo jedan ili mali broj pretvarača). Svi pikseli dohvaćaju se istovremeno i uniformno se obrađuju (osnovni uvjet kvalitetne slike).

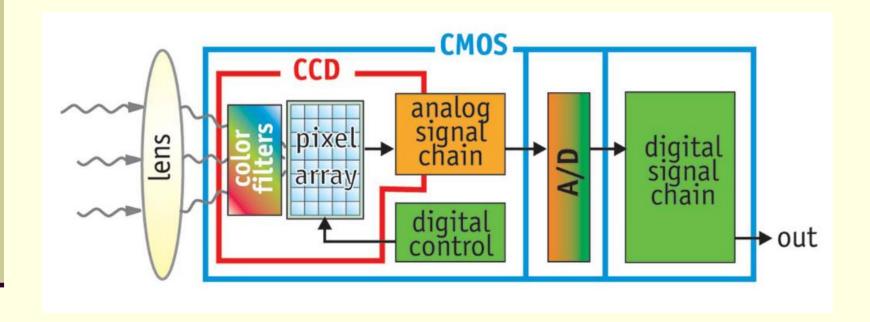


CMOS senzor:

- Svaki piksel ima svoj zasebni sklop za pretvorbu naboja u napon. Senzori obično posjeduju i pojačala, filtre šuma, i digitalni sklop sve na jednom čipu.
- Sve navedeno povećava fleksibilnost dizajna.
- Pošto svaki piksel ima svoj pretvarač narušava se uniformnost konverzije, ali zato čip može biti izrađen da treba mali broj vanjskih komponenti.



- CCD i CMOS izumljeni su kasnih '60 i početkom '70 (osnivač DALSA Dr. Savvas Chamberlain).
- Zbog svoje strukture i jednostavnije izvedbe (čitaj cijene ②) CCD senzori su postali dominantni.
- Napretkom tehnologije '90 godina ponovo se pojavljuje interes za CMOS senzorima

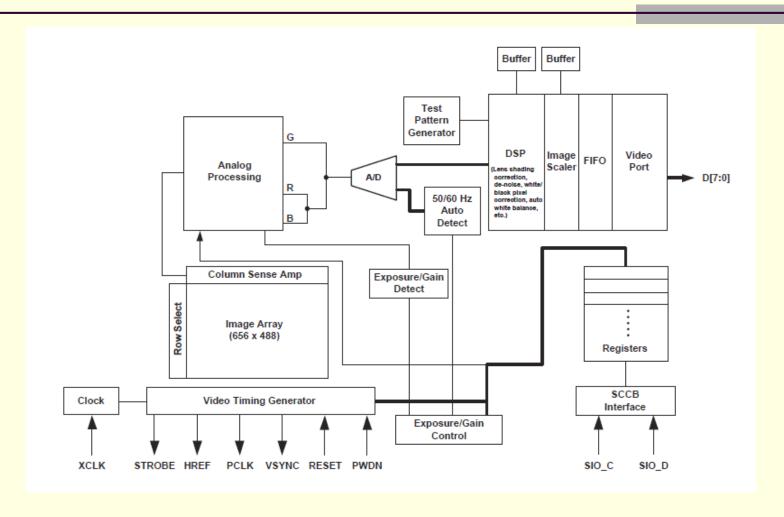


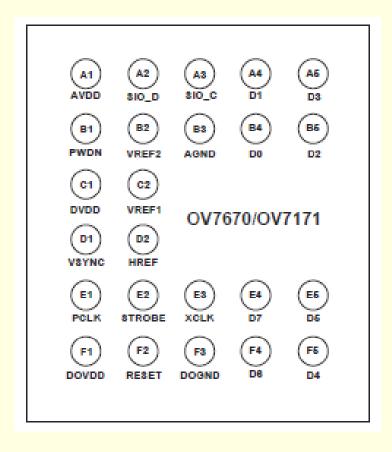
- 640x480 VGA format
- 24 pina
- Podržan format YUV 4:2:2, GRB 4:2:2, RGB Raw Data 565/555
- 8 video data: ITU-601, ITU-656, ZV port
- Automatska ekspozicija/gain/kontrola bijele boje (WB)
- Operacije nad slikom svjetloća, kontrast, gamma, saturation, oštrina, uzimanje dijela slike, i.t.d.
- Vanjska i unutarnja sinkronizacija

- Frame exposure/line exposure option (za foto aparate)
- 3.3V Volt operation, low power dissipation
 - < 80 mW active power</p>
 - < 20 uA in power-save mode</p>
- I2C kontrolno sučelje (400 kb/s):
 - Color saturation, brightness, contrast, white balance, exposure time, gain

- Postoji i crno-bijela verzija OV7171
- CMOS Video senzor
- Ukupan broj pikslea 656 x 488
- Maksimalno do 60 slika po sekundi

- Predviđena za sljedeće funkcije:
 - Video konferencije
 - Video telefonija
 - Video pošta
 - Foto aparati na mobilnim telefonima
 - PC Multimedia
 - i.t.d.





- Dva komunikacijska sučelja
 - Kontrolno sučelje SCCB
 - Podatkovno sučelje: ITU-601, ITU-656, ZV port

SCCB - Serial Camera Control Bus

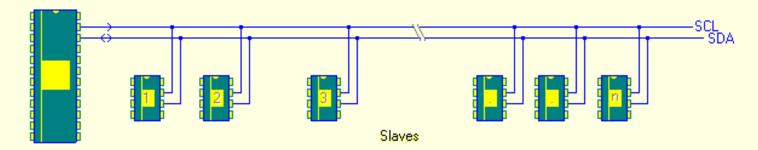
- OmniVision komunikacijski protokol
- Omogućava komunikaciju jednog master i više slave uređaja
- Sukladno s IIC (I2C) sučeljem

- I2C Inter-Integrated Circuit
- Početkom '80ih Philips Semiconductors razvio je dvosmjernu "2-wire" komunikacijsku sabirnicu.
- Osnovna namjena joj je bila da omogući jednostavnu komunikaciju između procesora i ostalih komponenti unutar televizora.
- Philips Labs u Eindhoven (Nizozemskoj)
- Danas I2C široko primijenjen i u drugim uređajima.

- Generalno je prihvaćena kao standard
- Podržana od mnogih proizvođača:
 - Xicor
 - ST Microelectronics
 - Infineon Technologies
 - Intel
 - Texas Instruments
 - Maxim
 - Atmel
 - Analog Devices
 - i.t.d.

- Fizički je izvedena sa dvije žice (spojna puta)
 - SDA Serial DAta
 - SCL Serial CLock
- Obije linije su dvosmjerne
- Svaki uređaj spojen na sabirnicu mora imati svoju jedinstvenu adresu na toj sabirnici
- Svaki od uređaja može slati ili primati podatke

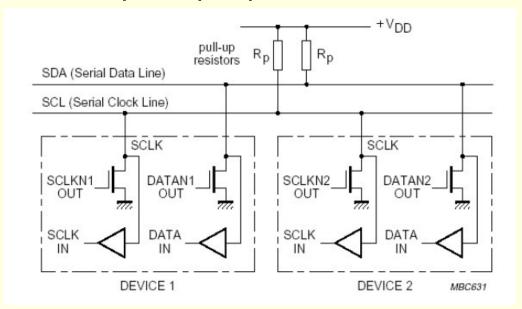
- Svojstva sabirnice
 - Više uređaja može započeti komunikaciju
 - Uređaj koji započinje komunikaciju naziva se master na sabirnici
 - Sukladno tome svi ostali u tom trenutku su slave uređaji
 - Master na sabirnici je obično procesor
 - Sabirnica može imati više master uređaja



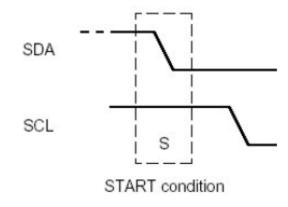
- Brzina komunikacije
 - 100 kbps (standardni način rada)
 - 400 kbps(brzi način rada)
 - 3.4 Mbps (vrlo-brzi načina rada)
- Broj uređaja na sabirnici je limitiran s maksimalnim kapacitetom od 400 pF

Spojeno I sabirnica

- Sabirnica je slobodna kada su SDA i SCL u visokom.
 - Koriste se pull-up otpornici

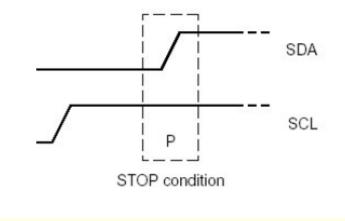


- Komunikacija
 - Master generira START stanje
 - Dojavljuje ostalim na sabirnici da zahtijeva pozornost
 - Postavlja SDA signal u nisko, a zatim SCL signal u nisko



- Nakon što master primi potvrdu može početi slati podatke.
- Na kraju master šalje STOP
 - Otpušta SCL i SDA signal koji idu u visoko stanje

stanje



Master

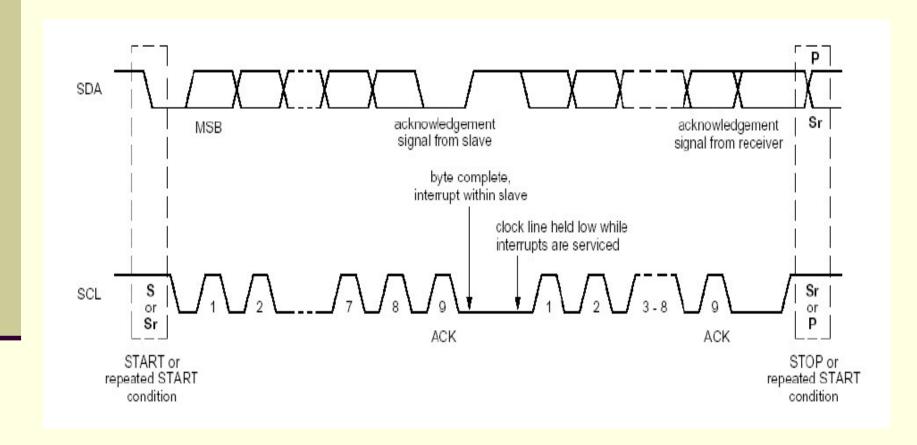
- Kontrolira SCL
- Šalje start i stop sekvencu
- Kontrolira adresu na sabirnici

Slave

- Adresiran je od strane mastera
- Ako master čita onda šalje bitove

- Prijenos podataka
 - Podatci se prenose po bitovima nakon start signala
 - Uvijek se šalju podatci grupirani u bajtove
 - MSB (most significant bit) ide prvi
 - Adresa SLAVE uređaja je isto podatak
 - I to prvi podatak koji se prenosi
 - Tijekom prijenosa prvog bajta master šalje a slave prima adresu
 - Dalje sve ovisi o zadnje poslanom bitu

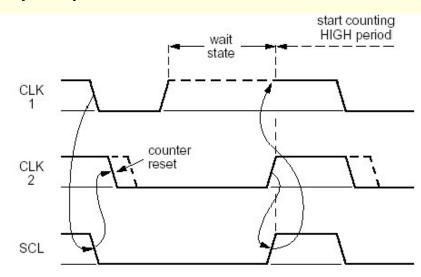
- Prijenos podataka
 - Master spušta SCL u nisko i počinje generirati impulse za svaki bit
 - Generira se 8 pulsova za podatak i jedan puls za potvrdu od slave uređaja
 - Master započinje slanje sljedećeg bajta
 - Slave može odgoditi slanje sljedećeg ili primanje bajta držanjem signala SCL u niskom



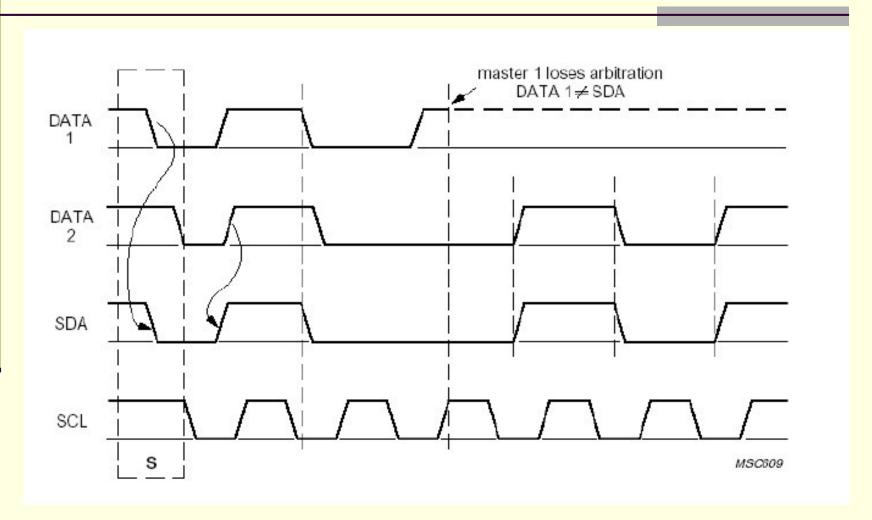
- Prijenos podataka
 - Prenosi se osam bitova i potvrda od primatelja
 - Uređaj koji šalje podatke nakon 8 pulsova oslobađa SDA
 - Onaj koji je primao podatke spušta SDA u nisko da bi potvrdio primitak podataka
 - Nakon toga otpušta SDA signal

- Multi master sabirnica
 - Više uređaja može kontrolirati sabirnicu
 - Moguća situacija je da više mastera istovremeno pokrenu start sekvencu
 - Potrebna je sinkronizacija na SCL signali
 - Potrebna je arbitraža na SDA signali
 - Problem se rješava korištenjem ožičenog l povezivanja

- Sinkronizacija na SCL signalu
 - Započinje komunikacija
 - SCL je u 1 i prvo što se radi master postavlja SCL u 0 START
 - Nakon toga Master otpušta SCL
 - Ako je SCL = 0 netko je još na sabirnici odi u stanje čekanja
 - Ako je SLC = 1 sabirnica je tvoja
 - Master vrača SLC u 0



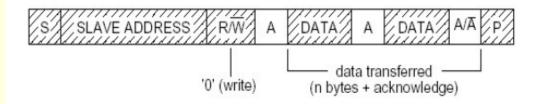
- Arbitraža na SDA signalu
 - Započinje komunikacija šalje se START
 - Izvrši se sinkronizacija SCL signala i na visoku razinu SCL postavlja se podatak
 - Svaki master generira svoj podatak
 - Master prestaje slati ako razina na SDA signalu ne odgovara onome što je on postavio
 - Oslobađa SDA i pokušava ponovo poslati podatak kada je sabirnica slobodna



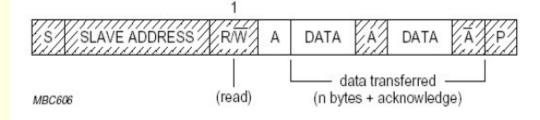
- Adresiranje:
 - Prvi bajt uvijek šalje master
 - 7 bitova čine adresu
 - 1 bit daljnji smjer komunikacije
 - 0 master piše podatke
 - 1 master čita podatke
 - Prijenos podataka završava STOP stanjem, može se prenijeti više od jednog bajta
 - Adresa se sastoji od fiksnog dijela i promjenjivog
 - Fiksni dio određuje I2C odbor za dodjelu adresa

Okvir komunikacije

master-transmitter



master-receiver (since second byte)



- from master to slave
- from slave to master

A = acknowledge (SDA LOW)

A = not acknowledge (SDA HIGH)

S = START condition

P = STOP condition

Rezervirane adrese za posebnu namijenu:

SCCB

- Podržava brzinu prijenosa do 400 kbps
- Ima 7 bitnu adresu

CS[2:0]	000	001	010	011	100	101	110	111
WRITE ID (hex)	C0	C4	C8	CC	D0	D4	D8	DC
READ ID (hex)	C1	C5	C9	CD	D1	D5	D9	DD

SCCB

- Osim osnovnog adresiranje preko kojeg se odabire senzor s kojim se komunicira SCCB podržava i pod adresiranje internih registara unutar video senzora
- Tijekom slanja podataka nakon adrese senzora u drugom bajtu se šalje adresa registra kojem se želi pristupiti
- Treći bajt koji se šalje zapisuje se u odabrani registar
- U koliko se nastavi dalje slati bajtove podatci se zapisuju u sljedeće registre koji slijede

SCCB

- Čitanje podataka po I2C protokolu ne omogućava pod adresiranje pojedinih registara unutar video senzora.
- Zato se čitanje vrši sa zadnje adresiranog registra u procesu pisanja
- Moramo koristiti jedan prazan ciklus pisanja u kojem ne upisujemo podatak u registar, odnosno šaljemo samo dva bajta – adresu senzora i adresu registra

SCCB

Nama bitni registri unutar senzora:

Register	Address	Default	Description		
CLKRC	0x11	0x80	Bit[6]: 0: Apply prescaler on input clock 1: Use external clock directly		
CLKKC			Bit[0-5]: Clock prescaler F(internal clock) = F(input clock) / (Bit[0-5] + 1) Range [0 0000] to [1 1111]		
DBLV	0x6B	0x0A	Bit[7-6]: PLL control 00: Bypass PLL 01: Input clock x4 10: Input clock x6 11: Input clock x8		
			Bit[4]: Regulator control 0: Enable internal regulator 1: Bypass internal regulator		

Register	Address	Default	Description	
COM3	0x0C	0x00	Bit[6]: 0: Nothing 1: Swap the data MSB and LSB. Bit[5]: On powedown 0: Tri-state the output clock 1: Do not tri-state the output clock Bit[4]: On powerdown 0: Tri-state the output data 1: Do not tri-state the output data 1: Do not tri-state the output data Bit[3]: 1: Enable scaling Bit[2]: 0: Disable downsampling, cropping, windowing 1: Enable downsampling, cropping, windowing	
COM7	0x12	0x00	Bit[7]: 0: Nothing 1: Reset all the registers to default values Bit[5]: 0: Nothing 1: Use CIF format Bit[4]: 0: Nothing 1: Use QVGA format Bit[3]: 0: Nothing 1: Use QCIF format Bit[1]: 0: Disable color bar 1: Enable color bar Bit[2, 0]: 00: YUV 01: RGB 10: Bayer raw 11: Processed bayer raw	

Nama bitni registri unutar senzora:

	70	SCALING_ XSC -	4A	RW	Bit[7]: Bit[6:0]:	Test_pattern[0] - works with test_pattern[1] test_pattern (SCALING_XSC[7], SCALING_YSC[7]): 00: No test output 01: Shifting "1" 10: 8-bar color bar 11: Fade to gray color bar Horizontal scale factor
!	71	SCALING_ YSC	35	RW	Bit[7]: Bit[6:0]:	Test_pattern[1] - works with test_pattern[0] test_pattern (SCALING_XSC[7], SCALING_YSC[7]):: 00: No test output 01: Shifting "1" 10: 8-bar color bar 11: Fade to gray color bar Vertical scale factor

Video sučelje

- Video senzor podržava
 - Digitalno sučelje
 - 8 bita
 - Video format CCIR601, CCIR656, ZV port
 - Format podataka YUV 4:2:2, RGB 4:2:2, RGB row dana 565/555

ITU656

- Pravi naziv BT.656 predložen od strane ITU (International Telecommunication Union) stoga se ćesto naziva ITU656 i CCIR656
- Definira jednostavni video protokol za prijenos ne komprimiranog digitalnog video signala bilo PAL ili NTSC (522 ili 625 linija)
- Standar je nastao na BT.601(CCIR601) koji definira prijenos podataka u formatu 4:2:2 interlaced u YUV (YCbCr)
- Standard definira prijenos 8 i 10 bitnih podataka serijski ili paralelno.
- Koristi se za prijenos podataka u televizorima između čipova

- ZV Port je dio PC Card standarda koji definira PCMCIA i PC Expres kartice
- ZV (Zoomed Video) je protokol koji služi za povezivanje PC Card (PCMCIA) i host sistema (računala) koji omogućava direktan pristup video memoriji i/ili VGA upravljačkom sklopu. Podatci se prenose bez upotrebe međuspremnika odvojenom sabirnicom tako da ne opterećuju računalo.
- Pogodan je za jednostavno i jeftino povezivanje video uređaja koji zahtijevaju brzi prijenos podataka za aplikacije kao sto su MPEG dekoderi za filmove i igrice, TV tuners, live video input and video capture.

- Korištenjem ZV porta prijenosna računala dobivaju performanse desktop računala u video svijetu
- ZV Port je jednosmjerna komunikacija između PC Card-a i VGA kontrolera
- U potpunosti je kompatibilno s CCIR601

- Više detalja u PC Card Standard
- Dodano u standard od verzije PC Card Standard 5.04 Update
- Trenutna verzija (koja je ujedno i konačna)
 - PC Card Standard 8.0
- PC Card je napušten
- Trenutno se razvija Exspress Card koji podržava sve što i PC Card
- Fizički nisu kompatibilni

Signali

VSYNC

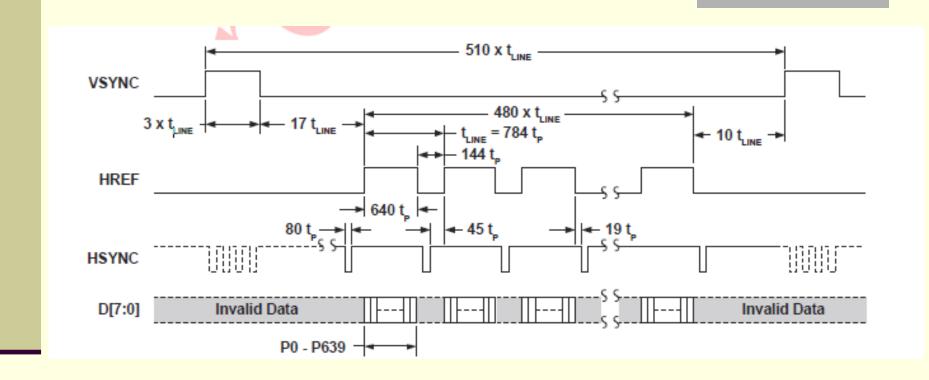
 Postavljanjem u visoko dojavljuje se početak okvira slike. Generira se jednom za svaku sliku

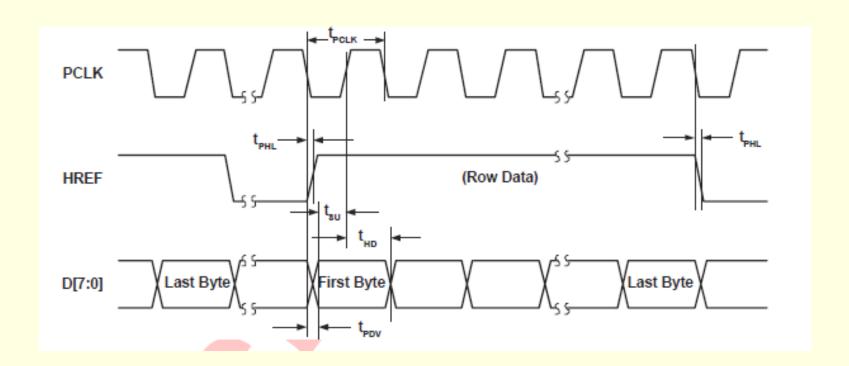
HREF

 Postavlja se visoko i ostaje u visokom kada se šalju jedan red slike po završetku slanja jednog reda postavlja se u nisko

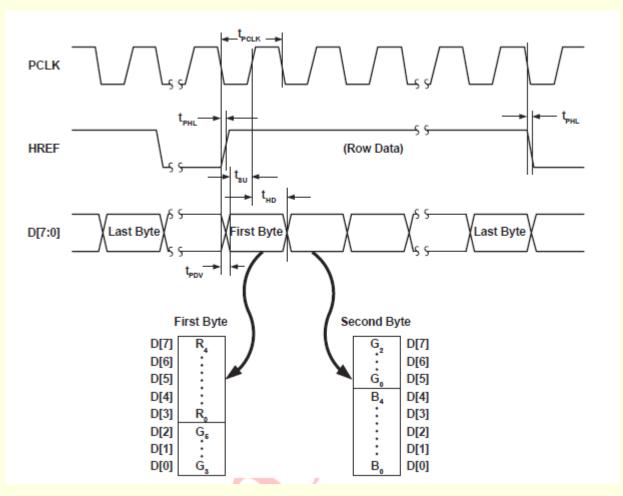
PCLK

- Na padajući ili rastući brid signala podatak na sabirnici je valjani
- Opcija rastući ili padajući brid može se podesiti preko I2C-a

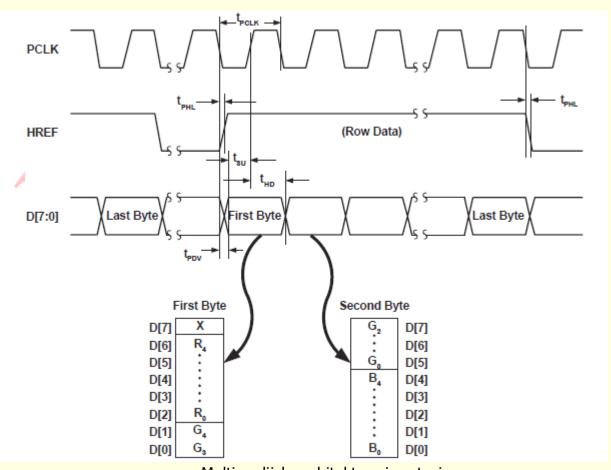




OV7670 - RGB565



OV7670 - RGB555



Multimedijske arhitekture i sustavi

- Ostali signali koje koristimo
 - RESET
 - Sklopovski reset kamere
 - PWDN
 - Postavljanje kamere u "Power Down Mode"
 - Način rada smanjene potrošnje
 - U tom načinu rada senzor zaustavlja obradu video signala.

- Video senzor radi kao MASTER uređaj
- Moguće ga je postaviti da radi i kako SLAVE uređaj
- Tada procesor mora kontrolirati i generirati signale CHSYNC, VSYNC, PCLK. On se mora brinuti o horizontalnoj i vertikalnoj sinkronizaciji

- Frame execution mode
 - Predviđen za uređaje koji imaju mehaničku kontrolu otvora blende
 - Digitalni foro aparati

Xilinx Processor IP Library

- iicps v1_03_a
- Uređaj može biti master ili slave
- Omogućeno je korištenje prekida prilikom čitanja i pisanja ili prozivanje
- lako sklopovlje podržava 7 i 10 bitnu adresu izvedeni upravljački programi podržavaju samo 7 bitno adresiranje