

Kako riješiti problem

- Prvi način programski:
 - DCT/IDCT: da li postoji neki drugi pristup od standardnog

$$X_{k_1, k_2} = \sum_{n_1=0}^{N_1-1} \sum_{n_2=0}^{N_2-1} x_{n_1, n_2} \cos \left[\frac{\pi}{N_1} \left(n_1 + \frac{1}{2} \right) k_1 \right] \cos \left[\frac{\pi}{N_2} \left(n_2 + \frac{1}{2} \right) k_2 \right].$$

- Pojednostavljeni algoritam putem FFT ili neki drugi pristup. AAN Algoritam
- Treba nam pomoć matematike.
- Problem znanja i primjene

Kako riješiti problem

■ RGB to YUV Conversion

$$Y = (0.257 * R) + (0.504 * G) + (0.098 * B) + 16$$

$$V = (0.439 * R) - (0.368 * G) - (0.071 * B) + 128$$

$$U = -(0.148 * R) - (0.291 * G) + (0.439 * B) + 128$$

■ YUV to RGB Conversion

$$B = 1.164(Y - 16) + 2.018(U - 128)$$

$$G = 1.164(Y - 16) - 0.813(V - 128) - 0.391(U - 128)$$

$$R = 1.164(Y - 16) + 1.596(V - 128)$$

■ RGB to YUV cjelobrojni

$$y = (66 * r + 129 * g + 25 * b + 128) >> 8 + 16;$$

$$u = (-38 * r - 74 * g + 112 * b + 128) >> 8 + 128;$$

$$v = (112 * r - 94 * g - 18 * b + 128) >> 8 + 128;$$

■ RGB to YUV cjelobrojni pojednostavljeno

$$y = (66 * r + 4 * 32 * g + 25 * b + 128) >> 8 + 16;$$

$$u = (-38 * r - 74 * g + 112 * b + 128) >> 8 + 128;$$

$$v = (3 * 38 * r - 3 * 32 * g - 18 * b + 128) >> 8 + 128;$$

GetBits

- Problem dohvata bitova iz memorije
- Nije zahtjevan potprogram ali se često poziva i zato može izazvati probleme.
- Nije efikasno dohvaćati bit po bit na 32-bitnom procesoru
- Problem protočne arhitekture
- Problem pričuvne memorije

Kako riješiti problem?

- Aproksimacija funkcija polinomom n -tog reda...
- Prevođenje algoritama iz realne u cjelobrojnu domenu (fix-point)
- Dodavanje posebnog sklopovlja
 - ARM - XSCALE(200MHz) procesor prespor za dekodiranje MPEG4 video zapisa (320x240). Naknadno dodan dodatni sklop Maratton za pomoć u dekodiranju Video zapisa.

Kako riješiti problem

- Ne postoji metodologija kako to jednostavnije ubrzati algoritam
- Što onda, kako ubrzati algoritam?
 - Programski
 - Aproksimacija, pojednostavljenje
 - Proučiti arhitekturu procesora
 - Napisati pretvorbu u strojnom jeziku
 - Možda postoje posebne naredbe u strojnom jeziku koje mogu ubrzati algoritam
 - HITACHI SH4 (množenje matrice 4x4 s vektorom) ('97)
 - SIMD, ARM NEON, 3D naredbe
- Sklopovsko rješenje

Multimedijske arhitekture i sustavi

- Kako ubrzati rad algoritma korištenjem sklopovlja:
 - Korištenjem postojećih sklopova
 - Izrada vlastitih
 - Sklopovska integracija SoC
 - Hardware software codesign

Hardware Software codesign

- Problematika izvedbe cjelokupnog rješenja
- Pogodnost izrade sustava u jednom okruženju
- Jednostavniji dizajn
- Naročito pogodan u ugradbenim sustavima

Hardware Software codesign

- Ugradbeni sustavi imaju sljedeće karakteristike:
 - Uglavnom imaju jednu funkcionalnost
 - Koja je unaprijed definirana
 - Zadovoljavaju
 - Projektirani da se smanji potrošnja
 - Što manji broj komponenti
 - Moraju zadovoljiti brzinom rada
 - Rad u stvarnom vremenu (Real-time)
 - Mora kontinuirano pratiti događaje i reagirati na promjene
 - Sklopovska programska isprepletenost

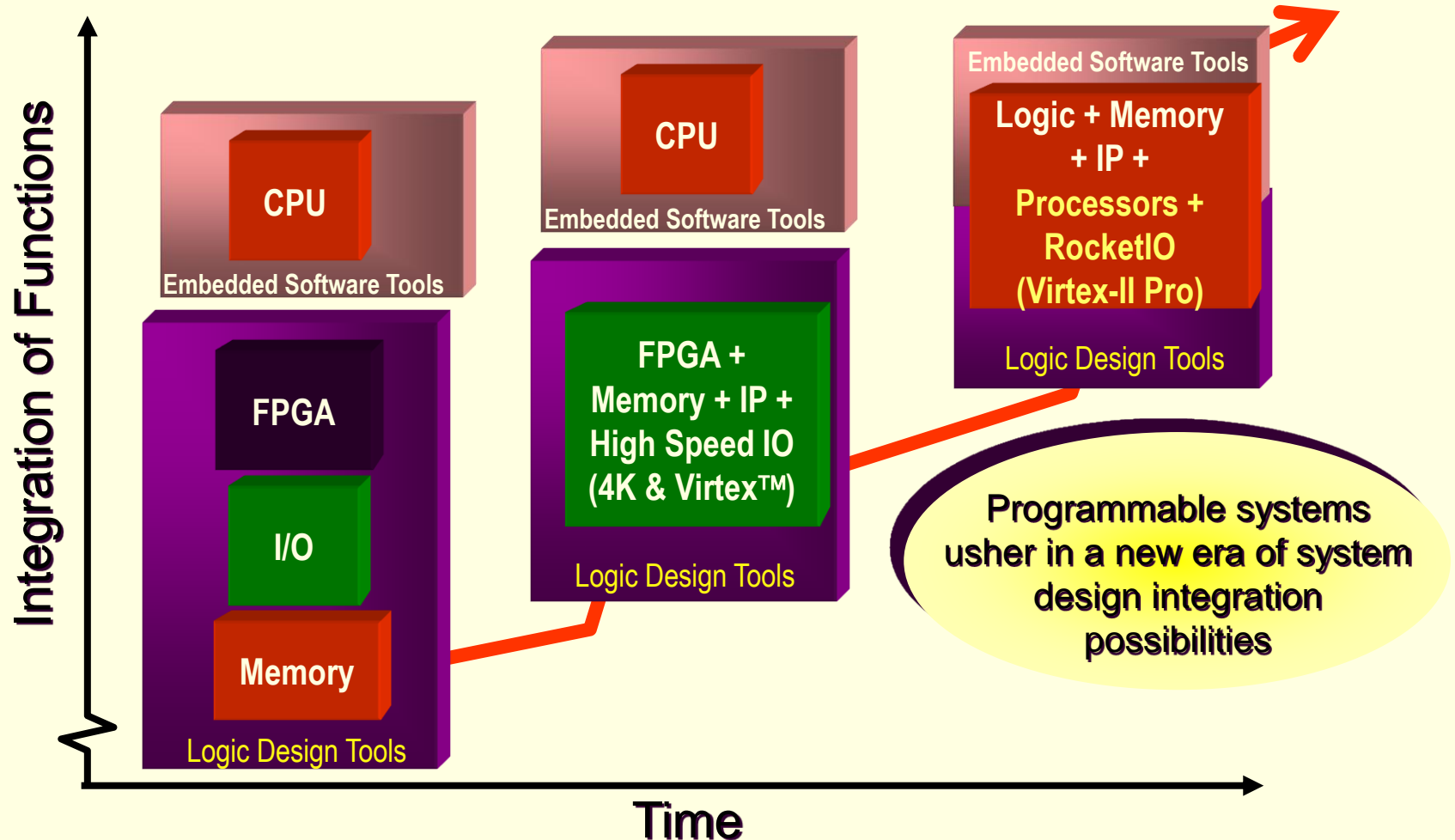
Ugradbeni računalni sustavi

- Primjeri:
 - Mobilni telefoni
 - Auto aplikacije
 - Sustav kočnica, kontrola proklizavanja, zračni jastuci, i.t.d.
 - Avionska industrija
 - Sustavi kontrole leta, kontrola motora, sustav za samostalno letenje, sustavi za zabavu putnika
 - Obrambeni sustavi
 - Radarski sustavi, sustav za kontrolu borbenih avion, sustavi avion, ...

Postojeća tehnologija

- Mikrokontroler zasnovani sustavi
- DSP procesor zasnovani sustavi
- ASIC tehnologija
- FPGA tehnologija

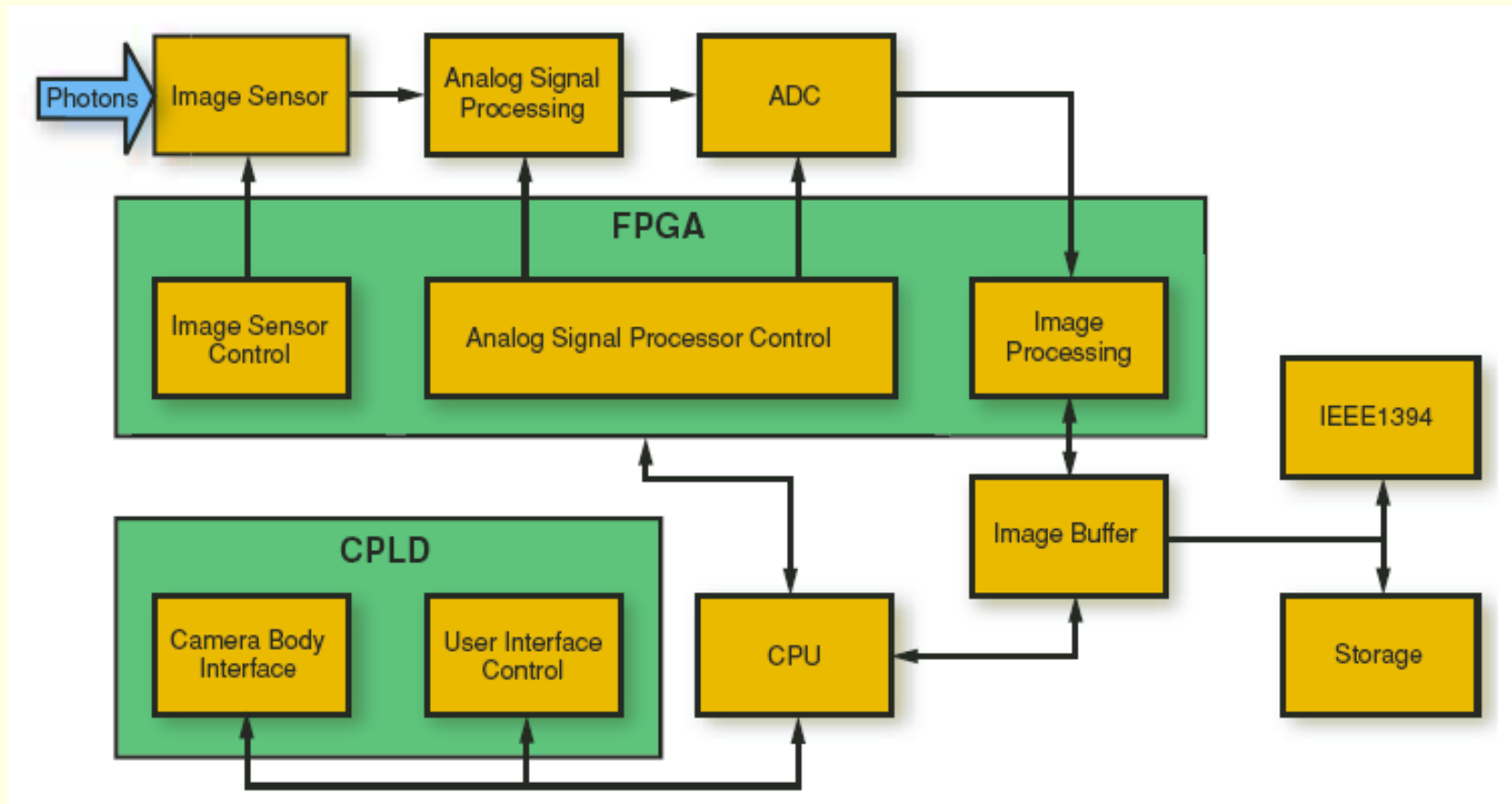
Integration in System Design



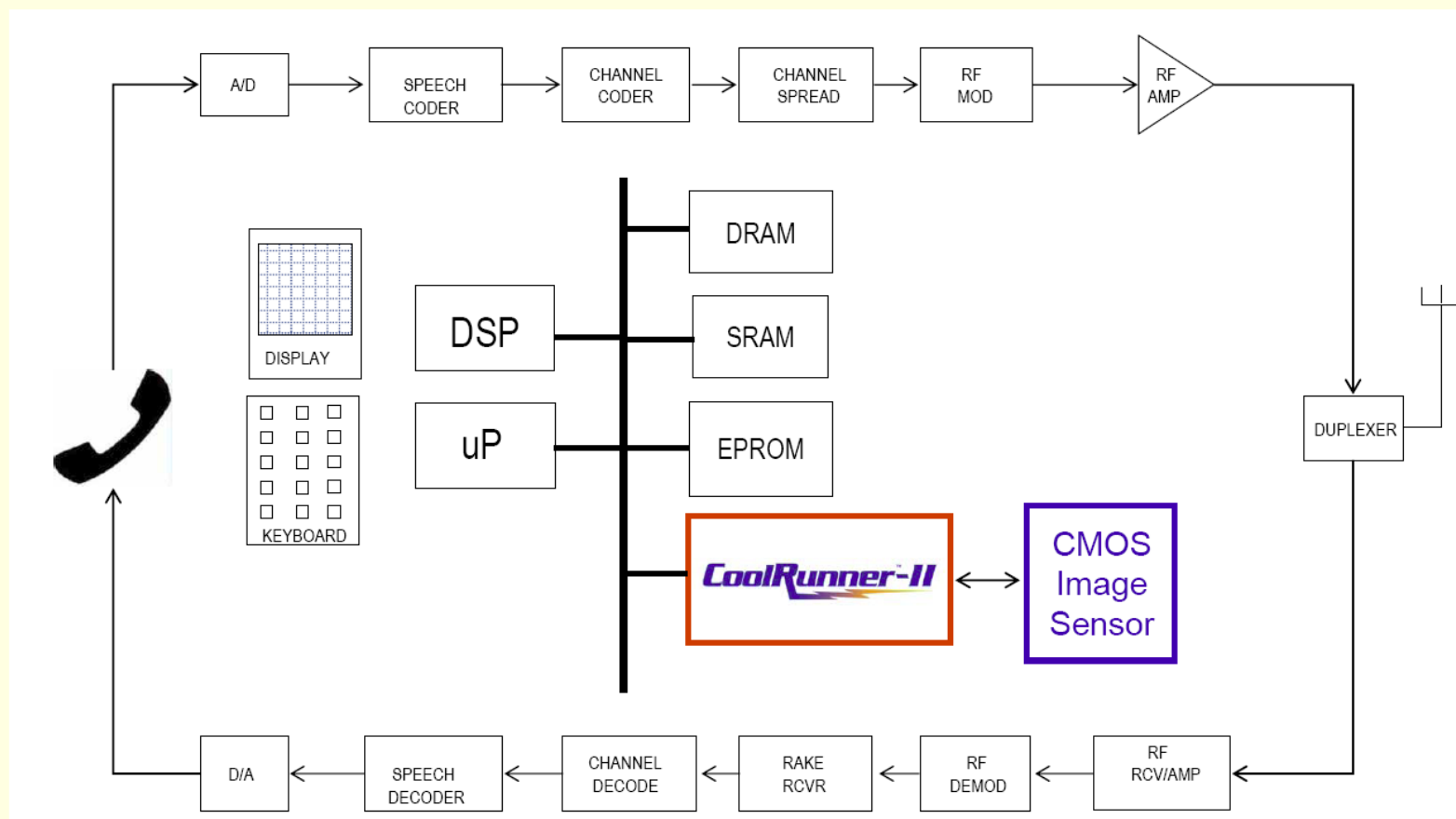
Ugradbeni sustavi korištenjem FPGA

- Osnove smo vidjeli na URS-u
- Sastoji se od:
 - FPGA sklopovske arhitekture
 - Generiranje upravljačkih programa i biblioteka
 - Programske aplikacije
 - Potprograma
 - Prekidnog sustava
 - Operating System (OS) ili Real Time Operating System (RTOS) (optional)

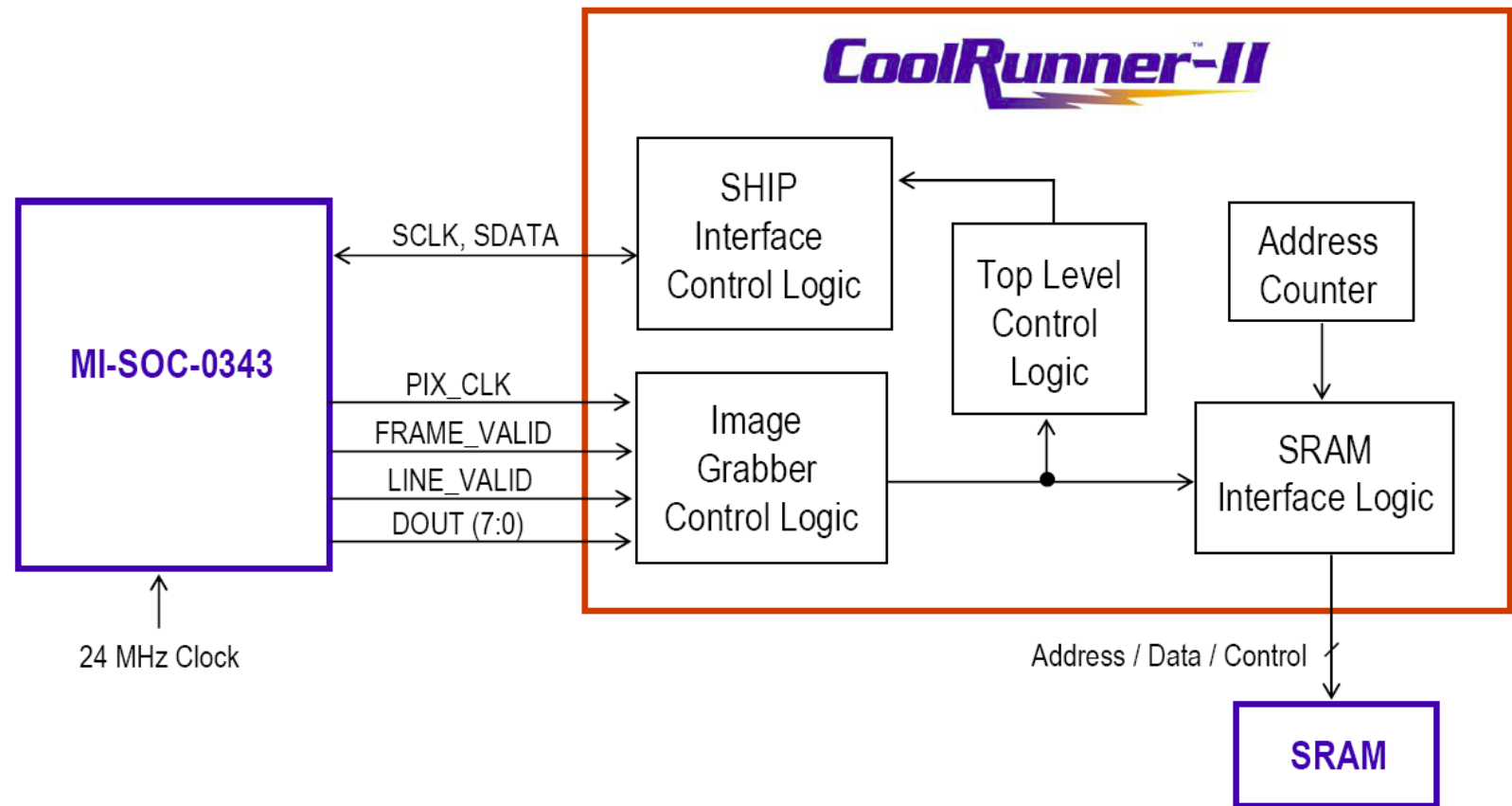
Phase One



Mobilni telefoni - primjer



CoolRunner-II



Mikroprocesori

- Izvršavaju prevedeni kod napisan u assembleri i/ili višem programskom jeziku
 - Program se nalazi na samom mikroprocesoru i/ili vanjskoj memoriji
 - Procesor dohvaća naredbe, dekodira ih, obrađuje podatke i kontrolira I/O
 - Slijedno izvođenje
 - Zahtijeva velik broj taktova za obavljanje operacija
- Lagana optimizacija potrošnje (Power save mode)
 - Procesor proradi samo na određene događaje
- Ograničena I/O sučelja

FPGA

- ‘Sea of gates’ moguće konfigurirati prema potrebi
- Pogodni za paralelno izvođenje operacija (mreža, multimedija,...)
- Velik broj I/O pinova i podržanih standarda
- Jednostavna podjela u funkcijske blokove
- Nisu pogodni za tokovne aplikacije i kontrolu

FPGA embedded processor

- FPGA računalni sustav ima mnoge prednosti u odnosu na standardni računalni sustav:
 - 1) modularnost i nadogradnja
 - 2) jednostavna migracija
 - 3) smanjena cijena i potrošnja (redundantnost)
 - 4) sklopovsko ubrzanje

Modularnost i Nadogradnja

- Potpuna fleksibilnost u izradi računalnog sustava.
- Dizajn može zahtijevati potpuno novu nepostojeće sučelje koje je vrlo jednostavno dodat
 - Na primjer ne možete naći procesor sa 10 UART sučelja, ali svaki FPGA možete prilagoditi bez ikakvih problema da ima 10 UART potrova.

Migracija

- Mnoge kompanije su razvile cijeli sustav kojem je životni vijek puno veći nego, životni vijek pojedinih komponenti
- FPGA soft-procesori su izvanredan odabir jer su opisani pomoću HDL jezika i lako ih je prebaciti i na nove platforme
- Npr. Končar Elektronik

Smanjena cijena i potrošnja

- Sklop koji je prije zahtijevao više komponenti danas se može zamijeniti s jednim FPGA sklopom
- Smanjivanjem broja komponenti, možemo smanjiti veličinu proizvoda i potrebnih komponenti
- Sve to dovodi do smanjenja cijene i potrošnje.

Sklopovsko ubrzanje

- Perhaps the most compelling reason to choose an FPGA embedded processor is the ability to make tradeoffs between hardware and software to maximize efficiency and performance.
- If an algorithm is identified as a software bottleneck, a custom co-processing engine can be designed in the FPGA specifically for that algorithm.
 - This co-processor can be attached to the FPGA embedded processor through special, low-latency channels, and custom instructions can be defined to exercise the co-processor.
- With modern FPGA hardware design tools, transitioning software bottlenecks from software to hardware is much easier since the software C code can be readily adapted into hardware with only minor changes to the C code.

Nedostatci

- Za razliku od off-the-shelf procesora, sklopovska arhitektura treba biti opisana za FPGA i testirana.
- Zbog povezanosti sklopovlja i programske podrške alati su složeniji.
- Kako je područje relativno novo alati imaju neke dječje bolesti 😊.
- Cijena samih komponenti.
 - Cijena off-the-shelf višestruko je jeftinija od FPGA sklopova.

Soft – Hard procesor

- Soft procesor – koristi FPGA blokove
- Hard procesori – Izveden u siliciju
 - ARM922T -Altera Excalibur
 - PowerPC 405 - Xilinx Virtex-II Pro and, Virtex-4.
- Za razliku od hard procesora, soft procesor mora biti sintetiziran i implementiran u FPGA sklopu.

FPGA embedded processor

- FPGA

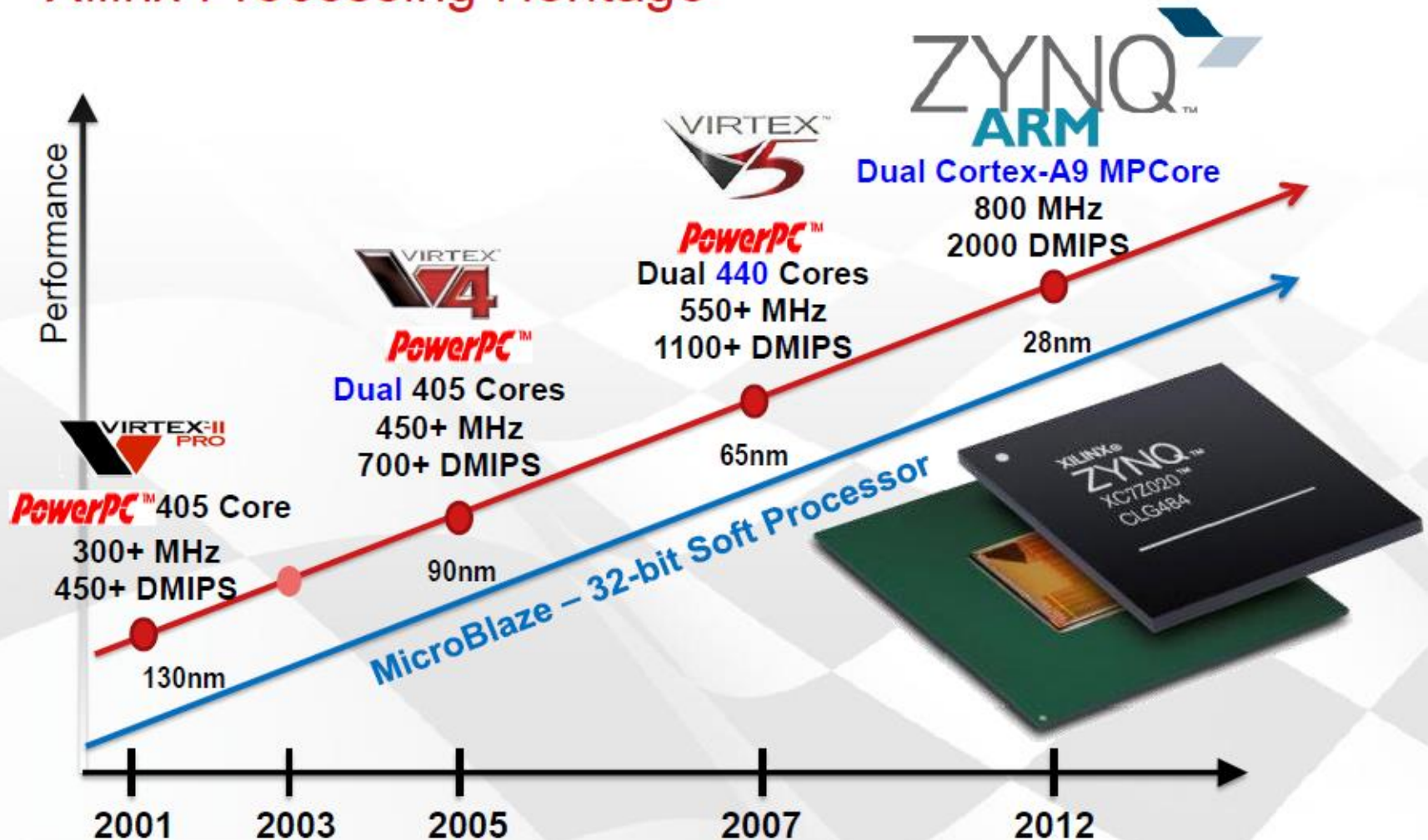
- Soft core processor

- PicoBlaze, MicroBlaze (Xilinx)
 - Nios II (Altera)
 - LEON3, 8051, C68000, ...
 - ARM Cortex M1

- Hardcore processor

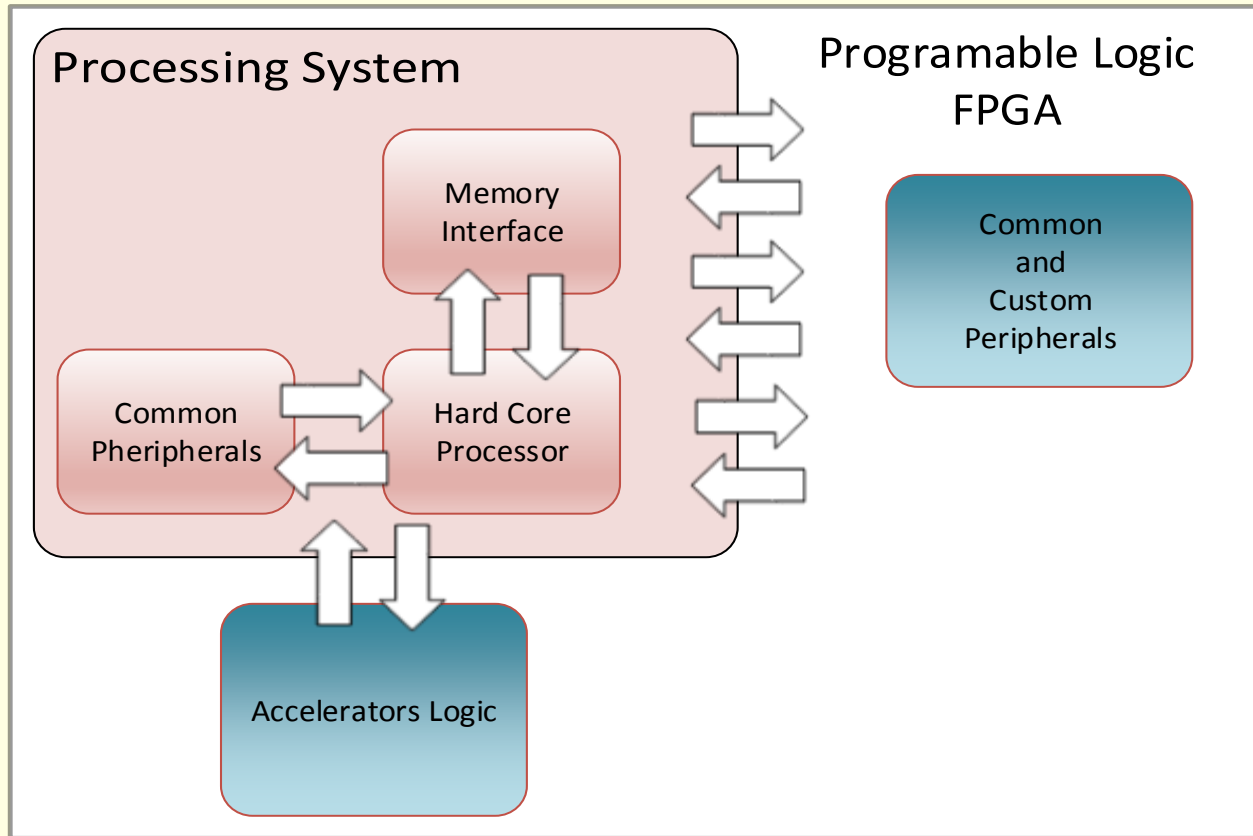
- PowerPC 405

Xilinx Processing Heritage



10+ years, 4 Generations

Što imamo danas?



What We Have Today ?

- Xilinx

- Virtex II Pro, Virtex 4, Virtex5 (PowerPC 405)
- ZYNQ 7000

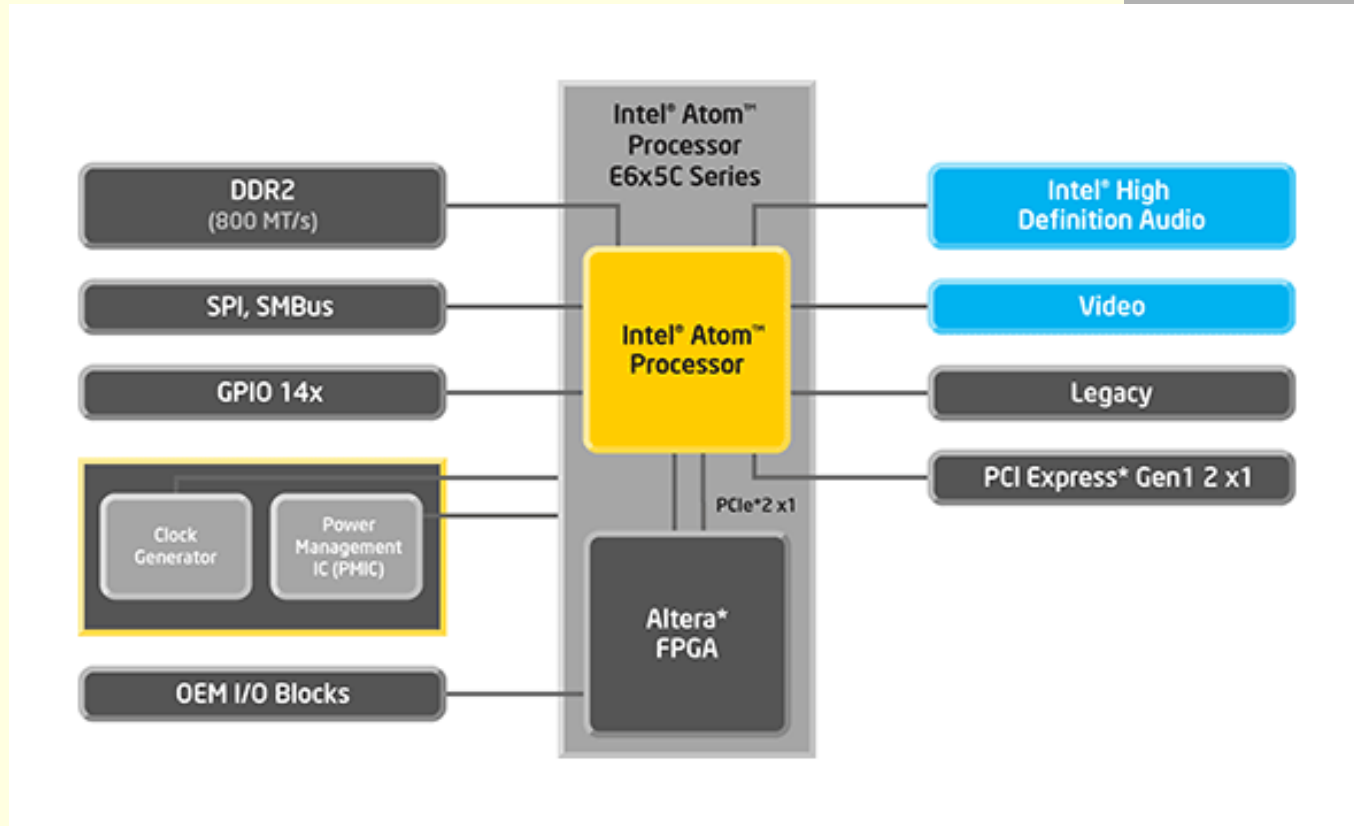
- Altera

- Excalibur (ARM922T)
- Cyclone V SoC, Arria V SoC

- Actel

- SmartFusion
- SmartFusion 2

Intel Atom Processor E6x5C Series



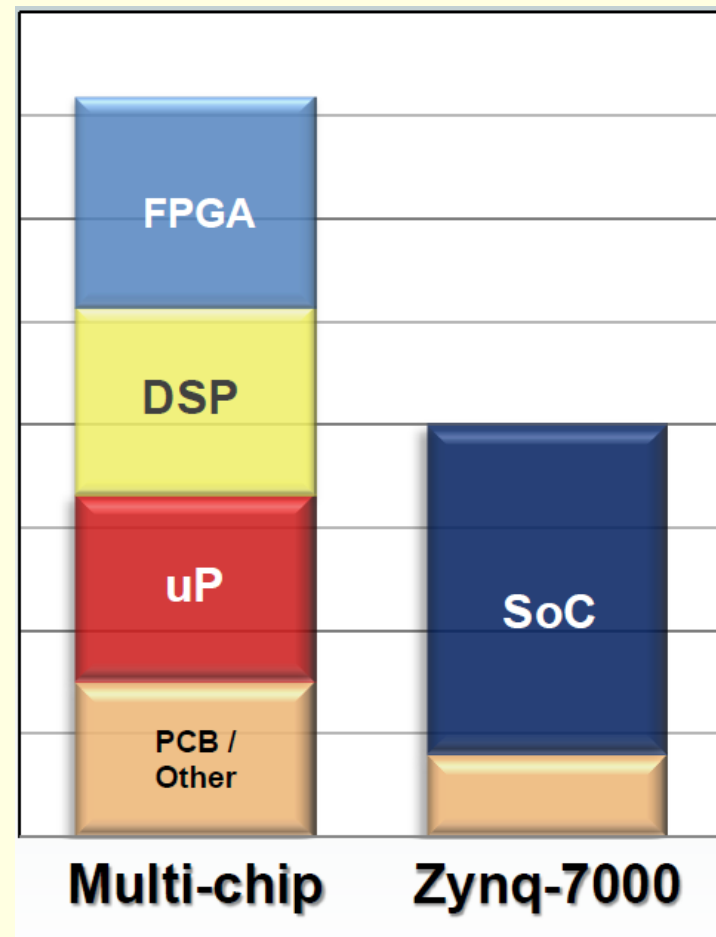
Xilinx Zynq 7000 family

The All Programmable SoC

- **Nije običan FPGA!**
- **Nije običan mikroprocesor!**
- **Jedinstvena simbioza i jednog i drugog**
 - Dual ARM Cortex™-A9 procesor+ caches + robusni sustav periferija
 - Velika povezanost između procesora i logike
- **To više nije FPGA ili procesor to je procesorski sustav s programibilnom logikom – “All Programmable SoC”**

Smanjenje troška

- Smanjen broj komponenti po uređaju
 - Procesor
 - Programibilni sklop
 - DSP
 - Napajanje
- Smanjena PCB složenost
 - Manje vodova => manje slojeva
 - Brži dizajn
- Jako bitno
 - In-System Reconfiguration



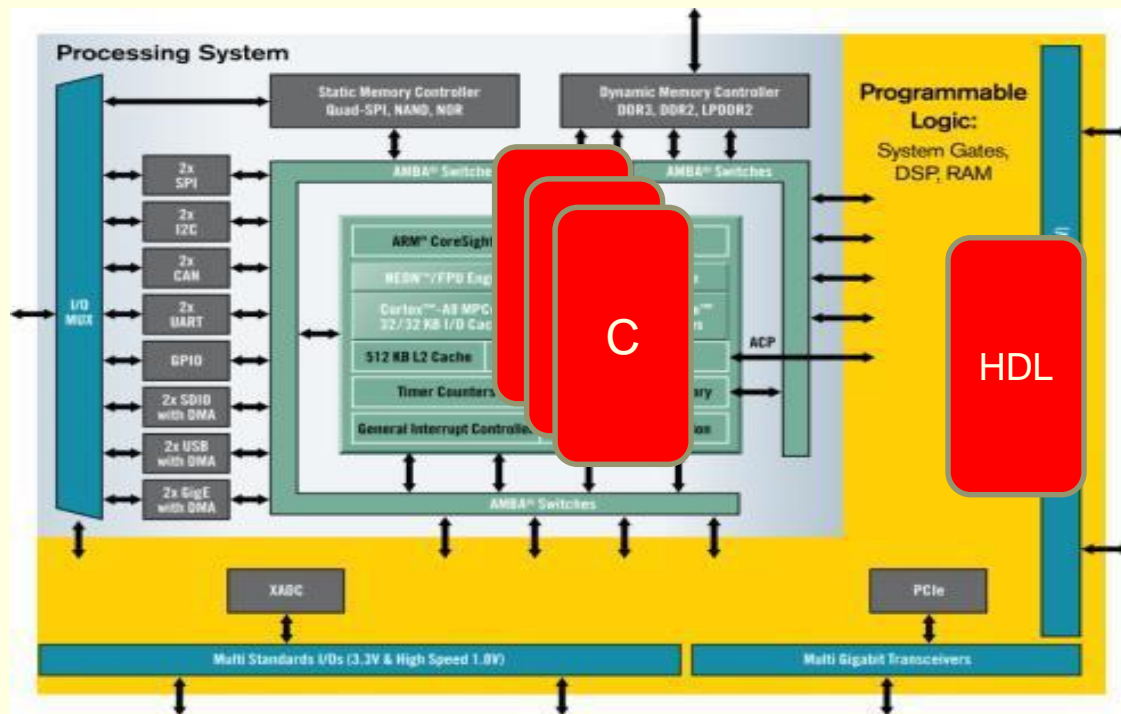
Povećanje performansi

- Meet HW and SW Processing Performance Needs
 - Programibilna logika
 - Ogromna DSP snaga
 - Sabirnice velike propusnosti –on chip
 - Over 3000 Processing System to Programmable Logic direct connections
 - High performance I/Os
 - Gigabit transceivers

Elements	Performance (up to)
Processors (each)	1 GHz
PL Fabric/ DSP Fmax	741 MHz
DSP (aggregate)	1080 GMACs
Transceivers (each)	12.5Gbps

Povećanje performansi

■ Optimized & Simplified HW/SW Partitioning

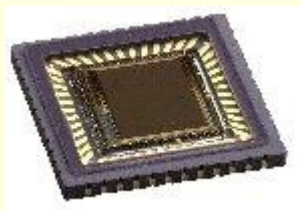


Što odabrati?

	ASIC	ASSP	2 Chip Solution	FPGA SoC
Performance	+	+	■	+
Power	+	+	-	+
Unit Cost	+	+	-	+
TCO	■	+	+	+
Risk	-	+	+	+
TTM	-	+	+	+
Flexibility	■	-	+	+
Scalability	-	■	+	+

Naš sustav

- Xilinx Zynq SoC FPGA
- SPARTAN-6 E2LP
- OmniVision OV7670 senzor



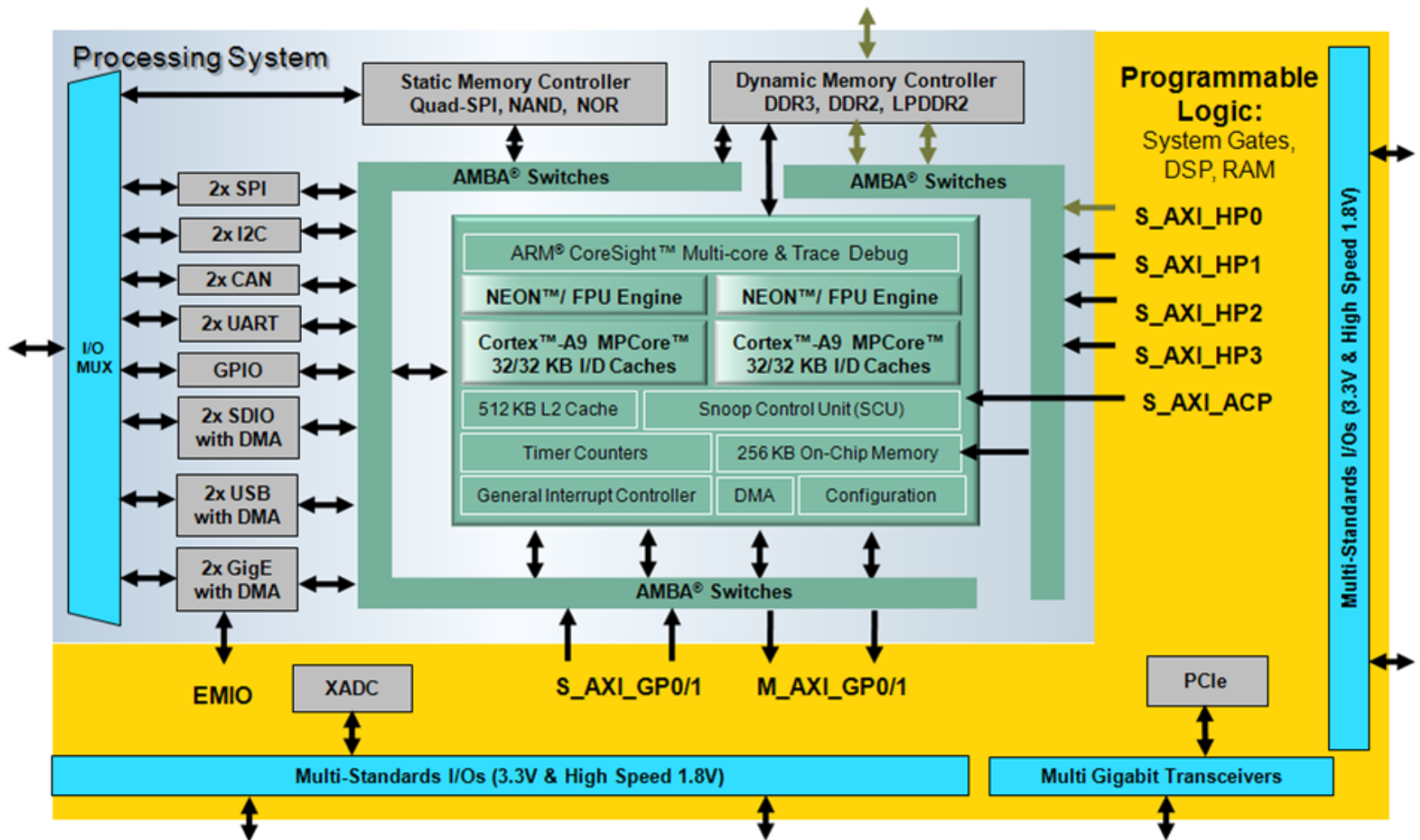
Komponente sustava

- Zynq SoC FPGA
 - ZedBoard - »Zynq™-7000 SoC XC7Z020
 - Dual core ARM Cortex A9
- Spartan-6 E2LP
 - MicroBlaze procesor
- Digitalni video senzor OmniVision OV7670
 - I2C (SCCD)
 - Zoom Video Port – Digital video port

Zynq-7000 Family Highlights

- ARM procesorski sustav
 - Application Processor Unit (APU)
 - Dual ARM Cortex™-A9
 - Pričuvna memorija
 - Fully integrated memory controllers
 - I/O sučelja
- Povezano s programabilnom logikom
 - Koristi se za proširivanje funkcionalnosti procesora
 - Skalabilnost i povećanje performansi
- Fleksibilno I/O sučelje
 - Veliki raspon I/O standarda
 - Serijski prijenos visokih performansi
 - Analogno digitalni pretvornici

ZYNQ 7000



ZYNQ 7000

- The Zynq-7000 AP SoC arhitektura sastoji se od dva dijela
 - PS: Procesorskog sustava
 - Dual ARM Cortex-A9 procesor
 - Mnogobrojne periferije
 - PL: Programibilne logike
 - Dije arhitekturu najnovijih Xilinx FPGA sklopova
 - Artix™-zasnovani uređaji: Z-7010 i Z-7020
 - Kintex™-zasnovani uređaji: Z-7030, Z-7045, and Z-7100

ZYNQ – dual core procesor

- ARM Cortex-A9 izveden u ARMv7-A arhitekturi
 - ARMv7 definira ARM Instrukcijski set (ISA)
 - ARMv7-A: oznaka A znači da podržava - Memory Management Unit (MMU)
- ARMv7 ISA osim osnovnog seta naredbi podržava sljedeće naredbe
 - Thumb naredbe: 16 bits; Thumb-2 naredbe: 32 bits
 - NEON: ARM's Single Instruction Multiple Data (SIMD)

ZYNQ – dual core procesor

- ARM Advanced Microcontroller Bus Architecture (AMBA®) sabirnica
 - AXI3: ARM sučelje treće generacije
 - AXI4: nadogradnja AXI3 sabirnice
- Cortex je najnovija porodica procesora ARM

ZYNQ – dual core procesor

- 2.5 DMIPS (Dhrystone)
- Harvardska arhitektura
- 32KB L1 instrukcijske i podatkovne pričuvne memorije
- 512KB L2 pričuvne memorije
- maksimalna frekvencija 1GHz

- Application processing unit (APU)
- I/O sučelja (IOP)
 - Multiplexed I/O (MIO), Extended Multiplexed I/O (EMIO)
- Memorijsko sučelje
- DMA
- Timers
 - Public and private
- General interrupt controller (GIC)
- On-chip memory (OCM): RAM
- Debug controller: CoreSight

ZYNQ Procesor - memorija

- On-chip memorija(OCM)
 - RAM
 - Boot ROM
- DDRx sučelje
 - podržava LPDDR2, DDR2, DDR3
- Flash/static, memorijsko sučelje
 - Podržava SRAM, QSPI, NAND/NOR FLASH

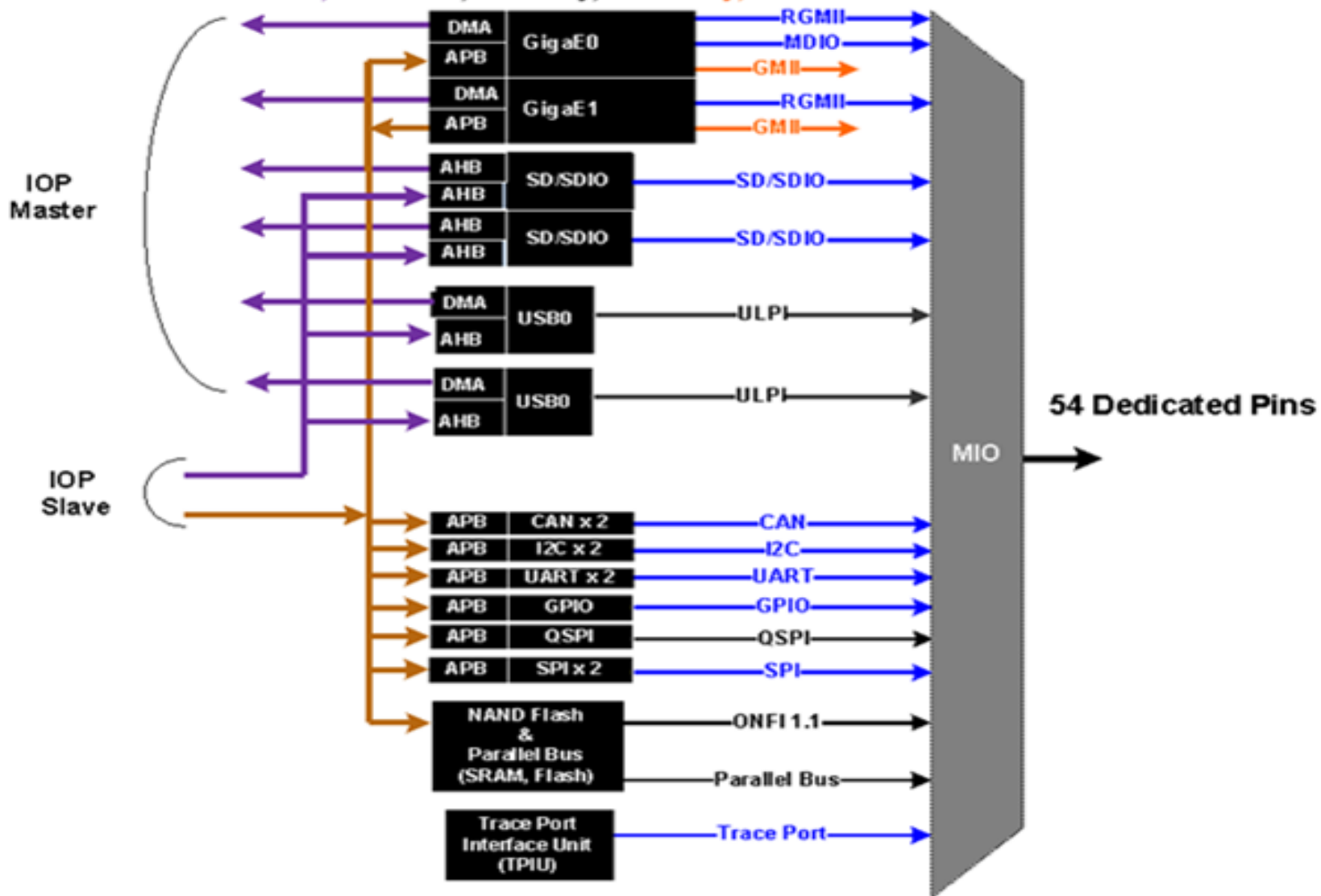
ZYNQ – Procesor – IO sučelja

- Dva GigE
- Dva USB
- Dva SPI
- Dva SD/SDIO
- Dva CAN
- Dva I2C
- Dva UART
- Četiri 32-bit GPIOs
- Statičke memorije
 - NAND, NOR/SRAM, Quad SPI

Legend

Arrow direction shows control (master to slave)
data flows in both directions

AHB 32bit, APB 32bit, MIO Only, EMIO only, MIO or EMIO

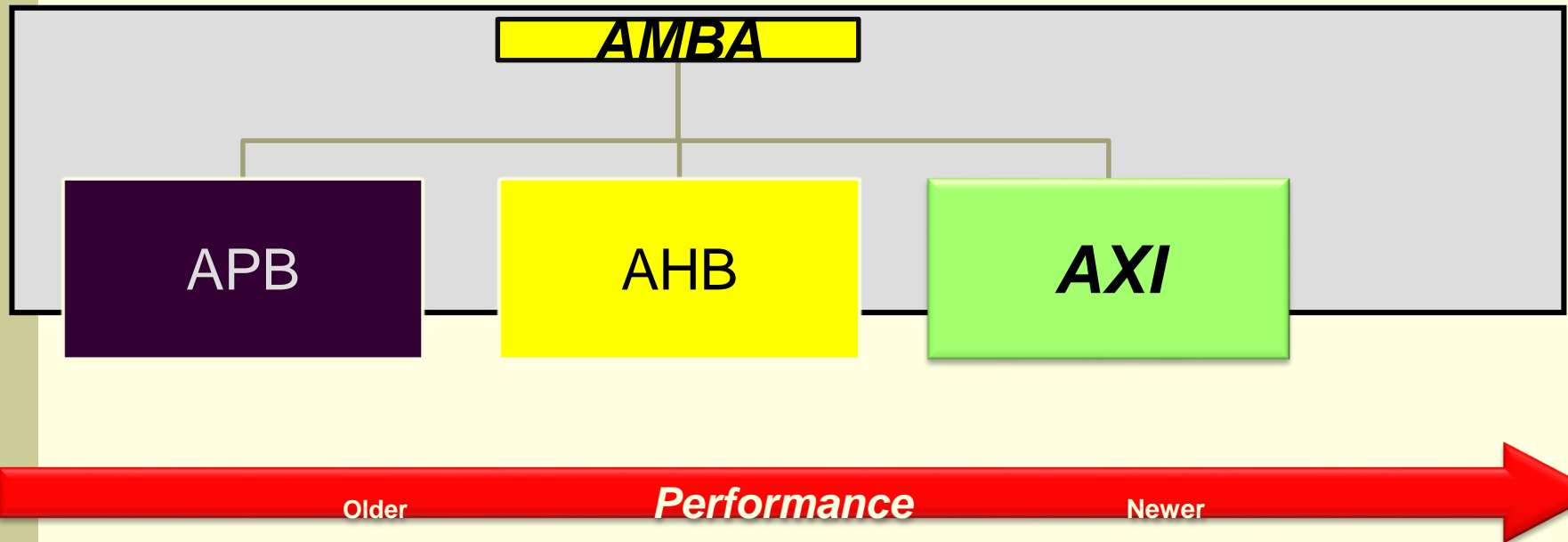


PS – PL Sučelje

- AXI high-performance slave ports (HP0-HP3)
 - 32-bit i 64-bit
 - pristup OCM i DDR
 - AXI FIFO sučelje (AFI)
- AXI general-purpose ports (GP0-GP1)
 - Dva “master” PS - PL
 - Dva “slave” PL - PS
 - 32-bit širine

-
- 64-bit accelerator coherence port (ACP) AXI slave interface to CPU memory
 - DMA, interrupts, events signals
 - Extended multiplexed I/O (EMIO) – omogućava spajanje procesorskih periferija s PL logikom
 - Clock i reset
 - Četiri odvojena signala vremenskog vođenja
 - Četiri odvojena reset signala

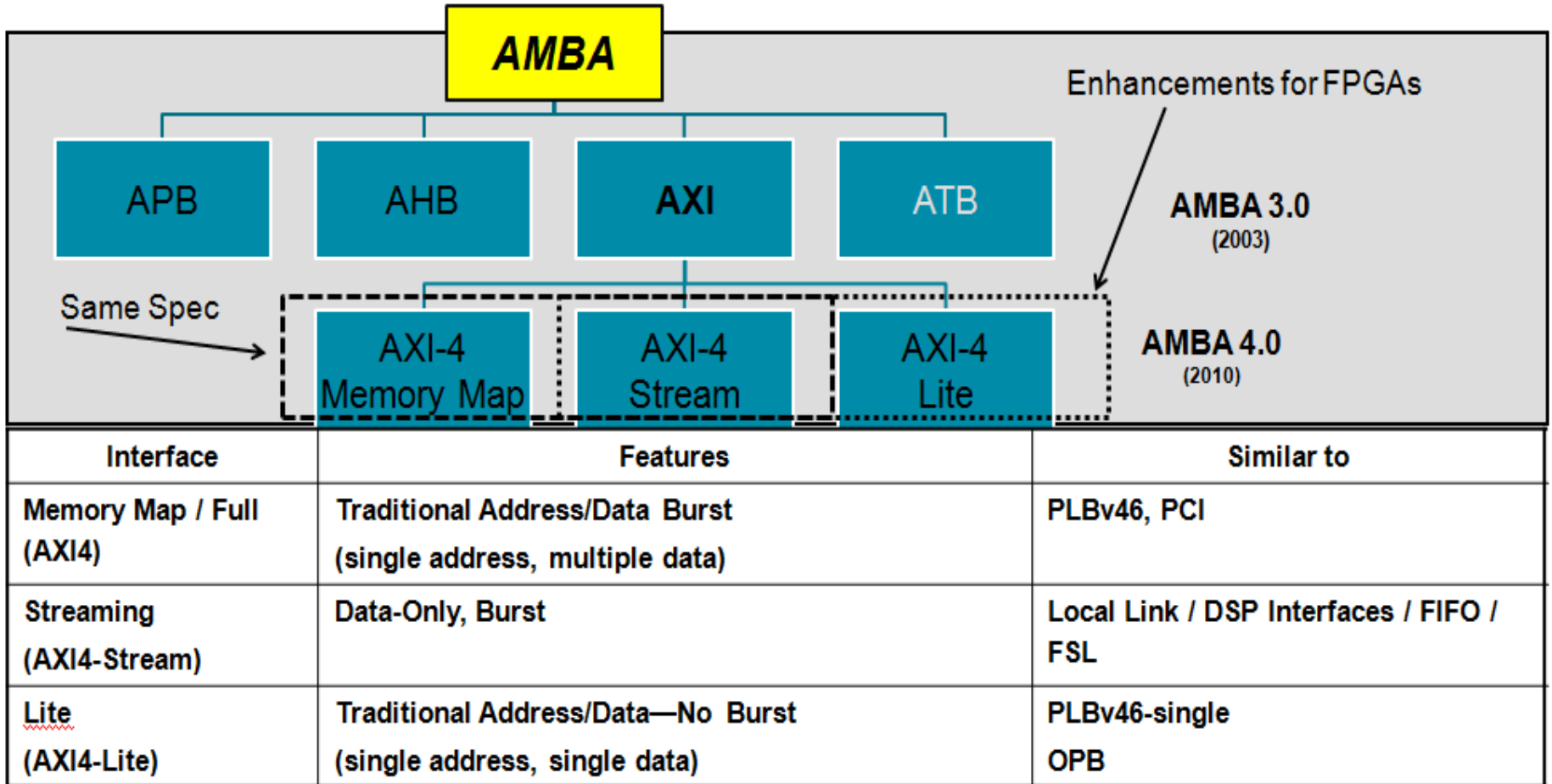
AXI



AMBA: Advanced Microcontroller Bus Architecture

AXI: Advanced Extensible Interface

AXI



Programibilna logika

- Artix-7 FPGA
- 87K logičkih blokova, oko 1.3M logičkih vrata
- 53.200 logičkih vrata
- 106.400 registara (bistabila)
- 560 KB BRAM memorija
- 220 MACC blokova
- 276 GMAC operacija u sekundi
- ADC – 2 x 12 bita – 17 ulaza

Spartan 6

- Spartan-6:
 - Spartan-6 LX FPGA: velik broj logičkih vrata
 - Spartan-6 LXT FPGA: komunikacijski zahtjevni sklopovi
- Namijenjeni za izradu jeftinih ugradbenih sustava
 - Velik broj različiti blokovi koji imaju različite funkcionalnosti
 - Velik broj IO podržanih normi
 - Jeftina izvedba pakiranja

Spartan 6

- Različite naponske razine, podrška za različite standarde - SelectIO™
 - Do 1,080 Mb/s podataka
 - Mogućnost konfiguracije izlazne struje, do 24 mA po pinu
 - 3.3V do 1.2V I/O
 - “Hot swap” podrška
- High-speed GTP serijska komunikacija - LXT obitelj
 - do to 3.2 Gb/s
 - High-speed podrška za: Serial ATA, Aurora,
 - 1G Ethernet, PCI Express, OBSAI, CPRI, EPON,
 - GPON, DisplayPort,

Spatan 6

■ DSP48A1 Blokovi

- Sklopovi pogodni za aritmetičke operacije i digitalnu obradu signala
- 18 x 18 Množenje i 48-bit MAC operacije
- Pogodni za protočni ili kaskadni
- Dodatno pred zbrajalo

■ Memory Controller blokovi

- DDR, DDR2, DDR3 i LPDDR podrška
- Brzine do 800 Mb/s
- “Multi-port” sabirnička struktura sa neovisnim FIFO spremnicima

Spartan 6

- CLB
 - Sadrže dvije polovice (Slices)
- Slices
 - Postoje tri tipa
 - SLICEM
 - SLICEL
 - SLICEX
- Upravljanje signalom vremenskog vođenja
 - DCM
 - PLL
- Blok RAM
- Množila, IO blokovi, memorijski sklopovi

Spartan-6 Family FPGAs



Spartan-6 LX FPGAs

Optimized for Lowest Cost Logic, DSP, and Memory
(1.2 Volt, 1.0 Volt)

Spartan-6 LXT FPGAs

Optimized for Low Cost Logic, DSP, and Memory
with High Speed Serial Connectivity (1.2 Volt)

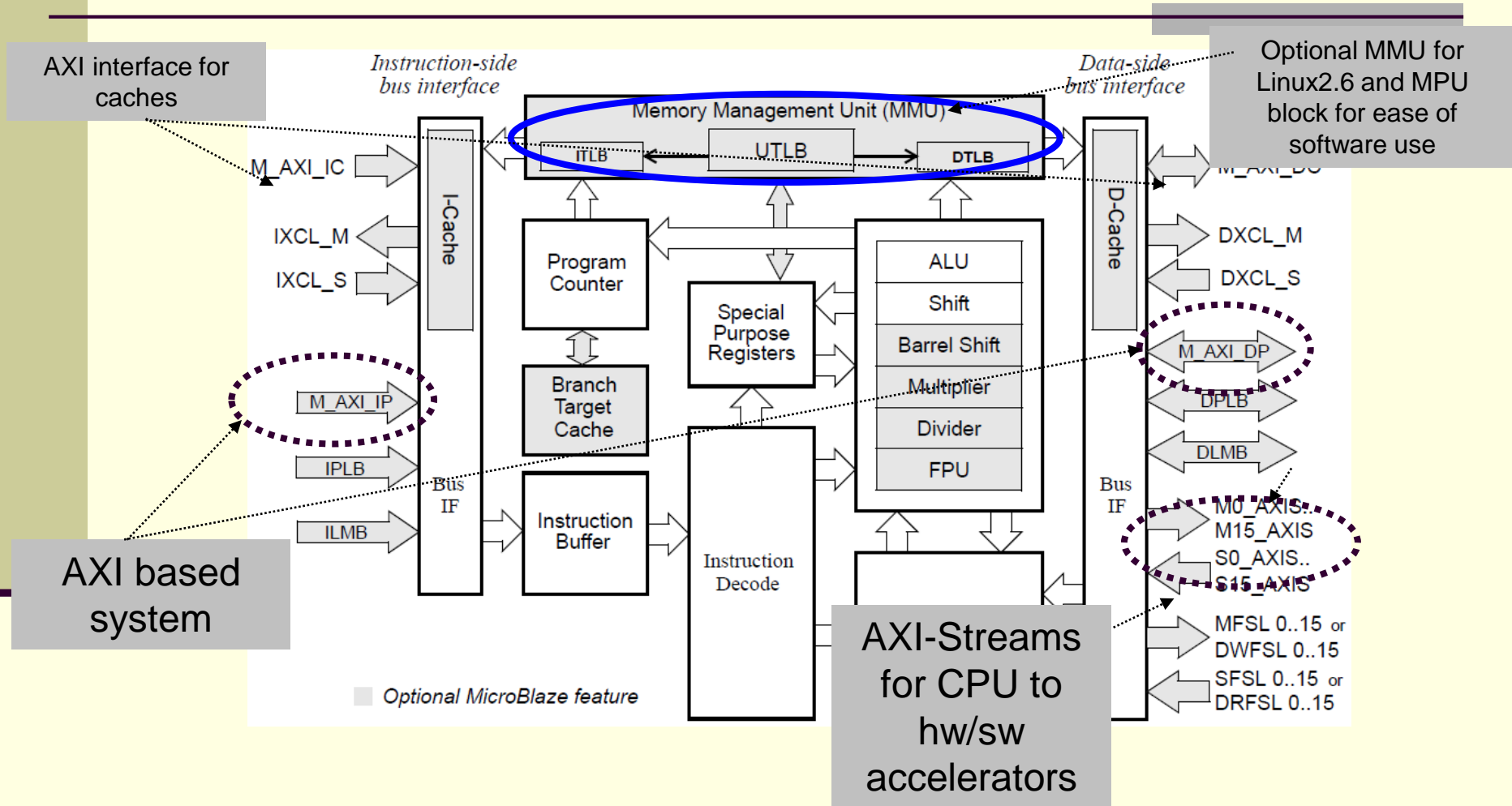
	Part Number	XC6SLX4	XC6SLX9	XC6SLX16	XC6SLX25	XC6SLX45	XC6SLX75	XC6SLX100	XC6SLX150	XC6SLX25T	XC6SLX45T	XC6SLX75T	XC6SLX100T	XC6SLX150T
Logic Resources	Slices ⁽¹⁾	600	1,430	2,278	3,758	6,822	11,662	15,822	23,038	3,758	6,822	11,662	15,822	23,038
	Logic Cells ⁽²⁾	3,840	9,152	14,579	24,051	43,661	74,637	101,261	147,443	24,051	43,661	74,637	101,261	147,443
	CLB Flip-Flops	4,800	11,440	18,224	30,064	54,576	93,296	126,576	184,304	30,064	54,576	93,296	126,576	184,304
Memory Resources	Maximum Distributed RAM (Kbits)	75	90	136	229	401	692	976	1,355	229	401	692	976	1,355
	Block RAM (18K bits each)	12	32	32	52	116	172	268	268	52	116	172	268	268
	Total Block RAM (Kbits) ⁽³⁾	216	576	576	936	2,088	3,096	4,824	4,824	936	2,088	3,096	4,824	4,824
Clock Resources	Clock Manager Tiles (CMT) ⁽⁴⁾	2	2	2	2	4	6	6	6	2	4	6	6	6
I/O Resources	Maximum Single-Ended Pins	120	200	232	266	358	400	480	570	250	296	320	490	530
	Maximum Differential Pairs	60	100	116	133	179	200	240	285	125	148	160	245	265
Embedded Hard IP Resources	DSP48A1 Slices ⁽⁵⁾	8	16	32	38	58	132	180	180	38	58	132	180	180
	PCI Express® Endpoint Block	—	—	—	—	—	—	—	—	1	1	1	1	1
	Memory Controller Blocks	0	2	2	2	4	4	4	4	2	2	4	4	4
	GTP Low-Power Transceivers	—	—	—	—	—	—	—	—	2	4	8	8	8
Speed Grades	Commercial	-2, -3	-2, -3	-2, -3	-2, -3	-2, -3	-2, -3	-2, -3	-2, -3	-2, -3	-2, -3	-2, -3	-2, -3	-2, -3
	Industrial	-L1, -2	-L1, -2	-L1, -2	-L1, -2	-L1, -2	-L1, -2	-L1, -2	-L1, -2	-2	-2	-2	-2	-2
Configuration	Configuration Memory (Mbits)	2.7	2.7	2.7	4.4	7.7	19.6	17.1	28.0	4.4	7.7	19.6	17.1	28.0

MicroBlaze Procesor

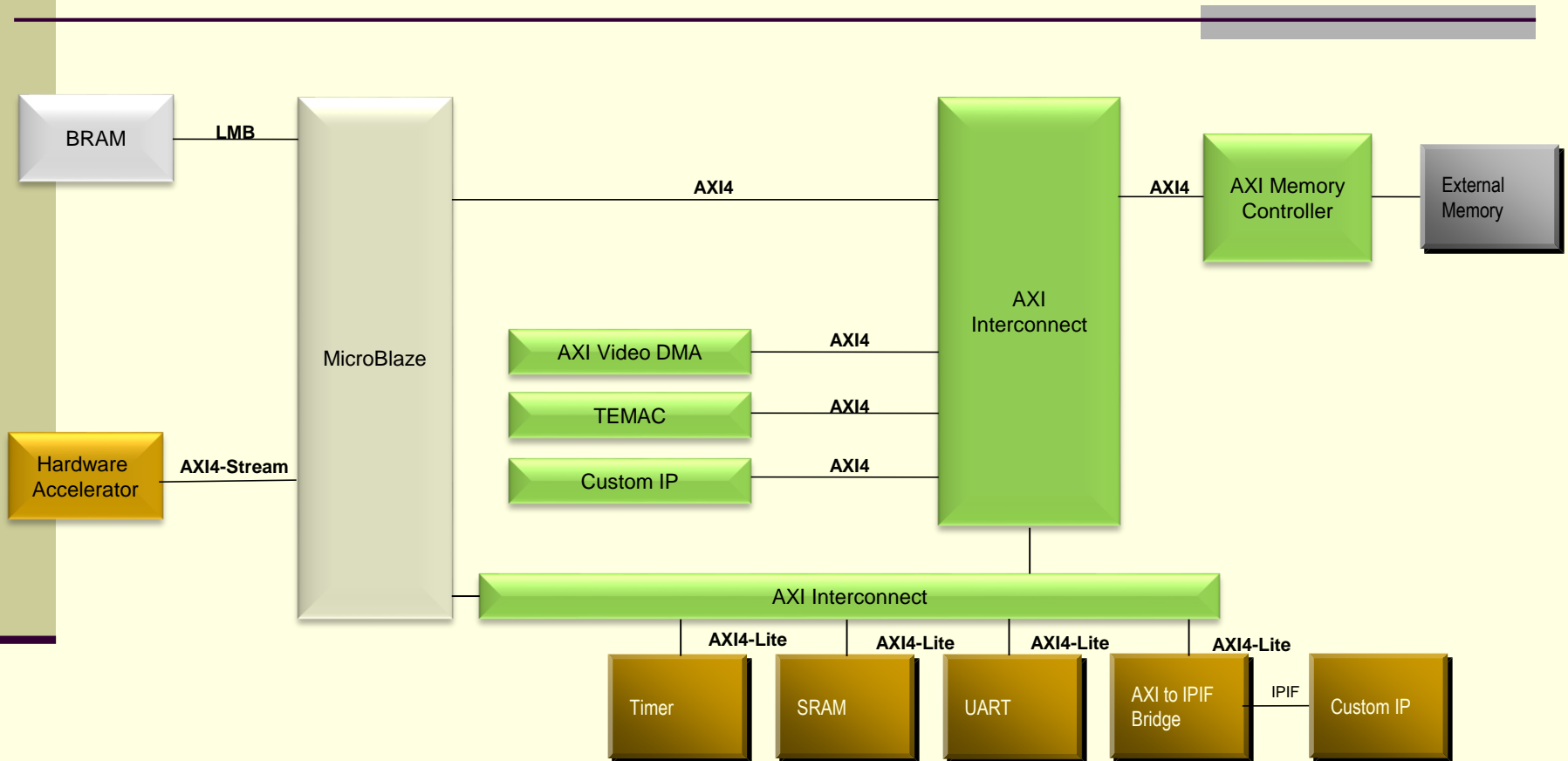
- 32-bitna prilagodljiva Jezgra
 - Protočna arhitektura
 - 3 stupnja (smanjena količina logike) ili 5 stupnjeva (veća brzina rada)
 - Pričuvna memorija za naredbe i podatke – AXI ili XCL sučelje
 - Direktno mapiranje (1-way asocijativno)
 - Po izboru “Memory Mgt” ili “Memory Protection Unit”
 - Potrebno za Linux OS (Linux 2.6 podržan)
 - Floating-point unit (FPU)
 - IEEE 754 format
 - Barrel Shifter
 - Sklopovsko množilo
 - 32x32 množilo koje daje 64 bitni rezultat
 - Sklopovsko dijeljenje
 - AXI4 Stream/Lite/Full podrška za direktan pristup programibilnom sklopu
 - Podrška za debugiranje

© Copyright 2012 Xilinx

MicroBlaze Block Diagram



AXI4 System



MicroBlaze dodatne funkcije

- Podrška za AXI4 sabirnički sustav
- Memory Management Unit (MMU)
 - PowerPC 405 procesor - MMU compatible
- Procesorska poboljšanja
 - Nove naredbe za konverziju float-integer. Računanje drugog korijena.
- XMD **Xilinx®** Microprocessor Debugger
- AXI4 streaming sučelje

© Copyright 2012 Xilinx

AXI Streaming Interface

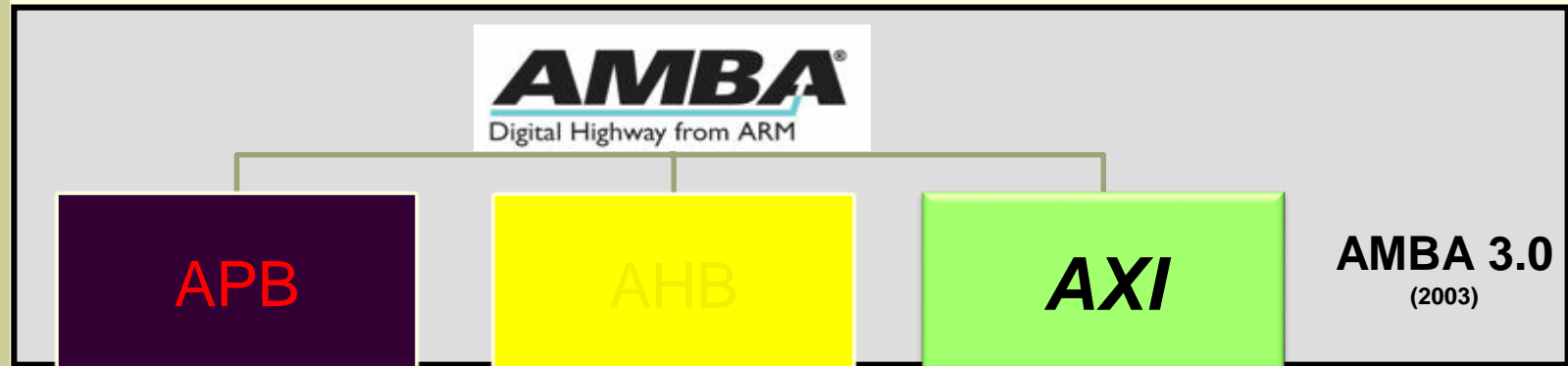
- Jednosmjerna komunikacija, “point-to-point”, koristi FIFO spremnike
- Programibilna dubina FIFO spremnika
- Direktna veza s jezgrom procesora
 - Do 16 komunikacijskih kanala
 - Specializirani registri za čitanje i pisanje u/iz FIFO spremnika

Podrška za više jezgri

■ Multicore arhitektura

- Mailbox: komunikacija između dvije jezgre
 - Podrška AXI4-Lite, AXI4-Stream and FSL
- Mutex core: Sinhronizacija dva ili više procesora
 - Supports AXI4-Lite and PLBV46
- Processor Version Register (PVR)
 - Sadrži: Processor ID, configuration/user/processor info (e.g. cache size etc), version number and other internal information

AXI is Part of ARM's AMBA

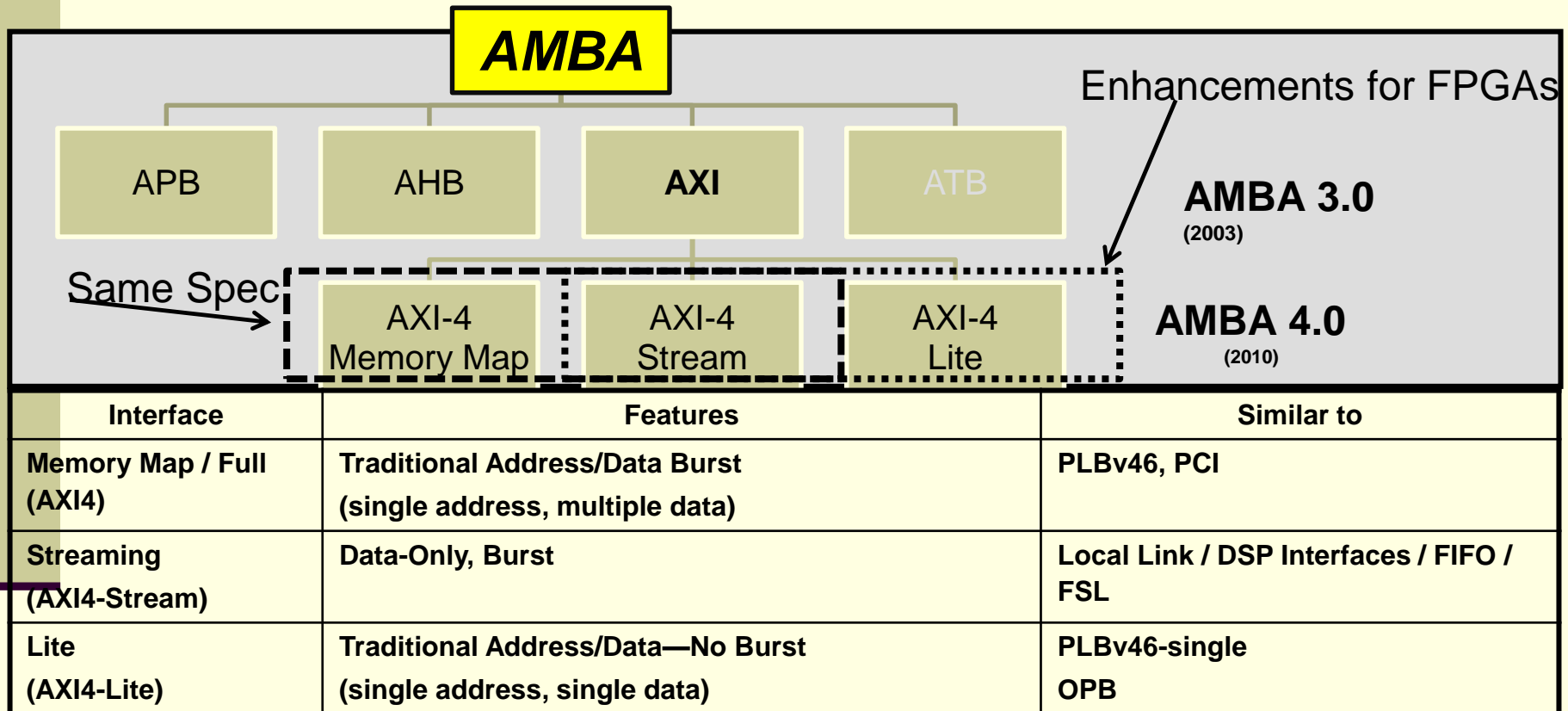


AMBA: Advanced Microcontroller Bus Architecture

AXI: Advanced Extensible Interface

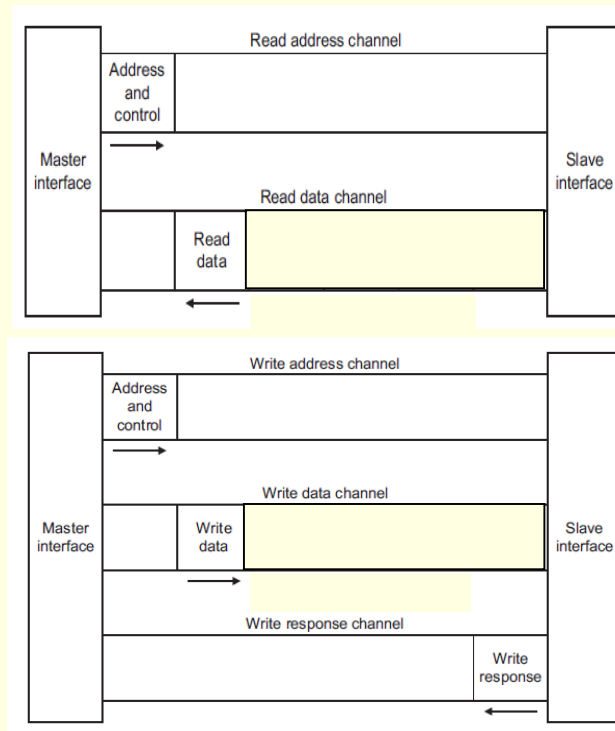
AXI is Part of AMBA:

Advanced Microcontroller Bus Architecture



The AXI Interface—AXI4-Lite

- No burst
- Data width 32 or 64 only
 - Xilinx IP only supports 32-bits
- Very small footprint
- Bridging to AXI4 handled automatically by AXI_Interconnect (if needed)



AXI4-Lite Read

AXI4-Lite Write

© Copyright 2012 Xilinx

The AXI Interface—AXI4

- Sometimes called “Full AXI” or “AXI Memory Mapped”

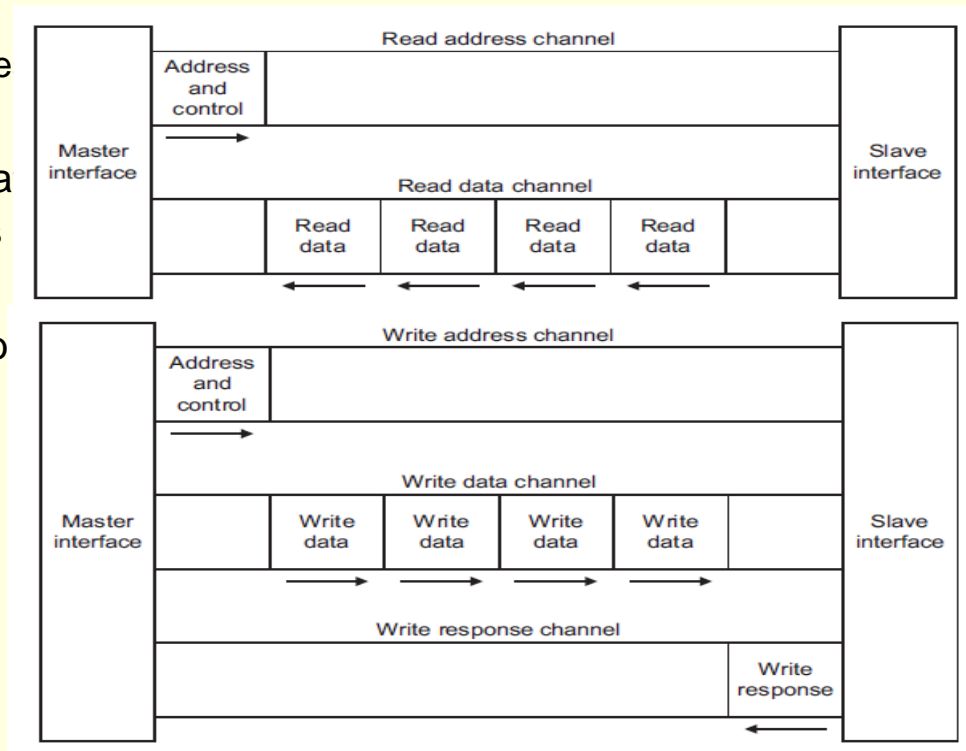
- Not ARM-sanctioned name

- Single address multiple data

- Burst up to 256 data beats

- Data Width parameterizable

- 1024 bits



AXI4 Read

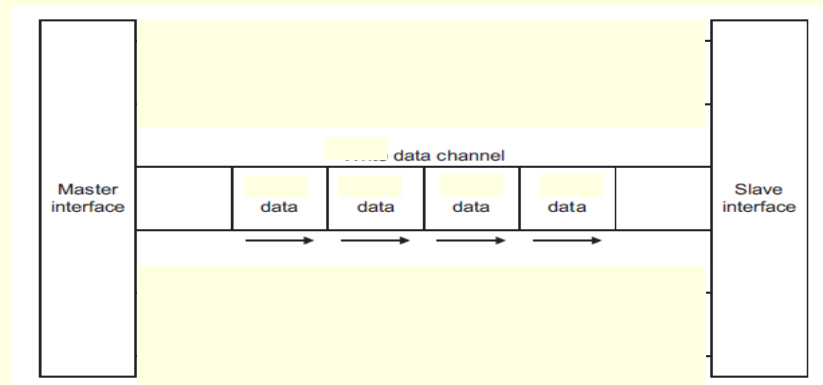
AXI4 Write

© Copyright 2012 Xilinx

The AXI Interface—AXI4-Stream

- No address channel, no read and write, always just master to slave
 - Effectively an AXI4 “write data” channel
- Unlimited burst length
 - AXI4 max 256
 - AXI4-Lite does not burst
- Virtually same signaling as AXI Data Channels
 - Protocol allows merging, packing, width conversion
 - Supports sparse, continuous, aligned, unaligned streams

AXI4-Stream Transfer



© Copyright 2012 Xilinx

Processor Local Bus (PLB)

- Ne preporuča se. Kompatibilnost sa starim sustavima
- Potpuno sinkronizirani protokol
- Centralizirani sklop za arbitražu—PLB arbiter
- 32 ili 64-bitna adresa
- 32, 64 ili 128-bitni podatci
- Mogućnost dijeljenja sabirnice ili point-to-point komunikacija
- Protočna struktura (2 nivoa)

© Copyright 2012 Xilinx

PLB Most

- PLB-to-PLB most je potreban kada dva PLB segmenta komuniciraju
 - Npr.:
 - Sabirnice različite brzine
 - Sabirnice različite širine

AXI Most

- AXI_to_PLBv46 I PLBv46_to_AXI Most
 - Used in system having two standards (Core-Connect and AMBA)
 - Supports multi-master/multi-slave connections
 - Designed to support existing customer PLBv46-based cores in an AXI system
- AXI_to_APB Bridge
 - Designed to support 3rd party slave IP talking to an AXI4-Lite master
 - The bridge is slave on the AXI4Lite side and master on the APB peripheral side
 - APB3/APB4 peripherals are supported

© Copyright 2012 Xilinx

-
- Local Memory Bus (LMB)
 - Za povezivanje BRAM memorije
 - Fast Simplex Links (FSL)
 - Za dodavanje koprocesorskih naredbi – ne preporuča se
 - Xilinx Cache Link
 - Sučelje za pričuvnu memoriju – ne preporuča se
 - MicroBlaze AXI Cache Interfaces

MicroBlaze Cache to External Memory Datapath

Default Configuration, same as pre-AXI

