第9週レポート 実験 8.1~8.6

10 班 山村優太 2024年12月12日

## 実験 8.1

## 回路図

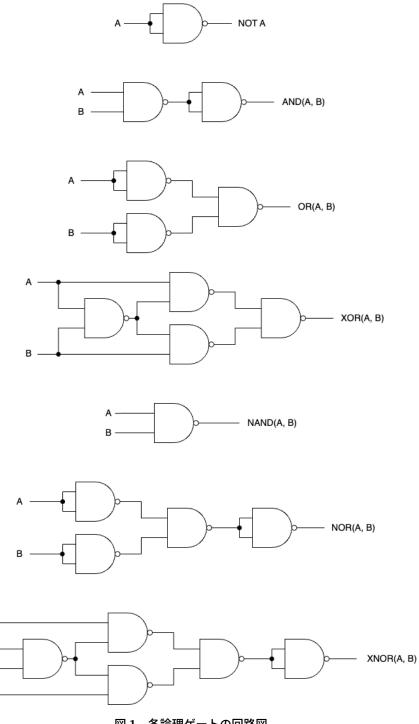


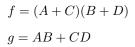
図1 各論理ゲートの回路図

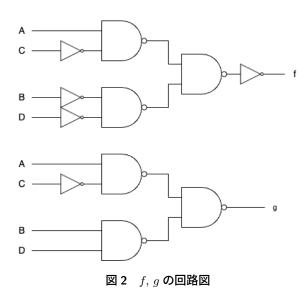
A	B	NOT(A)	AND(A, B)	OR(A, B)	XOR(A, B)	NAND(A, B)	NOR(A, B)	XNOR(A, B)
0	0	1	0	0	0	1	1	1
0	1	1	0	1	1	1	0	0
1	0	0	0	1	1	1	0	0
1	1	0	1	1	0	0	0	1

# 実験 8.2

#### 回路図

以下に示す論理関数 f,g を NAND, NOT ゲートのみで実現した (2 人目を担当).





A	B	C	D	f	g
0	0	0	0	0	0
0	0	0	1	1	0
0	0	1	0	0	0
0	0	1	1	1	0
0	1	0	0	1	0
0	1	0	1	1	1
0	1	1	0	1	0
0	1	1	1	1	1
1	0	0	0	0	1
1	0	0	1	0	1
1	0	1	0	0	0
1	0	1	1	1	0
1	1	0	0	0	1
1	1	0	1	0	1
1	1	1	0	1	0
1	1	1	1	1	1

# 実験 8.3

## 回路図

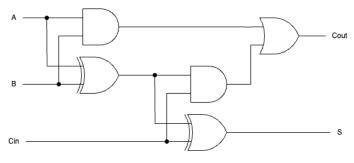


図3 全加算器の回路図

A	B	$C_{\rm in}$	$C_{ m out}$	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

## 実験 8.4

#### 回路図

図3全加算器の等価回路を図4に示す.

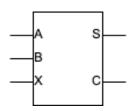


図 4 全加算器の等価回路

ここで、図 4 の A, B, X, S, C はそれぞれ図 3 の A, B, C<sub>in</sub>, S, C<sub>out</sub> に対応している. 4bit 加算器の回路図を図 5 に示す.

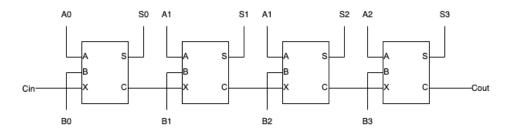


図 5 4bit 加算器の回路図

$C_{ m in}$	$A_0$	$A_1$	$A_2$	$A_3$	$B_0$	$B_1$	$B_2$	$B_3$	$S_0$	$S_1$	$S_2$	$S_3$	$C_{ m out}$
0	1	1	0	0	0	0	1	0	1	1	1	0	0
0	1	0	0	0	0	1	0	1	0	1	0	1	0
0	1	1	1	0	0	0	1	1	1	1	0	0	1
0	1	1	0	1	0	1	1	1	1	0	0	1	1

 $S_0 S_1 S_2 S_3(2) = A_0 A_1 A_2 A_3(2) + B_0 B_1 B_2 B_3(2)$ 

上から順に, 3+4=7, 1+9=10, 7+12=19, 11+14=25 に対応している.

## 実験 8.5, 8.6

### 回路図

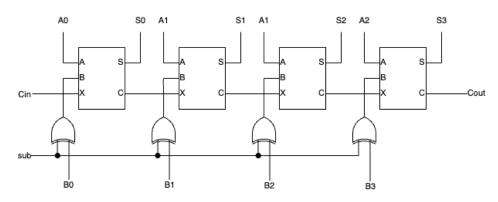


図 6 4bit 加減算器の回路図

Cin	$A_0$	$A_1$	$A_2$	$A_3$	$B_0$	$B_1$	$B_2$	$B_3$	$S_0$	$S_1$	$S_2$	$S_3$	Cout	sub
0	1	1	0	0	0	0	1	0	1	1	1	0	0	0
0	1	0	0	0	0	1	0	1	0	1	0	1	0	0
0	1	1	1	0	0	0	1	1	1	1	0	0	1	0
0	1	1	0	1	0	1	1	1	1	0	0	1	1	0
0	0	1	1	0	0	1	0	0	0	0	1	1	1	1
0	1	1	1	1	1	0	1	0	0	0	1	1	1	1
0	0	0	0	0	1	1	0	1	1	1	1	1	1	1
0	0	0	0	0	0	0	1	0	1	0	1	0	0	1

```
S_0S_1S_2S_3(2)=A_0A_1A_2A_3(2)+B_0B_1B_2B_3(2) (sub = 0) S_0S_1S_2S_3(2)=A_0A_1A_2A_3(2)-B_0B_1B_2B_3(2) \text{ (sub = 1)} 上から順に、3+4=7,\ 1+9=10,\ 7+12=19,\ 11+14=25,\ 6-2=4,\ 15-5=10, 8-13=-5,\ 0-10=-10 に対応している.
```