

実験項目	実験 B7 論理回路(順序回路)
校名 科名 学年 番号	熊本高等専門学校 人間情報システム工学科 3 年 42 号
氏名	山口惺司
班名 回数	4 班 1 回目
実験年月日 建物 部屋名	2023 年 11 月 16 日 木曜 天候 くもり 3 号棟 1 階 HI 演習室
共同実験者名	山内玲奈

1. 実験目的

順序回路の設計手順を習得し，組合せ回路との違いを理解する．

2. 実験原理

2.1. パルス

1. パルススイッチ

人間の手によってパルス信号（図 1 参照）を作るときに用いる．パルススイッチを押して放すと，スイッチを押しているだけの時間幅を持ったパルス信号が，PULSER OUTPUTS 端子から出力される．パルススイッチは P1, P2, P3 と 3 個（回路）用意されている．トグルスイッチとの出力信号の違いは，PULSER OUTPUTS にはチャターがなくスイッチ出力にはそれがあることである．

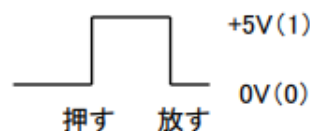
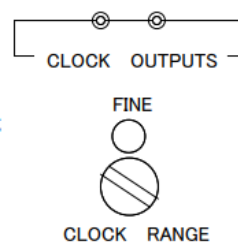


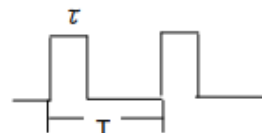
図 1 パルススイッチの出力

2. パルス発生器

ロジックトレーナーには，繰り返しのパルス信号を発生する回路（pulse generator）がある．（図 2(a)参照）．繰り返しの周期は，CLOCK RANGE と FINE のつまみで変えられ，CLOCK OUTPUTS から出力が取り出せる．図 2(b)は，そのパルス波形を書き出したもので出力端子より幅 τ ，周期 T のパルス信号が連続的に出力されることを示している．



(a) 配置図



(b) パルス波形

図 2 パルス発生器

2.2. JK フリップフロップ

JK フリップフロップ（図 3(a) 参照）は，2 つのデータ入力 J, K をもち，その値によって出力 Q の値がクロックに同期して変わる．R=0 にすると，J, K, C の値に関係なく $Q_{n+1} = 1$ ($Q_n = 0$) となる．図 3(b)において，n は現在の時刻，n+1 は 1 個のクロックパルス到来後の時刻を示している．したがって，出力 $Q(n+1)$ はクロックパルスがきた後の出力を示す．

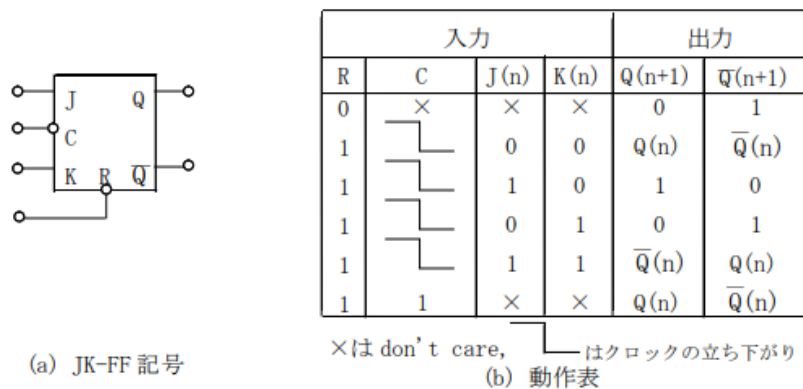


図 3 JK フリップフロップ

3. 実験内容

各回路を図の通りロジックトレーナーに実装し、動作を確認する。波形の観測には、出力数の関係からロジックアナライザを利用する。

3.1. JK フリップフロップの動作確認

J, K を SW1, SW2, C を PULSER OUTPUTS に, Q, Q̄ を L1, L2 につなぎ, 図 3(b) の動作表を確かめる。また, パルススイッチを放したとき, パルスの立ち下がり時に出力が変わることも確かめる。

3.2. 2 分周回路

分周回路とは, 高い周波数のクロックを低周波のクロックに変換する回路である。図 4 は周波数を半分にする 2 分周回路の例である。図 4 の回路を作り, C と Q の関係をロジックアナライザで確かめる。

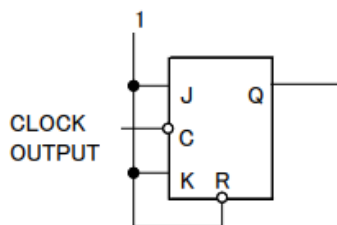


図 4 2 分周回路

3.3. 順序回路

フリップフロップと組合せ回路（ゲート回路）で作られた論理回路を順序回路と呼ぶ。ここでは簡単な順序回路について実験を行う。

1. 同期式 8 進カウンタ

同期式回路は、各フリップフロップに与えられるクロックが共通しているところ が特徴である。図 5 の同期式 8 進カウンタを作り、その動作を確かめる。

- (1) CLOCK, RESET はパルススイッチで、出力はランプで確認し、結果を表 1 に示す。
 - (2) RESET はパルススイッチ, CLOCK はクロック発生器より、出力はロジックアナライザで確認し、タイムチャートを図 6 に書く。
- ※必ず 1 周期以上の動作を書くこと。

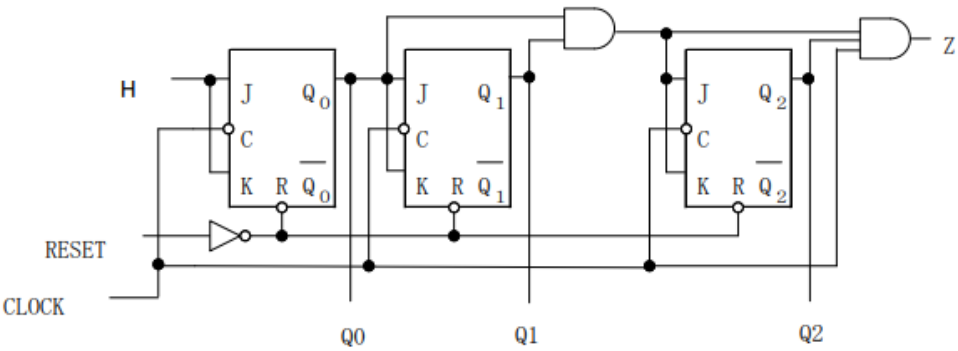


図 5 同期式 8 進カウンタ

表 1 同期式 8 進カウンタの真理値表

R	C	Q2	Q1	Q0	Z
0	x	x	x	x	x
1	┐	0	0	0	0
1	└	0	0	1	0
1	└	0	1	0	0
1	└	0	1	1	0
1	└	1	0	0	0
1	└	1	0	1	0
1	└	1	1	0	0
1	└	1	1	1	0
1	┐	1	1	1	1
1	└	0	0	0	0

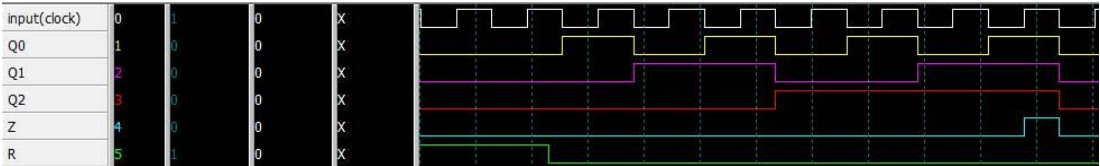


図 6 同期式 8 進カウンタのタイムチャート

2. 4 ビットシフトレジスタ

シフトレジスタは、フリップフロップを従属接続することで作ることができる。その動作は、1クロックごとに各フリップフロップの内容が右もしくは左のフリップフロップへ移動する。外部からのデータは、基本的には一番左（または右）のフリップフロップへ入力するようにする。複雑な構造を持つシフトレジスタには、外部からのデータを並列に各フリップフロップへ入力できたり、左、右のシフト（移動）を選択できたりするものもある。

図7に示された回路を作り、それがシフトレジスタとして働くことを確かめる。結果は図8のタイミングチャートを参考にする。入力はパルススイッチで行い、入力のタイミング、長さを変化させた時の各出力を確認する。

実験結果のタイムチャートを図9に示す。

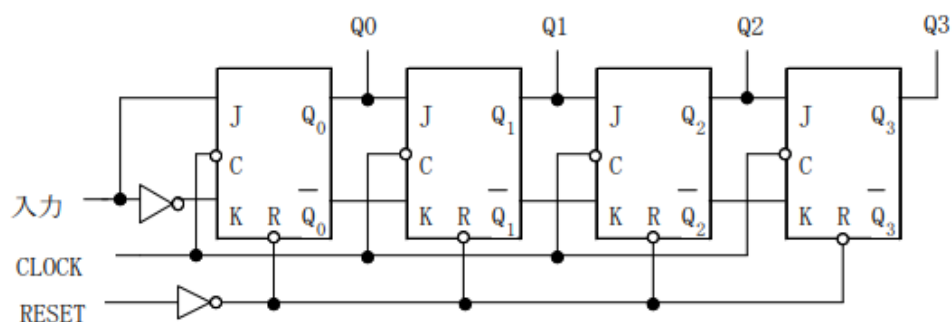


図7 4ビット JK シフトレジスタ

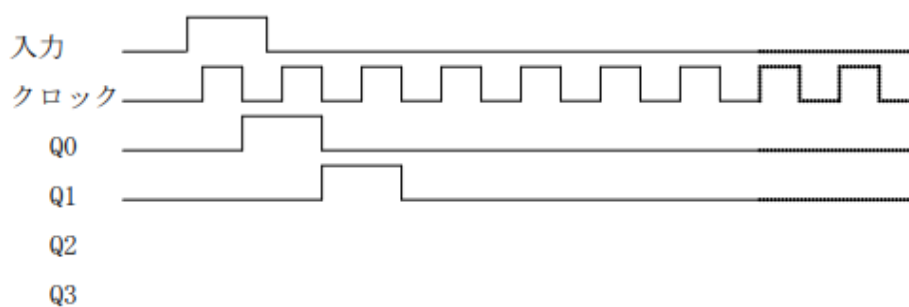


図8 動作確認のためのタイムチャート例

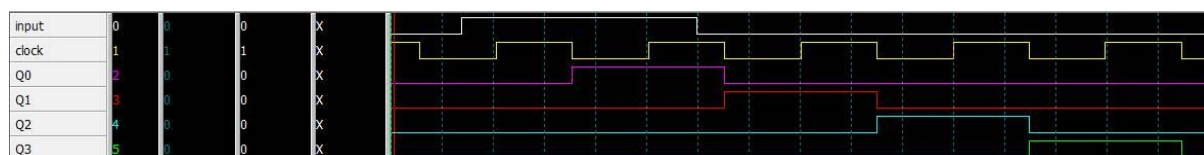


図9 4ビットシフトレジスタのタイムチャート

4. 考察

4.1. 同期式 8 進カウンタ

タイムチャートを見ると、真理値表と同じ動作をしているため結果は正しいと言える。

4.2. 4 ビットシフトレジスタ

タイムチャートを見ると、動作確認例と結果が同じ動作をしているため、結果は正しいと言える。

5. 研究課題

同期式 6 進カウンタを設計し、その回路を作り、タイミングチャートを書いて確認 下さい。6 進カウンタの遷移を表した真理値表を作成し、カルノー図と論理式も導出すること。

回路を図 10, タイムチャートを図 11 に示す。

また、真理値表を表 3, JK1, JK2, JK3 のカルノー図を表 4, 5, 6 に示す。

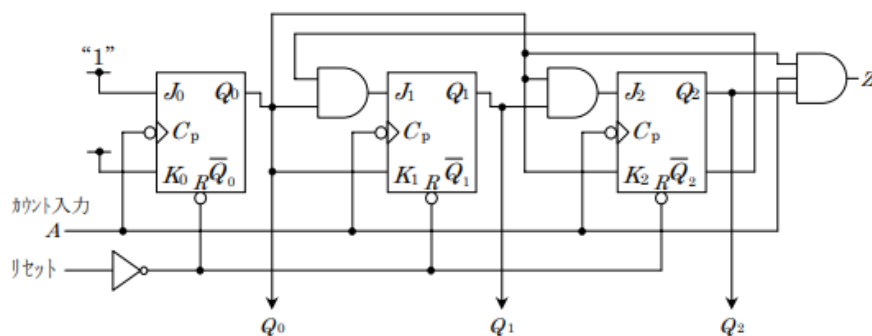


図 10 同期式 6 進カウンタ

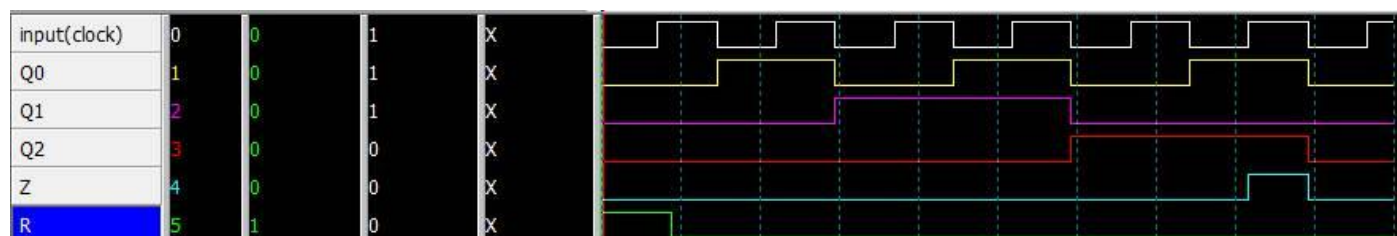


図 11 同期式 6 進カウンタのタイムチャート

表 3 同期式 6 進カウンタの真理値表

R	C	Q2	Q1	Q0	Q2'	Q1'	Q0'	JK1	JK2	JK3
0	x	x	x	x	x	x	x	x	x	x
1	┐	x	x	x	0	0	0	x	x	x
1	└	0	0	0	0	0	1	1	0	0
1	└	0	0	1	0	1	0	1	1	0
1	└	0	1	0	0	1	1	1	0	0
1	└	0	1	1	1	0	0	1	1	1
1	└	1	0	0	1	0	1	1	0	0
1	┐	1	0	1	1	0	1	1	0	1
1	└	1	0	1	0	0	0			

表 4 JK1 のカルノー図

Q0 Q1 \ Q2	00	01	11	10
0	1	1	1	1
1	1	x	x	1

表 5 JK2 のカルノー図

Q0 Q1 \ Q2	00	01	11	10
0	0	0	1	1
1	0	x	x	0

表 6 JK3 のカルノー図

Q0 Q1 \ Q2	00	01	11	10
0	0	0	1	0
1	0	x	x	1

論理式：

$JK1 = 1$

$JK2 = Q0Q2'$

$JK3 = Q0Q1 + Q0Q2 = Q0(Q1 + Q2)$