ディジタル回路Ⅰ

1. **目的**

　この実験課題はディジタル集積回路の基礎的特性測定を通し、ディジタルICの特性に関する基礎概念ならびに測定技術の習得を目的とする。

1. **原理**

　集積回路（IC = Integrated Circuit）のIntegrated(集積)の意味は、1つの基板にお互いに分離できない状態で回路素子が結合されているということで、半導体集積回路（monolitic）と薄膜集積回路（thin film）および両者を併用した混成集積回路（hybrid）とがある。半導体集積回路にはバイボーラトランジスタを用いたこものMOSトランジスタを用いたものがあり、後者の方が高集積密度のものを作り易い。

　ディジタルICにはDTL、TTL、ECL、CMOSなど種種の回路形式がありそれぞれ特長がある。

**電圧反転器（inverter）**

　集積回路について述べる前にCMOS反転器について簡単に説明する。nチャネルMOSFETとpチャネルMOSFETを相補的の接続したCMOSの反転（インバータ）回路を図１に示す。入力電圧*Vi*が低レベルの電圧(L)の時は、Tpのゲート・ソース間には負のバイアスが印加されるためON（導通）状態になり、Tnのゲート・ソース間は0Vになるためオフ（遮断）状態となる。よって、出力*Vo*は高レベル(H)となる。一方、入力電圧*Vi*

が高レベルの電圧(H)の時は、Tpのゲート・ソース間は0Vとなるためオフ状態となり、Tn

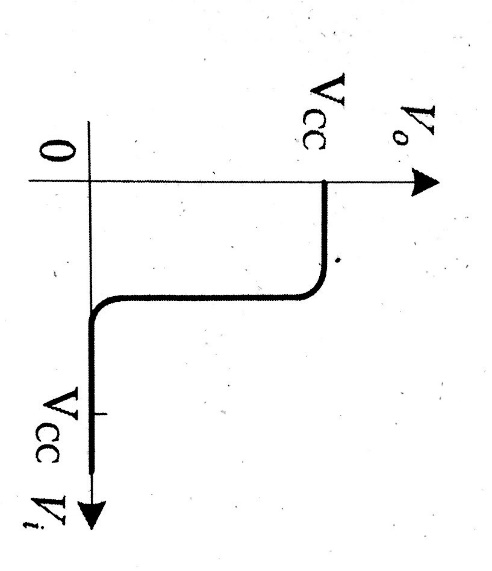
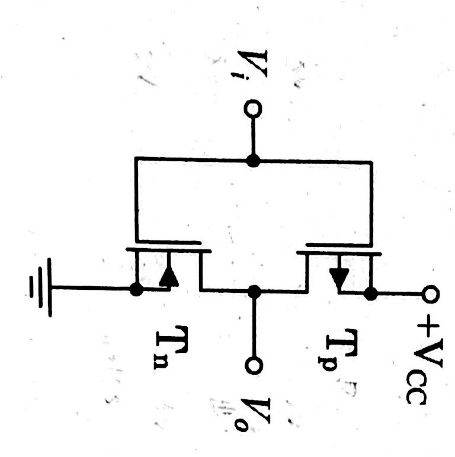
のゲート・ソース間は負のバイアスが印加されるためオン状態となる。よって、出力*Vo*は低レベル(L)となる。したがって、入出力特性図は図2のようになる。

図1　CMOS反転器 図2　CMOS反転器の入出力特性

**標準CMOSの特性**

　一口に集積回路といっても種々の論理性を持ったものがあるが、ここでは代表的なCMOS IC 74HC00（NANDゲート）について考える。

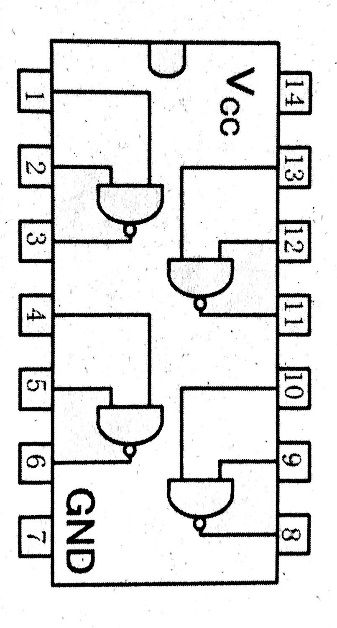
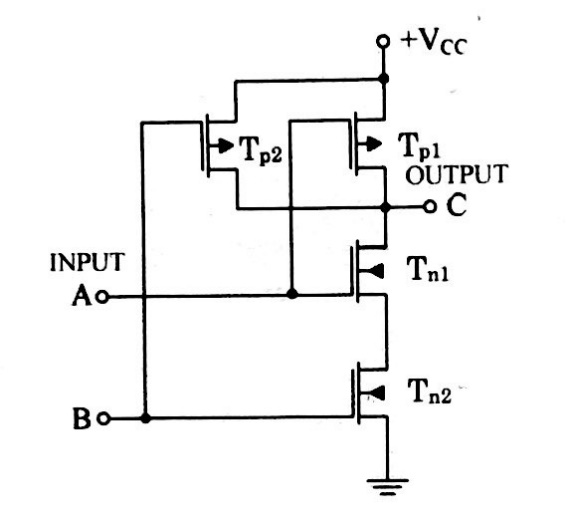
　74HC00の回路を図3に示す。この素子4組を1個としてDual-in-line packageされて製品化されている。代表的な端子接続図を図4に示す。図4中のNANDは図3の回路を意味する記号である。端子14には電源電圧+5Vを印加し、端子7は共通接地点である。以下、端子14-7間には定格電源電圧が加えられているものとする。

図3　 IC 74HC00の回路 図4　 IC 74HC00の端子接続図

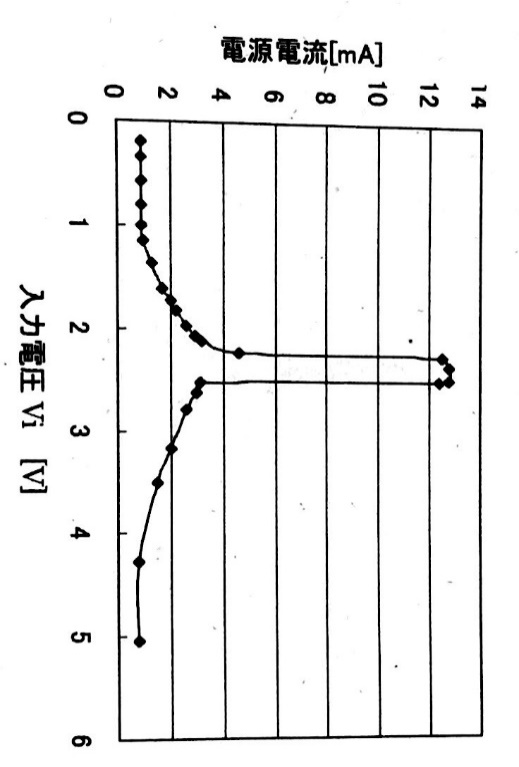
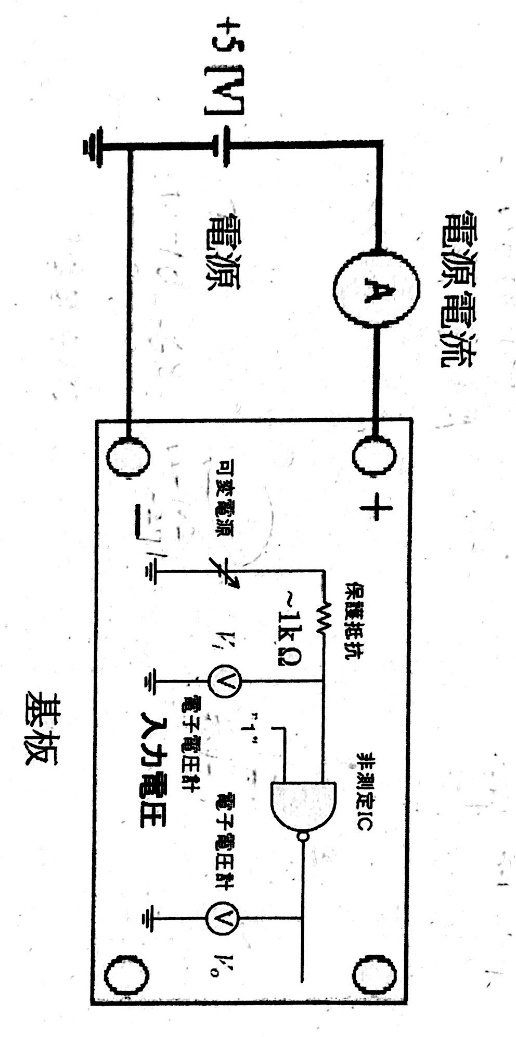
図3のNANDゲートにおいて、入力A=LかつB=Lのとき、Tp1とTp2がオン状態、Tn1とTn2がオフ状態であるので、電源から出力に至る毛色は導通状態であり出力C=Hとなる。入力A=LかつB=Lのとき、Tp1はオフ状態そしてTp2はオン状態、Tn1はオン状態そしてTn2がオフ状態であるので、出力はTp2を通して電源と導通状態であり出力C=Hとなる。入力A=LかつB=Lも同様に考えられ、出力C=Hとなる。これに対して、入力A=HかつB=Hのとき、Tp1とTp2がオフ状態、Tn1とTn2がオン状態であるので、接地から出力に至る毛色は導通状態であり出力C=Lとなる。以上のことから、この論理ゲートがNAND機能を実現していることは明らかである。

次に、入力Bを5V一定とし、入力Aの電圧を0Vから徐々上昇させていくことを考える。ここで、出力Cを流れる電流は0とする。前述のようにA電圧が低いときTp1はオン状態そしてTp2はオフ状態、Tn1はオフ状態そしてTn2がオン状態となっており、電源から流れ出す電流は0である。しかし、A電圧が大きくなり出力が反転する電圧付近に近づくとTn1はオフ状態からソース・ドレイン間に電流が流れる状態（能動状態）に変わり、Tp1とTn1は共に能動状態となる。このとき電源から接地に向けて電源電流が流れ、この電流を貫通電流と呼んでいる。更に、入力Aを上昇させるとTp1はオン状態、Tn1はオン状態となり、電源電流は流れなくなる。

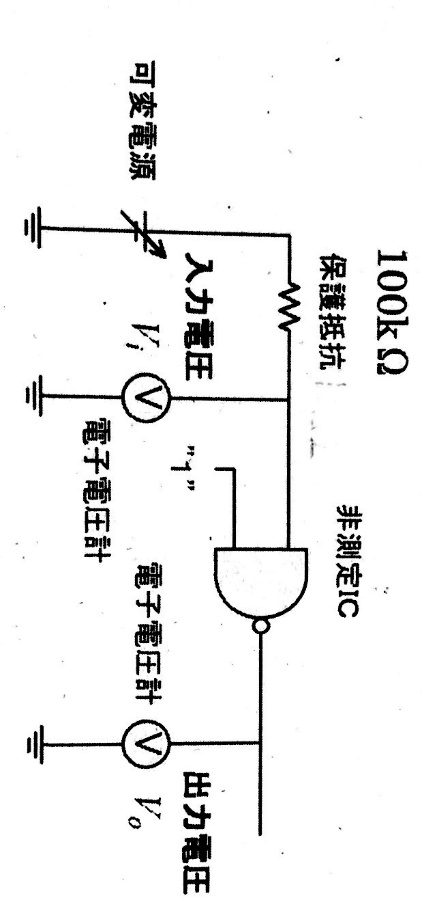
1. **実験方法**

**3.1電源電流特性（貫通電流特性）の測定**

　電源電流特性（貫通電流特性）の測定回路を図5に、測定結果例を図6に示す。まず、図7に示す回路を基板上に作製し、NANDの入力の片方を“1”（Highレベル≡5V）に接続し、もう一方の入力には保護抵抗を介して可変電源を接続する。

図5　電源電流特性測定回路 図6電源電流特性

　可変電源の出力電圧を0Vから徐々に上げ、NANDの入力に印加する。入力電圧Viを電子電圧計で測定しながら、電源電流がどのように変化するか調べる。電源電流が急激に変化する部分は、入力電圧Viを細かく変化させて測定する。この時、使用していない入力端子をすべて“High(H)”(≡5V)あるいは“Low(L)”(≡0V)のいずれかになるように接続しておくこと。

* 1. **入出力伝達特性の測定**

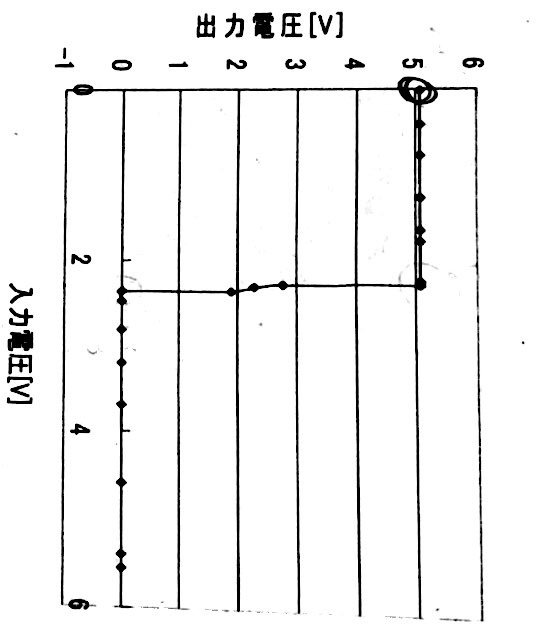
入出力伝達特性の測定回路を図7に、測定結果例を図8に示す。電圧伝達特性結果より、試料ICの閾値を求める。

図7　電圧伝達特性測定回路 図8電圧伝達特性

Vccまたは0Vに近い電圧値HまたはLの意味は、図8に示した論理特性が変化しない範囲の電圧値を示している。これらの値は製品のバラツキのためにここのICによって多少異なるが、標準のCMOS IC(Vcc=5V)では入力電圧に関してLは1.5V以下そしてHは3.5V以上、出力電圧に関してLは0.05V以下そしてHは4.95V以上と規定されている。入力電圧Viによって出力電圧Voの値が急に変化するところの入力電圧の値を閾値（threshold level）といいVsで示す。この測定例ではVs＝2.4Vである。

* 1. **出力特性の測定**

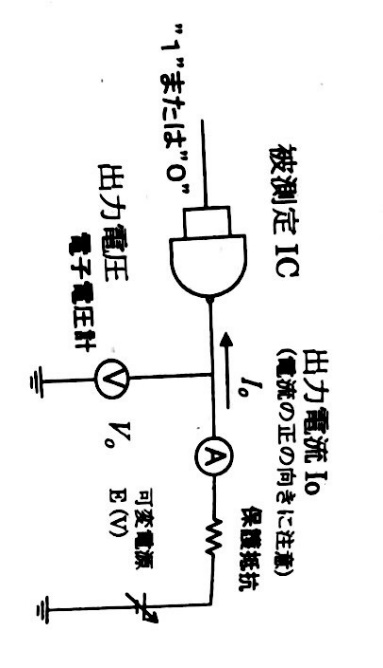
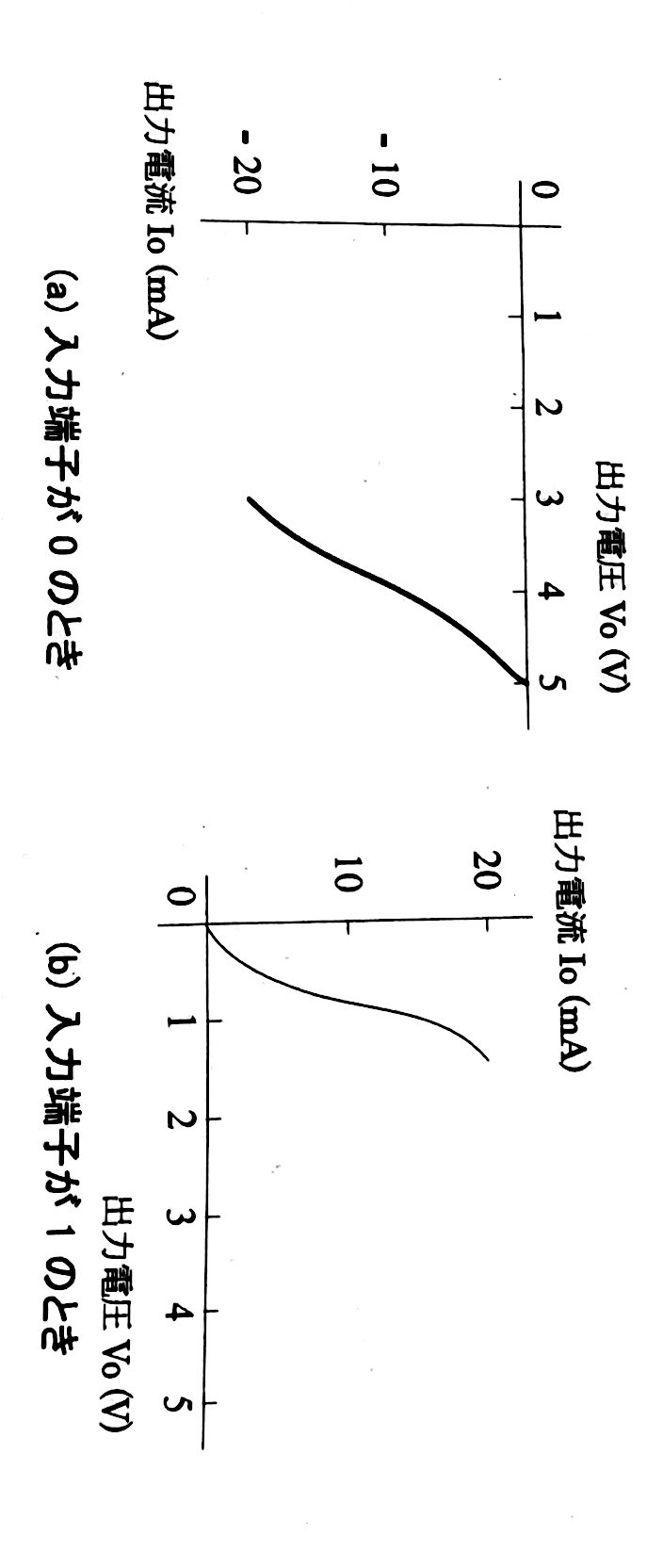
入力特性はFETのゲート電流は流れないので、CMOSでは入力電流は0である。出力特性は図9に示す測定回路により測定でき、その測定例を図10に示す。出力特性を図9に従って出力電流測定する。その結果より、出力抵抗を求める。さらに、出力電圧がCMOS規格を満足する条件化での最大出力電流を求める。出力特性より出力抵抗を求めてみると入力が0Vのときは約50Ω、Vccのときは約100Ωであることが得られる。

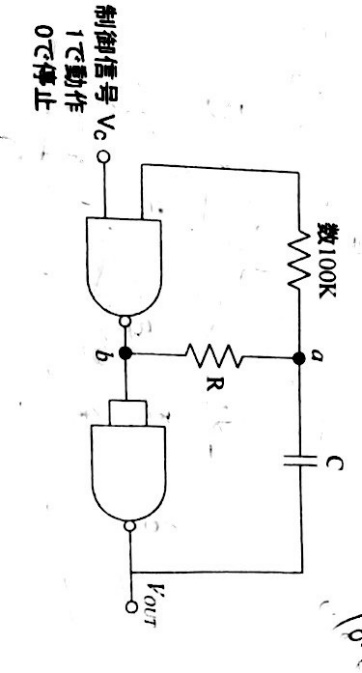
図9　出力特性測定回路

図10　出力特性

ICで何個まで負荷ICを駆動できるかが決まるからである。この最大負荷数のことをファンアウト数という。CMOSの場合にはTTLと異なり入力電流がほとんど流れないため、ファンアウトを考える必要はない。しかし、ゲートを複数段接続すると負荷されるコンデンサ容量が大きくなり、その充放電時間が長くなる。そこで、保証されているファンアウトは50までであり、容量負荷では500pFまでである。

　一方、TTLを負荷として接続する場合は最大出力電流が問題となる(CMOSおよびTTLの入出力電圧規格を参照すると、CMOS出力を直接TTL入力に接続しても問題ないことが確認できる)。今回の実験試料であるTC74HC00APはLSTTLを直接10個駆動可能となっている。

* 1. **非安定マルチバイブレータの特性**

　一般に2変数NAND又はNORゲートなどだけでいかなる論理特性をも実現できることは理論的に明らかにされているので、74HC00によって任意の機能を持つ回路を実現できる。ここでは、マルチバイブレータについて考えてみよう。マルチバイブレータには双安定形(実はflip flopのこと )、単安定形(monostable multivibratorまたはoneshot multivibrator)および非安定形(astable multivibratorこれをマルチバイブレータと呼ぶこともある)があるが、非安定マルチバイブレータについて考えてみる。回路の一例を図11に示す。

⑤

④

⑥

③

②る２

⑤

図11　非安定マルチバイブレータ

制御信号Vcによって発振を制御できる、発振周期Tは次式により決定できる。

T≒2CR loge{(VH+Vs)/Vs}=2CR ln{(VH+Vs)/Vs}

VHおよびVsは、図8に示したようにそれぞれVi=0としたときの出力電圧VHおよび論理値の変化するところの入力電圧すなわち閾値Vsである。

　図11の日安定マルチバイブレータの各部の波形を観測し、周期を測定する。数種類のCについて同様の実験を行う。

実験を行う上で、以下の点に注意し行うこと。

1. 試料74HC00には4個のNAND素子が入っているが、配線の容易なものを選ぶこと。
2. 各ICの電源電圧は必ず定格値5Vに保持し、また入力電圧も5Vを越えないように注意すること。過大に加えたりすると破壊される。端子位置特に電源端子の位置に充分注意すること。ICをソケットに挿入する方向を間違わないこと。
3. 今後回路製作のためにも、各ICにおいて電源と接地端子間にはバイパスコンデンサを接続しておくこと。
4. 使用器具

CMOS IC 74HC00

コンデンサ

直流安定化電源 （い-102-68）（い-102-271）

電圧計 （い-54-107）

電流計 （い-43-163）

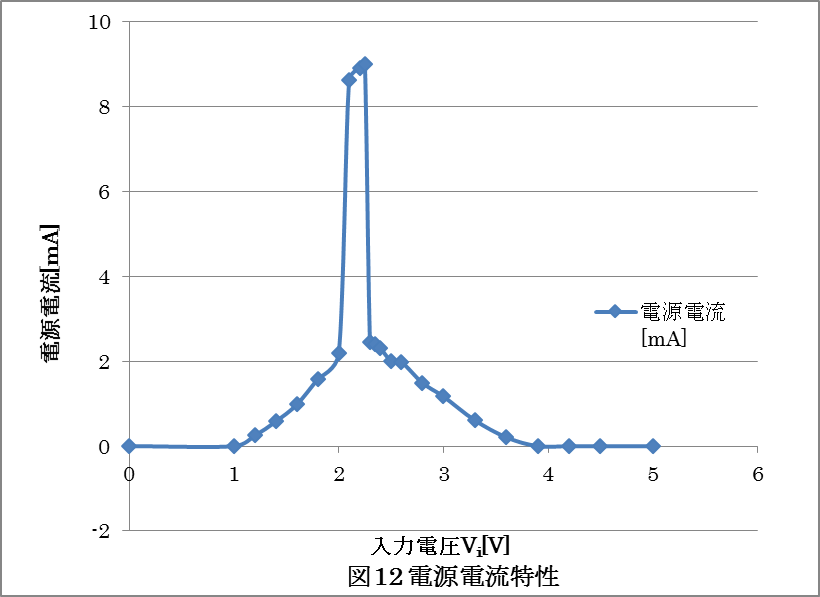
テスター （い-103-117）

ディジタルオシロスコープ

1. **実験結果の処理**

実験 3.1において測定値を以下の表1にまとめ、図12に表す。

表2.1　電源電流特性の測定値

抵抗R＝1[kΩ]

実験 3.2において測定値を以下の表2にまとめ、図13に表す。

表2　電圧伝達特性の測定値

R=100[kΩ]

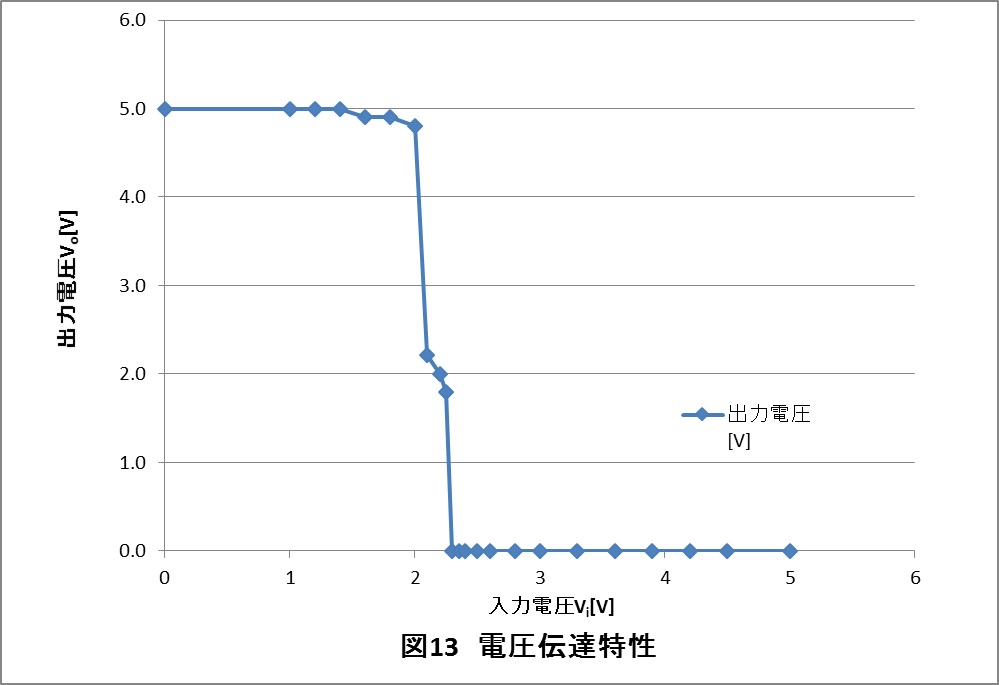


図13から、出力電圧VH＝4.8[V]、閾値Vs=2.3[V]であることがわかる。

実験 3.3において出力特性の測定値をそれぞれ以下の表3、表4にまとめ、図14、図15に表す。

表3　入力端子が“1”のときの出力特性の測定値

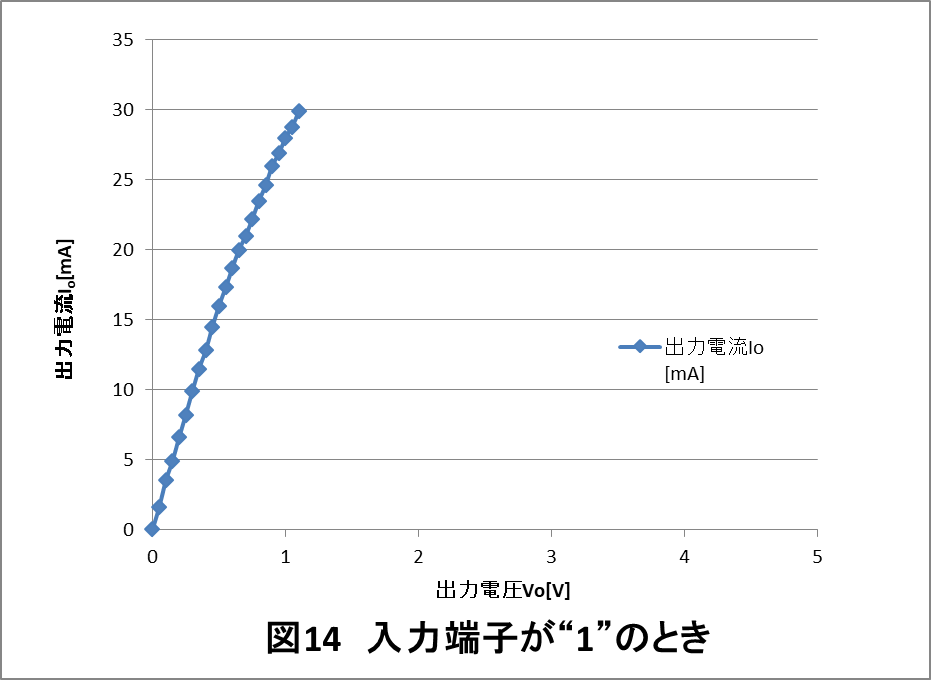
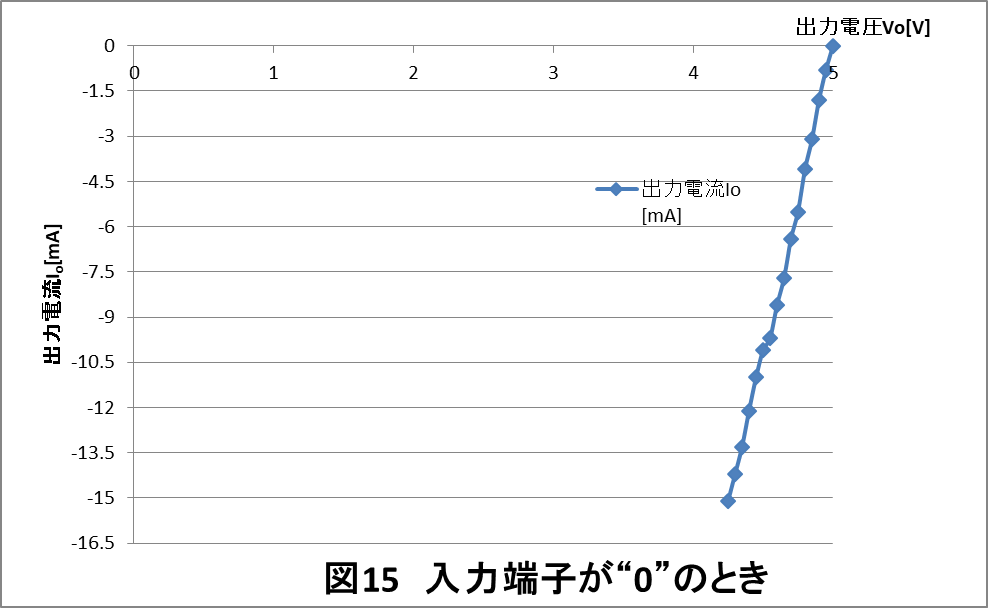
R=51[Ω]

表4　入力端子が“0”のときの出力特性の測定値

R=51[Ω]



出力抵抗は，実験結果より，

入力端子“0”のとき，

　　(Vmax－Vmin)/(Imax－Imin)=(5-4.25)/{(15.1-0)\*10-3}

　　　=(0.75/15.1)\*103

　　　=49.6688…

≒49.67[Ω]

入力端子“1”のとき，

　　(Vmax－Vmin)/(Imax－Imin)=(1.1-0)/{(29.9-0)\*10-3}

　　　=(1.1/29.9)\*103

　　　=36.7892…

≒36.79[Ω]

よって、出力電圧がCMOS規格を満足する条件化での最大出力電流は、

入力端子が0のとき（出力電圧の最大定格=5.5[V]）

(出力電圧の最大定格)/(出力抵抗)=5.5/49.67

=0.1107

=111[mA]

入力端子が0のとき（出力電圧の最大定格=5.5[V]）

(出力電圧の最大定格)/(出力抵抗)=5.5/36.79

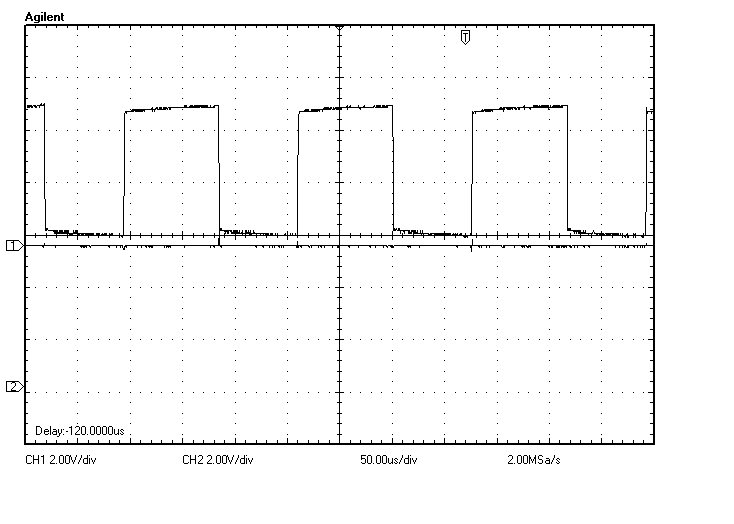
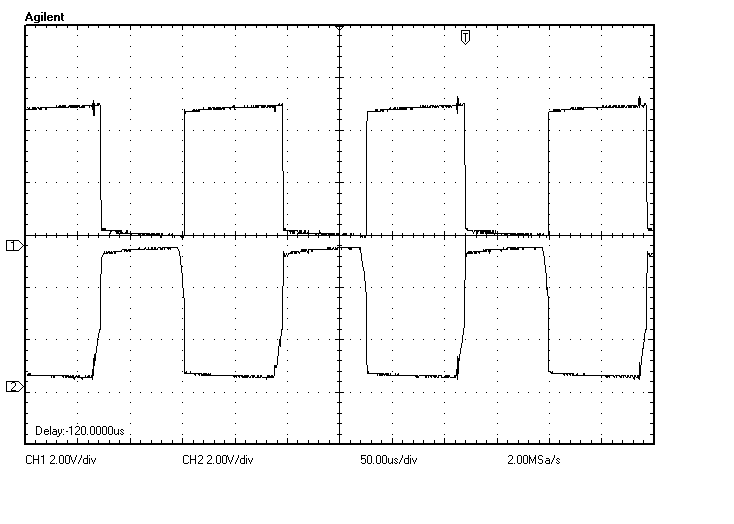
=0.1494

=149[mA]

しかし，MOSICの出力電流Ioの絶対最大定格は±25[mA]である。絶対最大定格は瞬時たりとも超えてはならない値であり，超えて使用すると，ICの破損など起こすことがある。従って，±25[mA]を超えないようにすべきである。

実験 3.4において各部の波形をそれぞれ以下の図に表す(今回の実験では、数100kΩ部分Roは100kΩを用いる)。コンデンサCは0.067[µF]，0.47[µF]，1.1[µF]で実験した。

また測定した各部の波形の組み合わせは、図11に記載している。

C=0.067[µF]のときの非安定マルチバイブレータの波形を、③の波形を基準にそれぞれ下の図に示す（R=1[kΩ]、Ro=100[kΩ]、C=0.067[µF]）。

←①

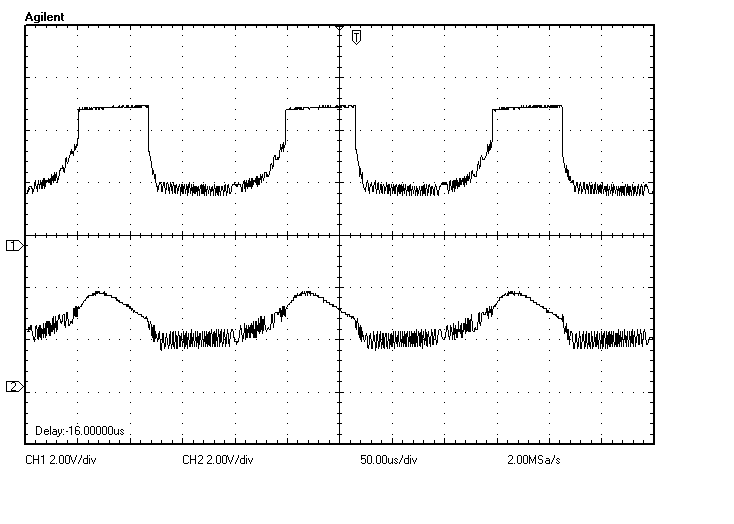
←③

図16.1 ③(上)と①(下)の波形　(2[V/DIV] 50[µs/DIV])

←②

←③

図16.2 ③(上)と②(下)の波形　(2[V/DIV] 50[µs/DIV])

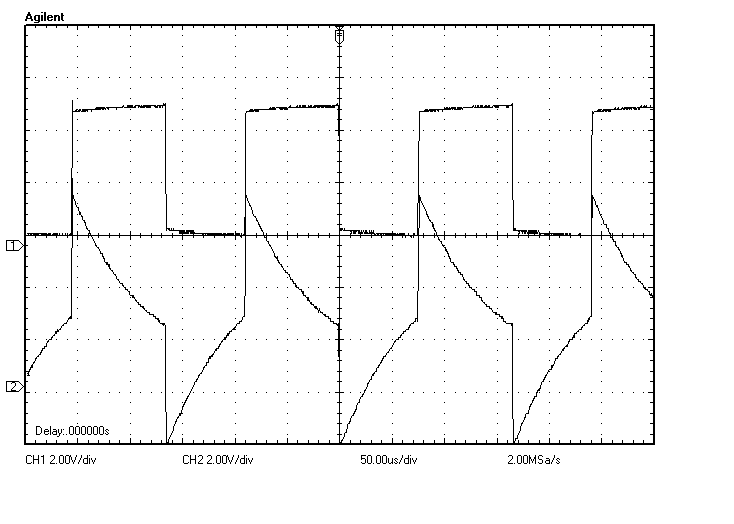
図16.3 ③(上)と④(下)の波形　(2[V/DIV] 50[µs/DIV])

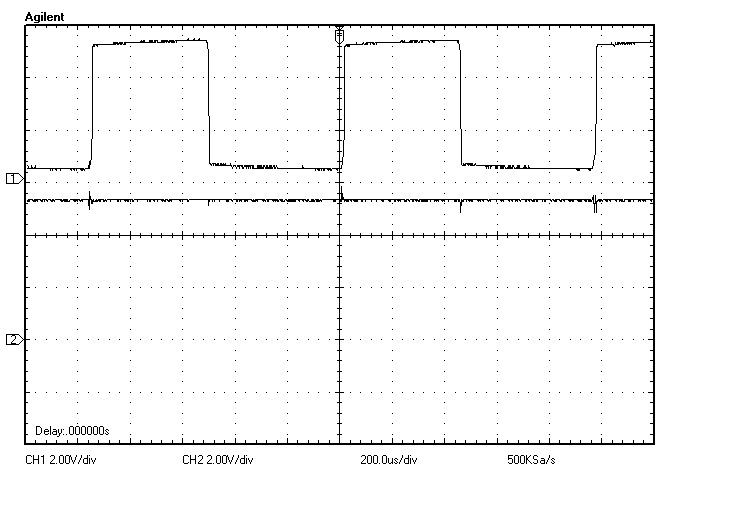
←⑤

←③

←④

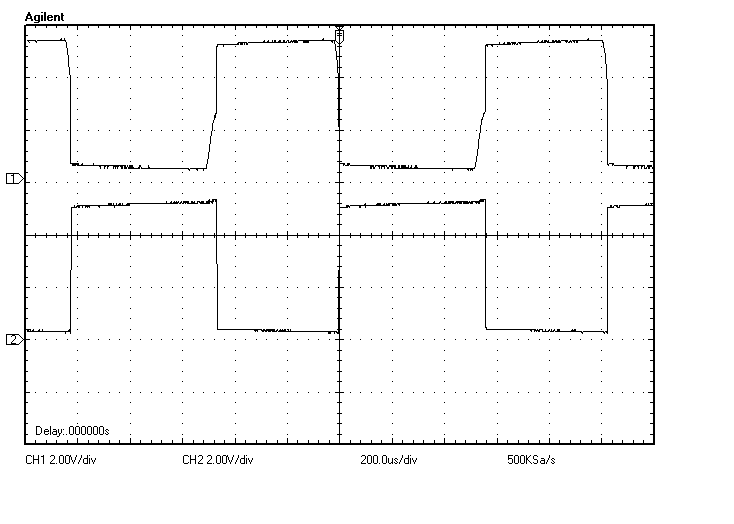
←③

図16.4 ③(上)と⑤(下)の波形　(2[V/DIV] 50[µs/DIV])

C=0.47[µF]のときの非安定マルチバイブレータの波形を、③の波形を基準にそれぞれ下の図に示す（R=1[kΩ]、Ro=100[kΩ]、C=0.47[µF]）。

←③

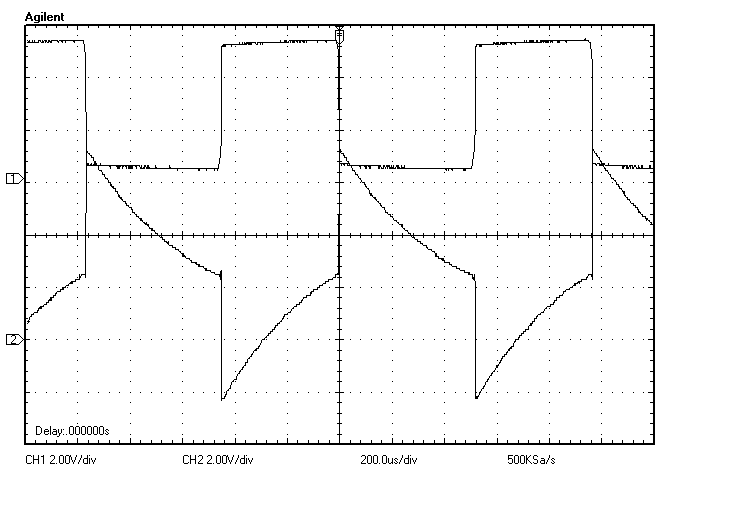
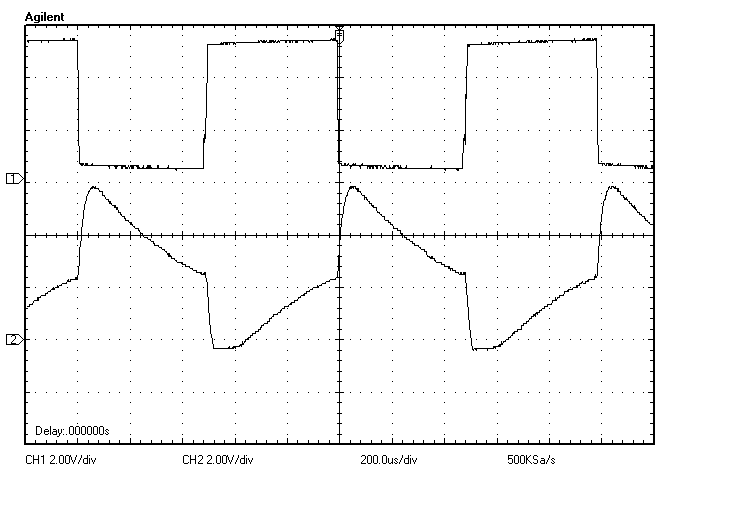
←①

図16.5 ③(上)と①(下)の波形　(2[V/DIV] 200[µs/DIV])

←②

←③

図16.6 ③(上)と②(下)の波形　(2[V/DIV] 200[µs/DIV])

図16.6 ③(上)と④(下)の波形　(2[V/DIV] 200[µs/DIV])

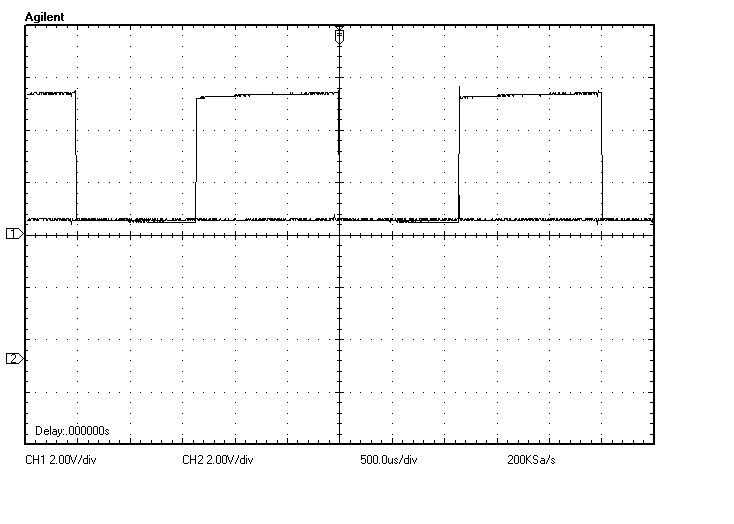
←⑤

←③

←④

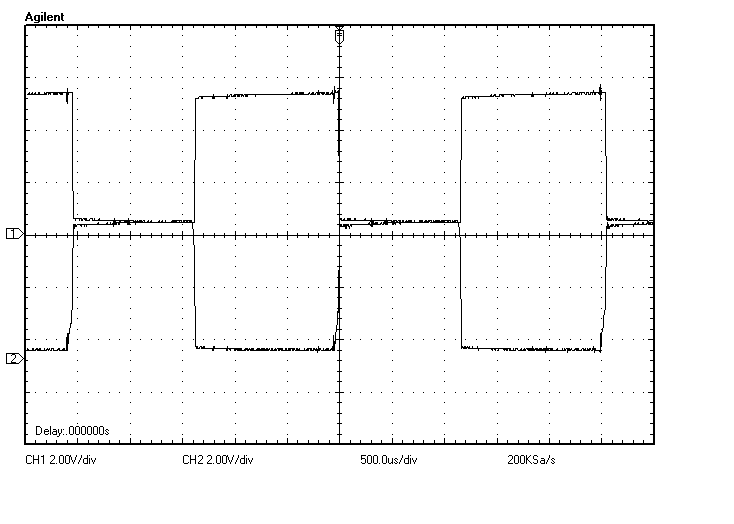
←③

図16.7 ③(上)と⑤(下)の波形　(2[V/DIV] 200[µs/DIV])

C=1.1[µF]のときの非安定マルチバイブレータの波形を、③の波形を基準にそれぞれ下の図に示す（R=1[kΩ]、Ro=100[kΩ]、C=1.1[µF]）。

←①

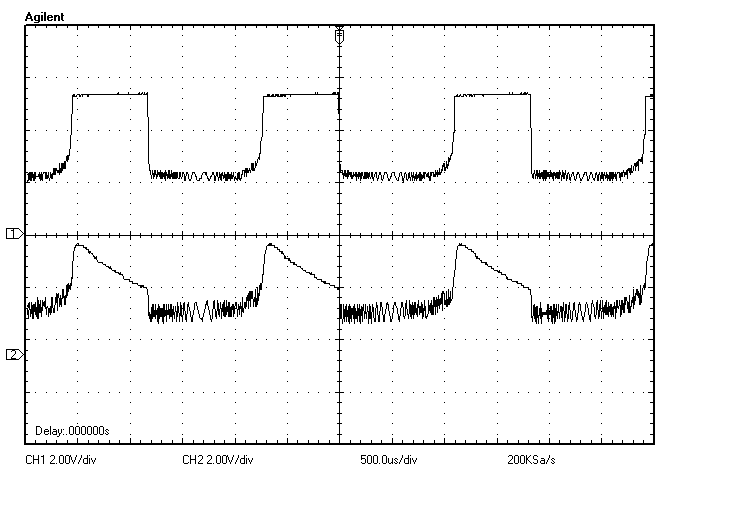
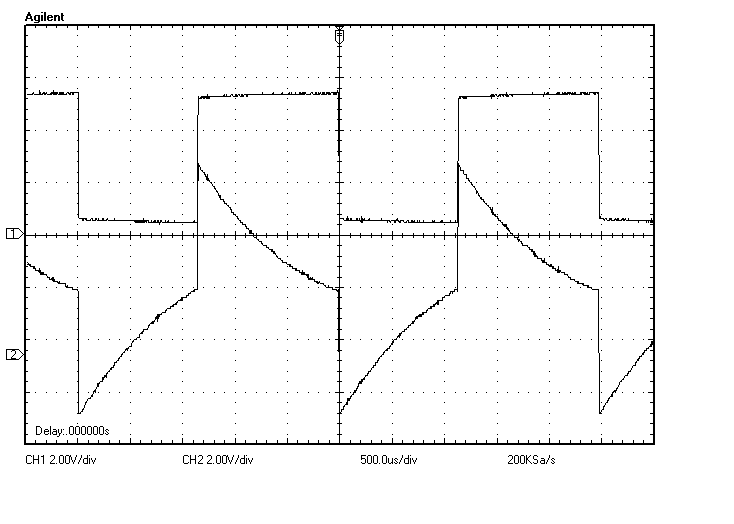
←③

図16.8 ③(上)と①(下)の波形　(2[V/DIV] 500[µs/DIV])

←③

←②

図16.9 ③(上)と②(下)の波形　(2[V/DIV] 500[µs/DIV])

図16.10 ③(上)と④(下)の波形　(2[V/DIV] 500[µs/DIV])

←⑤

←③

←④

←③

図16.10 ③(上)と⑤(下)の波形　(2[V/DIV] 500[µs/DIV])

1. **考察**

(1)電源電流特性・電圧伝達特性の測定

　図12、図13より，入力電圧を0[V]からあげていくと、入力端子に流れる電流Iは増加し、ピークを過ぎると減少している。入力電圧Iが最大になる入力電圧の付近で出力電圧が“H”（5[V]）から“L”（0[V]） に変化していることがわかる。その理由は、吟味事項で述べる。

　この実験回路の入力端子には保護抵抗がついているがその役割を考えてみる。可変電源が0[V]で無いとき、入力端子の電圧は“H”または“L”に定まる。しかし、0[V]の時、入力端子は解放（HでもLでもない状態）になる。したがって回路の誤作動を防ぐため、抵抗を入力端子に入れることで、0[V]のときLとなるようにしている。

(2)出力電流測定

　ここでも同様に測定回路の保護抵抗について考える。保護抵抗がなく、可変電源が0[V]の時、出力端子とGNDが導線だけでつながってしまい、ショートを起こしてしまう。そうなると，ICの破損等が起こるので、ショート防止のために保護抵抗を加えたと考えられる。

　表3より，出力電圧が0.05[V]減少していくたびにほぼ1.0[mA]増加している。また表4より同様にほぼ2.00[V]増加している。このことから、出力電圧と出力電流には比例の関係があると考えることができる。

(3)非安定マルチバイブレータの波形の観測及び周期の測定

図16.1～16.10より、コンデンサCの容量により周期Tは変化するが、ほぼ同じ形の波形であることがわかる。

C=1.1[µF]のとき、誤差率が大きい。原因として、VHやVSが測定値である為、その誤差によるものと考えられる。コンデンサや抵抗の大きさの誤差によるものとも考えられる。

1. **吟味事項**
2. 直流雑音余裕度とはなにか説明せよ。また、HCシリーズCMOSとTTLの直流雑音余裕度について説明し比較せよ。

図17のようにNAND IC 7400の出力に7400の入力を接続し、論理信号を伝達するとする。

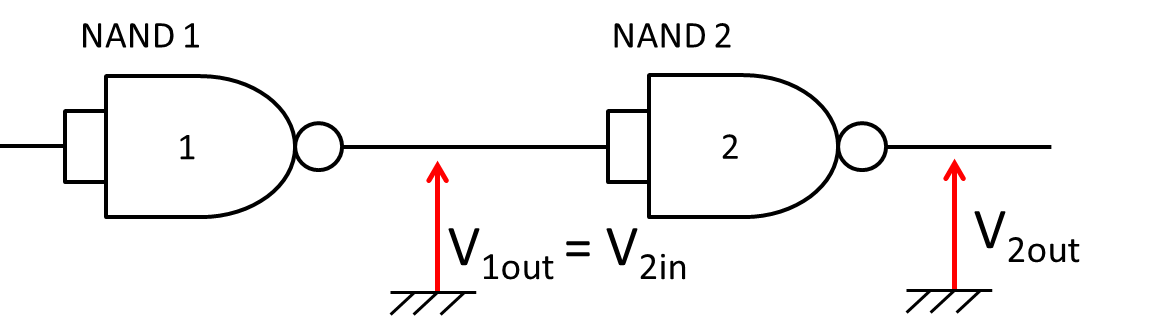


図17NANDIC 7400 結線図

　このとき、NAND1の出力V1outとNAND2の入力電圧V2inは、V1out=V2inという関係になり、V1outが“H”ならNAND2の出力電圧V2outは“L”、V1outが“L”ならV2outは“H”となる。

　CMOS（HCシリーズ）のとき規格表より、

V1outが“L”の時の最大出力電圧V1outLmaxは、0.1[V]（電源電圧VCC=4.5[V]）

V1outが“H”の時の最小出力電圧V1outHminは、4.4[V]（電源電圧VCC=4.5[V]）

V2outが“L”となる最小入力電圧V2inHminは、3.15[V]（電源電圧VCC=4.5[V]）

V2outが“H”となる最大入力電圧V2inLmaxは、1.35[V]（電源電圧VCC=4.5[V]）

と定められている。

　すなわち、V1outLmax > V2inLmaxとなるとV2outは“H”を維持できなくなり、逆に、V1outHmin < V2inHminとなるとV2outは“L”を維持できなくなる。

　簡単に言うと、V2inHminは出力“L”を維持できる最小の入力電圧で、この値を下回ると“H”になる。V2inLmaxは出力“H”を維持できる最大の入力電圧で、この値を超えると“L”になる。その原因となるのが雑音によるもので、雑音の大きさを雑音余裕という。

CMOS ICでは、上記の規定より、

　　Hレベルの雑音余裕度は、V2inLmax - V1outLmax =1.35 – 0.1[V] = 1.25[V]

　　Lレベルの雑音余裕度は、V1outHmin - V2inHmin =4.4 – 3.15[V] = 1.25[V] である。

TTL IC（N-TTLシリーズ）では、規格表より、

V1outが“L”の時の最大出力電圧V1outLmaxは、0.4[V]（電源電圧VCC=5[V]）

V1outが“H”の時の最小出力電圧V1outHminは、2.4[V]（電源電圧VCC=5[V]）

V2outが“L”となる最小入力電圧V2inHminは、 2.0[V]（電源電圧VCC=5[V]）

V2outが“H”となる最大入力電圧V2inLmaxは、0.8[V]（電源電圧VCC=5[V]）

従って

Hレベルの雑音余裕度は、V2inLmax - V1outLmax =0.8 – 0.4[V] = 0.4[V]

Lレベルの雑音余裕度は、 V1outHmin - V2inHmin =2.4 – 2.0[V] = 0.4[V] である。

CMOS ICの雑音余裕度は、TTL ICの雑音余裕度より広く、使いやすいことがわかる。

(2)ファンアウトとはなにか説明せよ。また、HCシリーズCMOSとTTLのファンアウトについて説明し比較せよ。

ファンアウトとは、論理素子の出力端子にICを何個並列に接続できるか、その論理素子の能力で接続できる個数を表現したものである。出力端子から各ICに電流を供給する必要があり、ファンアウトの個数を超えて接続すると電流が不足し、出力電圧（論理状態）が不安定となる。（論理素子の出力電流Io、論理素子の入力電流Ii、としN個接続すると考えると、Io>NIiでなければいけない）

TTL ICでは、出力電流によって接続できるICの個数が制限されている。TTL ICがバイボーラトランジスタによって構成されていることから容易に電流を消費することを想像できる。TTLのファンアウトは（出力電流）/（入力電圧）で求めることができる。

一般的なTTL IC（74LS00）は、

入力電流　“H”レベルIih=20[µA]、“L”レベルIil=400[µA]

出力電流　“H”レベルIoh=400[µA]、“L”レベルIol=8.0[mA] である。

従って定義式より、

“H”レベルのファンアウトはIol / Iih = 400[µA] / 20[µA] = 20

“L”レベルのファンアウトはIol / Iil = 8[mA] / 400[µA] = 20

“H”レベル、“L”レベルのどちらか小さい方がTTL IC1ピンあたりに接続できる論理素子の数である。この場合、20個まで接続できる。

CMOS ICでは、入力インピーダンスがとても大きく、入力端子に流れる電流は微少（1[µA]）である。このため，CMOS ICのファンアウトはきわめて多く取れる。しかし、入力端子に存在する静電容量（約5[pF]）に充放電電流が流れるため、ファンアウトはおよそ50である。これを超えて接続すると、伝達遅延時間が増加して、誤作動の原因となる。

　今実験で使用したCMOS ICのファンアウトは50、容量負荷は500[pF]、伝たち遅延時間は最大12[ns]である。

1. 理論値の変化するところで電源電流が最大になるが、入力電圧*Vi*と電源電流*Icc*との関係を調べ、この事実を定量的に説明せよ。

図13電圧伝達特性図より、出力が変化を始める閾値は2.3[V]付近である。これは、図12電源電流特性図において急激に変化を始める電圧とほぼ一致している。

　図1のTp（pMOS），Tn（nMOS）はどちらかがONの時他方はOFFである。CMOSのゲート電極は誘導体を挟んでいるため、コンデンサを形成しており、更にOFFの状態ではほとんど電流が流れないので、直流状態では電力をほとんど消費しない。しかし、入力電圧が変化して、理論値が反転する付近（閾値）の電圧のとき、pMOS、nMOSが一瞬同時にONになり、電流が流れる。この電流を貫通電流という。

1. 非安定マルチバイブレータについて、各部波形を用いて動作原理を説明せよ。

図18に非安定マルチバイブレータの仕組みを、図19に波形の変化を示す。

* 1. 電源を入れた瞬間は、コンデンサCが未充電で電荷がゼロで、NAND2出力Voutを“H”とすれば、NAND1出力（b点）とNAND2入力が“L”、NAND1入力（c点）が“H”でなければならない。
  2. 電圧の高いVoutから（a点）、（b点）の経路で電流が発生し、コンデンサCの充電が開始される。このとき、（a点）と（b点）の間に抵抗Rに流れる電流とRの抵抗値に等しい電位差（電圧）が発生する。しかし、まだ（a点）と（c点）が“H”なのでNAND1とNAND2の状態は保持される。
  3. コンデンサCの充電が進むと抵抗Rに流れる電流が小さくなるので、（a点）と（c点）の電圧が下がってくる。この値が“L”になると（b点）が“L”から“H”に反転してVoutが“H”から“L”になる。
  4. その瞬間に（b点）から（a点）、Voutの経路で電流が流れ、コンデンサCの放電が始まる。放電が進むに従って（a点）、（c点）の電圧が上昇し、この値が”H”の状態になると①の状態が繰り返され，NAND2出力Voutから“H”、“L”を繰り返される。

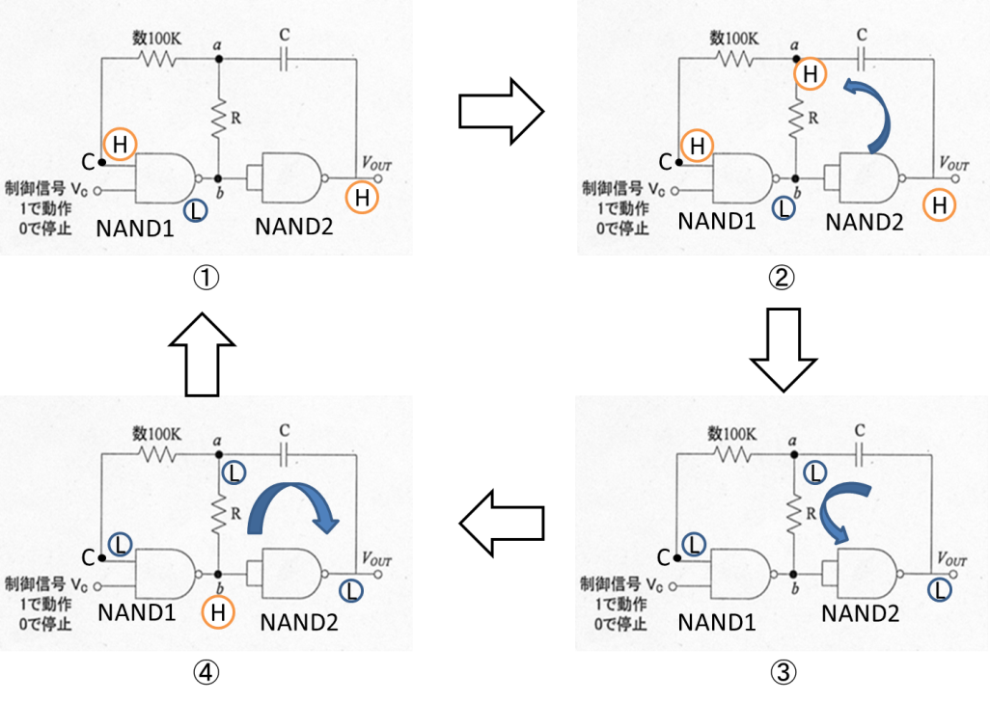


図18　非安定マルチバイブレータの仕組み

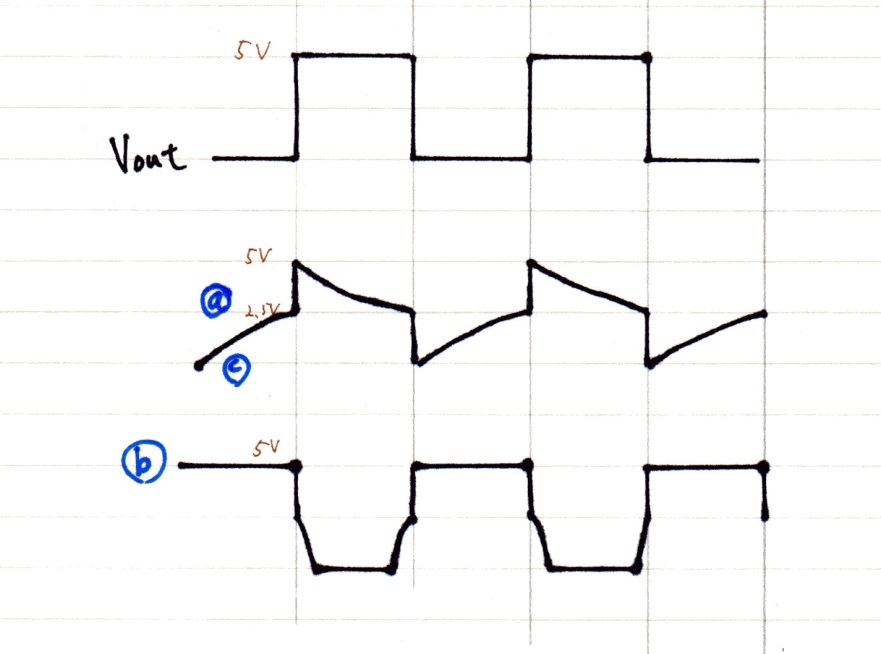
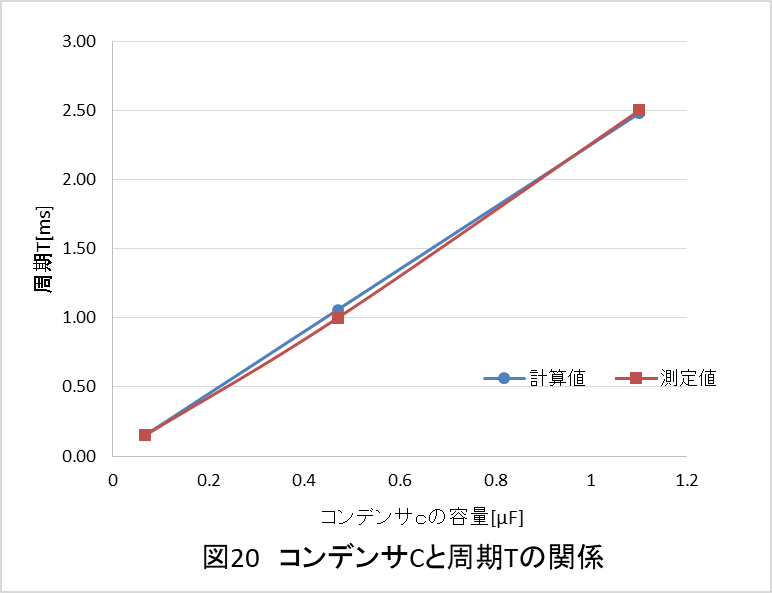


図19　非安定マルチバイブレータの波形の変化

1. 非安定マルチバイブレータの周期を数種類(桁の異なる3種類)の容量Cについて測定し、理論値T≒2CR ln{(VH+Vs)/Vs}と比較検討してみよ。吟味事項(4)および比較結果より理論式が間違っていることがあきらかであれば、新しい論理式を求めなさい。

測定結果を表5に示す。図22はコンデンサCと周期Tの関係を示している。コンデンサCは、0.067[µF]、0.47[µF]、1.1[µF]でそれぞれ実験を行った。

表5、図22からコンデンサCの容量が大きくなるにつれ計算値の値が大きくなっていることがわかる。また、測定値は計算値（理論値）とほぼ一致している。このことから理論式は間違っていないと考えられるが、3種類の容量の違うコンデンサしか測定しておらず正しいとは言い切れない。逆に間違っているとも言い切れない。より様々な値のコンデンサで測定すれば、より正確な結果が出たと考えられる。

1. **まとめ**

　今回の実験を通し、ディジタルICの特性に関する基礎概念ならびに測定技術習得の目的を果たせたと思う。しかし、不備な点も見受けられた。非安定マルチバイブレータの実験において、図16.4、図16.10の波形に明らかにノイズが混入しているのが分かる。これは、バイパスコンデンサ及び使用していないICの端子を、Vcc或いはGNDに繋げるのを怠ったものだと思われる。今後は、回路の測定前に確認するように注意を払う。

**9.参考文献**

1. 広島工業大学　玉野研究室

<http://tamanosc.cc.it-hiroshima.ac.jp/> 閲覧日2018/05/04

1. デジタル回路入門(2) デジタルICの基礎、組み合わせ回路

<http://japan.renesas.com/edge_ol/engineer/05/> 閲覧日2018/05/04

1. 小峰龍男　著　『デジタル回路の「しくみ」と「基本」』技術評論社
2. 田村　進一　著　『ディジタル回路』　昭晃堂
3. 伊原　充博・若海　弘夫・吉沢昌純　共著

『ディジタル回路』　コロナ社

1. 『CMOSデバイス規格表の見方，使い方』（参考資料）