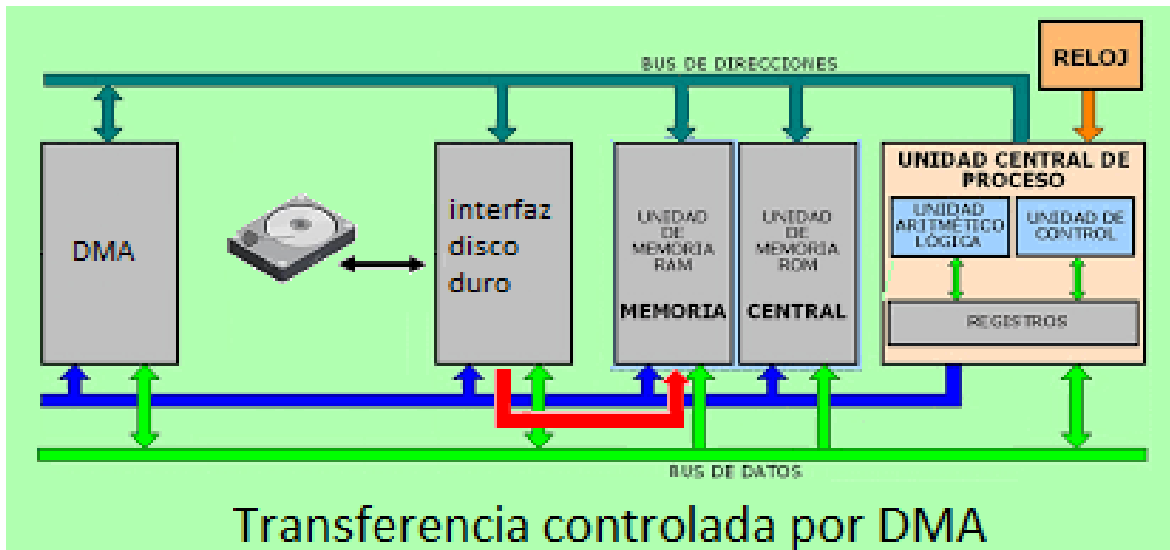


Funcionamiento del **latch** al emplear DMA

En el documento sobre DMA explicaba que el bus de datos conecta directamente una interface de E/S con memoria en cualquiera de los dos sentidos, pero, ¿Cómo hace DMA para colocar al mismo tiempo la dirección de entrada/salida y la dirección de memoria al mismo tiempo?



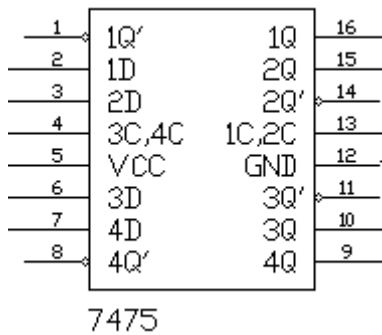
Observando la figura se puede uno dar cuenta que si DMA coloca una dirección en el bus, entonces tanto las **interfaces** como la **RAM** reciben la **misma** dirección.

Supongamos que se hace una transferencia de una interface a RAM, la dirección de la interface siempre será la misma para todos los datos que se transfieran, no así para la RAM que debe ir cambiando consecutivamente conforme se transfieran los bytes. Esto es aprovechado para "fijar" una dirección en la interface.

Hasta este momento no habíamos mencionado que todas las interfaces están bajo control de un dispositivo o circuito denominado "procesador de entradas/salidas" el cual contiene un **latch** o candado. ¿Cómo funciona?

Es simple, un **latch** es un registro que puede admitir cualquier dato que exista en sus entradas mientras tenga una entrada de control en estado alto, cuando esta entrada de control baja (nivel 0) entonces el último dato presente en las entradas antes de bajar dicha señal queda "atrapado" en el registro sin importar que las entradas cambien.

Un circuito TTL (hay varios) con el que se implementa el **latch** es el 7475 que se muestra a continuación:



Tendrás que diseñar un circuito con el funcionamiento de este chip, del cual emplearás como entradas de datos las marcadas como 4D, 3D, 2D y 1D siendo ésta última la menos significativa y serán alimentadas con un circuito **qwer** (interruptores activados con dichas teclas) y como salidas utilizarás las marcadas como 4Q, 3Q, 2Q y 1Q, dejando sin conectar las cuatro salidas marcadas como Q'. Finalmente las dos líneas marcadas como 1C,2C y 3C,4C son las entradas de control que permiten que el dato de cuatro bits en las entradas pueda ser copiado inmediatamente reflejándose en las salidas mientras mantenga un valor alto. En el momento en que esta señal de control se conmute a cero lógico, cualquier cambio en las entradas será ignorado pues el **latch** o candado se ha cerrado atrapando un dato.

Muy simple, envíame el circuito funcionando correctamente y asegúrate de colocar displays en los que se pueda ver el dato de entrada y el dato de salida.

El procesador de entradas/salidas posee uno de estos circuitos latch que “atrapa” la dirección de la interface (del disco duro) y ésta estará activa todo el tiempo que dure la transferencia de información hacia o desde el propio disco duro.

Suerte.