

Controlador de Interrupciones 8259A

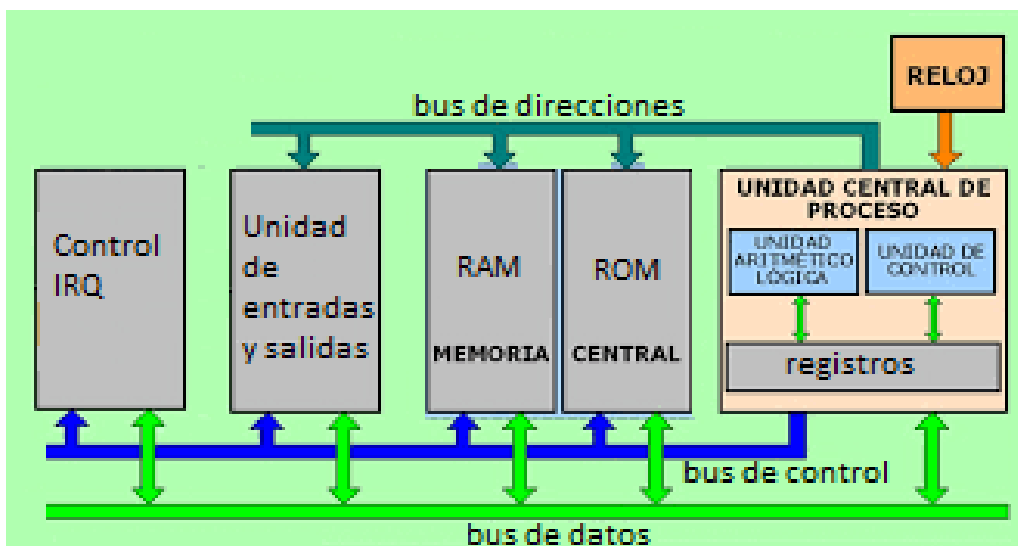
Como existen diversos dispositivos periféricos (teclado, disco duro, monitor, tarjeta de red y variados puertos de comunicaciones como RS232, Centronics o paralelo y USB) que conectan infinidad de periféricos, se hace necesario que para cada uno de ellos se provea una alarma para que sean atendidos por una rutina de interrupción.

Para esto fue diseñado por INTEL el circuito 8259A que proporciona 8 señales que dirige hacia el CPU. Antes que todo, debemos saber que cada interface de comunicación del PC requiere una rutina (programa) única para transferir su información, por ejemplo, algunas se comunican en serie y otras en paralelo, tienen tasas de transferencia diferentes, algunas interfaces manejan control de flujo, otras no, la paridad puede ser diferente y algunos periféricos deben ser programados (registro de control) y/o proporcionan señales de estado a través del correspondiente registro.

Estas rutinas se encuentran grabadas en memoria ROM y son cargadas a RAM al momento del arranque. Es muy importante tener en cuenta que cuando dichas rutinas son cargadas a memoria RAM, proceso que se conoce como *shadowing*, la dirección de inicio de cada una de ellas es almacenada en los primeros 1024 bytes de la RAM ocupando cada dirección de inicio cuatro bytes. Este segmento de memoria es conocido como **Vector de Interrupciones**.

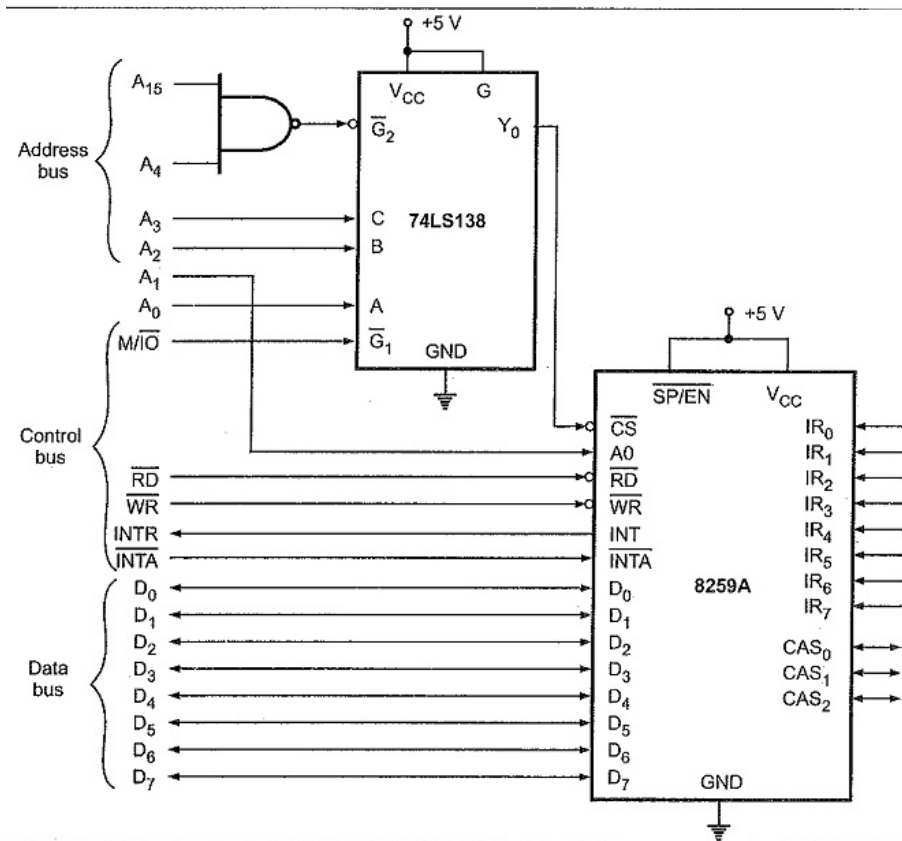
En el artículo anterior se muestra cómo el 8259A conectado en cascada en un esquema Maestro-esclavo puede extender el número de peticiones a 15 estableciendo prioridades, esto es, si por ejemplo se está ejecutando la rutina de la IRQ5 y el teclado tiene un dato que debe proporcionar, la interrupción 5 se pausa para ejecutar la IRQ2 y una vez finalizada ésta se continúa la IRQ5.

La siguiente figura muestra el diagrama de bloques de la interconexión del controlador de interrupciones 8259A con el sistema de Bus externo del CPU.



El controlador de interrupciones no conecta con las líneas de dirección porque su operación no depende de la programación del CPU sino de la activación de alarmas (señales IRQ0 a IRQ7) por parte de dispositivos periféricos.

A continuación se muestra un diagrama del circuito 8259A y se describe la secuencia de reconocimiento de una interrupción. Cabe mencionar que aunque hay prioridades si dos interrupciones son solicitadas simultáneamente, por simplicidad solo se describe la petición de una sola.



1. Las líneas IRQ0 a IRQ7 son entradas al PIC y se activan por un periférico conectado que requiere transferir datos
2. El 8259A evalúa la prioridad de estas interrupciones (mediante el codificador de prioridad) y solicita una interrupción a la CPU activando la línea de control **INT** (que es salida hacia la CPU).
3. Cuando la CPU reconoce la interrupción responde enviando la señal **INTA** (entrada al PIC).
4. Entonces el PIC, recibida la señal **INTA**, activa el bit correspondiente a la interrupción de mayor prioridad (la que va a ser procesada). En este punto, el 8259 aún no controla el bus de datos.
5. Cuando la CPU envía un segundo ciclo **INTA**, el 8259 deposita en el bus de datos un valor de 8 bits que indica el número de vector de interrupción. La CPU multiplica este valor por 4 para buscar en esa dirección de memoria RAM la dirección de comienzo de la rutina de interrupción.
6. Cuando la rutina de interrupción atendida finaliza, la CPU envía un comando conocido como **EOI** (*End Of Interrupt*) y el 8259 vuelve a su estado de alerta para una siguiente solicitud de interrupción.
7. Por último, la CPU extrae de la pila la dirección de memoria de la instrucción siguiente del programa que se encontraba en ejecución antes de que se activara la interrupción, valor que fue empujado a la pila antes de atender la rutina.