



32 位 ARM Cortex-M0 MCU, 32KB Flash/4KB RAM, 高达 30 个快速 I/O, 10 个定时器, 5 个通信接口, 1 个 ADC, 2 个 DAC, 3 个比较器, 3 个运放, 1 个反电动势采样电路, 1.8~5.5V

主要特性

● 内核: 32 位 ARM Cortex-M0 MCU

- 最高 96MHz 工作频率
- 单周期乘法器
- 硬件除法器

● 存储器

- 32KBytes 嵌入式 Flash (位宽 32bit), 支持预取功能和读/写保护
- 4Kbytes SRAM (位宽 32bit), 分为两个独立分区, 每个分区 2KBytes

● 复位和电源管理

- 1.8V 到 5.5V 供电和 I/O
- 两个 LDO, 一个用于低功耗的常开/备份电源域, 一个用于系统运行的内核电源域
- 高精度上电、掉电复位 (POR_PDR)
- 可编程低压复位 (LVR), 8 个低压复位点: 1.6V、1.8V、2.0V、2.5V、2.8V、3.0V、3.5V、4.0V
- 可编程电压监测器 (LVD), 8 个电压监测点: 2.0V、2.2V、2.4V、2.7V、2.9V、3.1V、3.6V、4.5V

● 时钟系统

- 4MHz 到 20MHz 的高速晶振 (OSCH)
- 内置出厂校准过的 16MHz RC 振荡器 (RCH, 1%精度)
- 32KHz 的低速晶振 (OSCL)
- 内置出厂校准过的 24KHz RC 振荡器 (RCL, 10%精度)
- 内置 PLL, 最高输出 144MHz, 抖动小于 100ps

● 低功耗

- 睡眠 (SLEEP) 模式、停机 (STOP) 模式、超低功耗停机 (Ultra STOP) 模式

● 调试模式

- 串行线调试口 (SW-DP)



● 启动模式

- 支持从 Flash、SRAM、System Memory 启动

● 编程模式

- 支持串行在系统编程 (ISP)
- 支持在应用升级 (IAP), 提供 UART、I2C、SSP 接口支持

● 多达 30 个快速 I/O 端口

- 所有 IO 都可映射到 16 个外部中断
- 所有 IO 端口均可容忍 5V 信号
- 每个 IO 支持悬空输入/上拉输入/下拉输入/推挽输出/开漏输出/开源输出
- 大部分 IO 支持一到两路模拟通道
- 每个 IO 驱动能力和斜率两档可调

● 10 个定时器

- 1 个 16 位高级控制定时器 TIM1, 4 个通道 (带 3 个互补通道), 支持输入捕获/输出比较/PWM 输出/单脉冲输出, 支持正交增量编码输入, 支持死区控制和紧急刹车
- 1 个 16 位通用定时器 TIM3, 4 个通道, 支持输入捕获/输出比较/PWM 输出/单脉冲输出, 支持正交增量编码输入
- 1 个 16 位通用定时器 TIM14, 1 个通道, 支持输入捕获/输出比较/PWM 输出/单脉冲输出
- 1 个 16 位通用定时器 TIM15, 2 个通道 (带 2 个互补通道), 支持输入捕获/输出比较/PWM 输出/单脉冲输出, 支持死区控制和紧急刹车
- 2 个 16 位通用定时器 TIM16/TIM17, 1 个通道 (带 1 个互补通道), 支持输入捕获/输出比较/PWM 输出/单脉冲输出, 支持死区控制和紧急刹车
- 1 个 16 位基本定时器 TIM6



- 1 个独立看门狗定时器
- 1 个窗口看门狗定时器
- 1 个 24 位自减型系统时基定时器
- TIM1、TIM15、TIM16 和 TIM17 支持延时触发和防误触发机制
- **WT 钟表定时器**
 - 支持闹钟、周期性唤醒
 - 可配置频率的蜂鸣信号输出
- **通用 DMA**
 - 4 个独立通道
 - 支持的外设包括 SSP、I2C、UART、ADC、DAC、Timer
- **CRC 计算单元**
 - 8 位、16 位、32 位可配置生成多项式
- **多达 5 个通信接口**
 - 1 个 I2C 接口，支持主机/从机模式，支持 100Kbps、400Kbps 和 1Mbps 速率，支持 7 位/10 位寻址模式，带 FIFO 和支持 DMA
 - 2 个 UART 接口，支持 CTS/RTS 硬流控，最高波特率为 4Mbps，带 FIFO 和支持 DMA
 - 2 个 SSP 接口，支持主机/从机模式，支持 Motorola SPI、TI SSI 和 National Semiconductor Microwire 三种接口协议，4 带 FIFO 和支持 DMA
- 到 16 位的帧大小，最高速率达 32Mbps，
- **1 个 12 位 A/D 转换器**
 - 最高转换速率为 1.5MSPS
 - 18 个通道(16 个外部通道, 2 个内部通道)
 - 内置温度传感器
 - 包含两个独立的采样/保持电路
 - 支持内部和外部参考电压: 2.5V、3.3V、4V、5V、VDDA
- **高速 D/A 转换器和模拟比较器**
 - 2 个 10 位 D/A 转换器, 参考电压 2.5V、4V、VDDA 可选
 - DAC 支持硬件触发和 DMA 传输, 支持噪声波形和三角波形生成
 - 3 个模拟比较器, 比较器的参考电压来自 DAC 输出、HALL_MID 输出或者外部端口
- **3 个运算放大器 (OPA)**
 - OPA0/1/2 放大倍数: 1/2/6/8/10/16/20/32
- **反电动势采样电路 (HALL_MID)**
 - 三路外部电压输入采样, 可用于电机控制
- **工作温度**
 - 环境温度: -40°C ~ +125°C
 - 结温度: -40°C ~ +125°C
- **96 位芯片唯一 ID**

目录

主要特性	1
图片目录	5
表格目录	6
1. 功能概述	7
1.1 模块框图	7
1.2 32 位 M0 处理器	8
1.3 嵌入式 Flash	8
1.4 嵌入式 SRAM	8
1.5 启动模式	8
1.6 电源管理	8
1.6.1 供电方案	8
1.6.2 电源检测	8
1.6.3 电压调压器 (LDO)	9
1.6.4 低功耗模式	9
1.7 时钟系统	9
1.8 Multi-AHB 总线矩阵	10
1.9 外设互联矩阵	11
1.10 通用 I/O 端口 (GPIO)	11
1.11 DMA 控制器	11
1.12 中断和事件	12
1.12.1 嵌套的向量式中断控制器 (NVIC)	12
1.12.2 外部中断/事件控制器 (EXTI)	12
1.13 模数转换器 (ADC)	12
1.14 数模转换器 (DAC)、模拟比较器 (ACMP) 和反向电动势采样控制器 (HALL_MID)	13
1.15 运算放大器 (OPA)	15
1.16 定时器和看门狗	17
1.16.1 高级控制定时器 (TIM1)	17
1.16.2 通用定时器 (TIM3/14/15/16/17)	17
1.16.3 基本定时器 (TIM6)	19
1.16.4 独立看门狗 (IWDG)	19
1.16.5 窗口看门狗 (WWDG)	19
1.16.6 系统时基定时器 (SysTick)	19
1.17 钟表定时器 (WT)	19
1.18 I2C 接口	19
1.19 UART 接口	20
1.20 SSP 接口	20
1.21 循环冗余校验 (CRC) 计算单元	20
1.22 除法器 (DIV)	21
1.23 串行线调试口 (SW-DP)	21
2. 引脚排列和引脚说明	22
3. 存储器映射	29
4. 电气特性	32

4.1 绝对最大值	32
4.2 推荐工作条件	33
4.3 直流电气特性	33
4.4 IO 管脚参数	34
4.5 系统复位及电压监控	35
4.6 模拟模块的特性	36
4.6.1 内置时钟特性参数	36
4.6.2 比较器特性	36
4.6.3 ADC 参数特性	36
4.6.4 DAC 特性参数	37
5. 封装特性	38
5.1 LQFP32 封装外形尺寸	38
5.2 SSOP24 封装尺寸	39
5.3 QFN32 封装尺寸	40
6. 产品命名规则	41
7. 修订历史	42



图片目录

图 1 LCM32F037 模块框图	7
图 2 LCM32F037 时钟树	10
图 3 LCM32F037 总线矩阵	10
图 4 ADC 框图	13
图 5 DAC、HALL_MID 和 ACMP 互联	14
图 6 OPA 内部结构和外部互联	16
图 7 LCM32F037K6T8 LQFP32 封装引脚排列	22
图 8 LCM32F037H6S8 SSOP24 封装引脚排列	23
图 9 LCM32F037K6U8 QFN32 封装引脚排列	23
图 10. LCM32F037 存储器映射	29

表格目录

表 1 LCM32F037 外设互联矩阵	11
表 2 定时器特性比较	17
表 3 引脚排列表中使用的图例/缩略语	24
表 4 LCM32F037 引脚定义	25
表 5 端口 A 可选复用功能映射	27
表 6 端口 B 可选复用功能映射	28
表 7 端口 F 可选复用功能映射	28
表 8 LCM32F037 外设寄存器地址空间划分	30
表 9 电压特性	32
表 10 电流特性	32
表 11 热特性	32
表 12 ESD 保护和 Latch-up 免疫特性	32
表 13 工作条件	33
表 14 电流特性	33
表 15 低功耗电流	34
表 16 I/O 特性	34
表 17 系统监控与复位特性	35
表 18 振荡与时钟特性	36
表 19 模拟比较器特性	36
表 20 ADC 参数表	36
表 21 DAC 参数表	37



1. 功能概述

1.1 模块框图

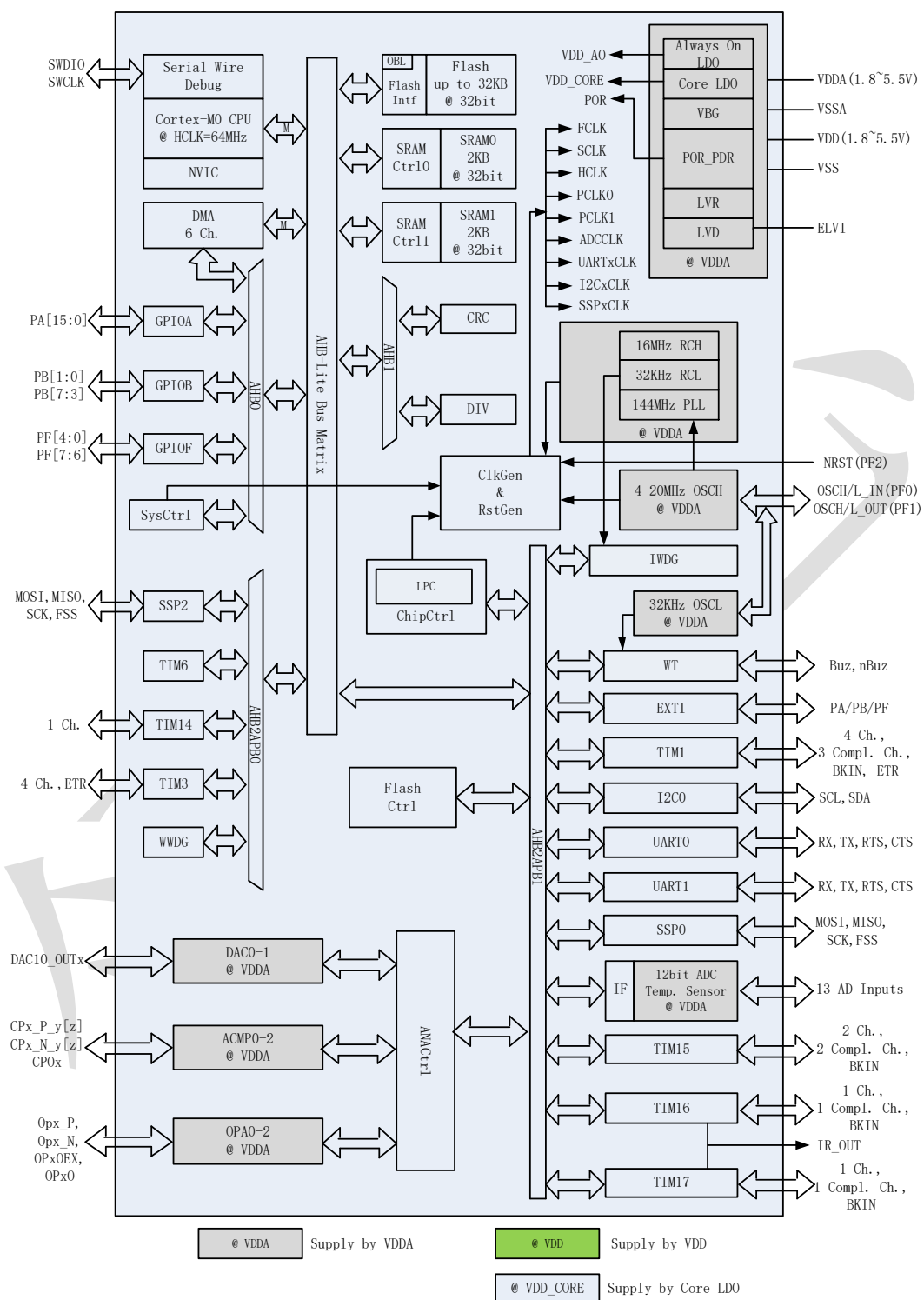


图 1 LCM32F037 模块框图

1.2 32 位 M0 处理器

采用 32 位 ARM Cortex-M0 处理器，它为实现 MCU 的需要提供了低成本的平台、缩减的引脚数目、降低的系统功耗、提供额外的代码效率，同时提供卓越的计算性能和先进的中断系统响应。

LCM32F037 产品系列拥有内置的 ARM 内核，因此它与市面通用的工具和软件兼容。

1.3 嵌入式 Flash

LCM32F037 内置嵌入式 32KBytes Flash 用来存储程序和数据。

Flash 访问时间依赖于 CPU 时钟频率：CPU 时钟频率在 0 到 32MHz 之间时，0 个等待周期；在 32MHz 到 64MHz 时，1 个等待周期；在大于等于 64MHz 时，2 个等待周期。CPU 高速运行时，为了提高访问效率，减少等待时间，实现了 3 个 32 位的指令预取 Buffer。

Flash 在功能上被划分为三个部分：

- 32KBytes 的 Main Memory，主要用于存储用户程序和数据
 - 512Bytes 的 Option Bytes，用于读写保护和用户配置信息等
 - 1536Bytes 的 System Memory，用于存储 Boot Loader、校准信息和设备配置信息等
- 写保护防止 Main Memory 被篡改，以 1KBytes（2 个 Page）为单位，一共有 32 个独立的写保护区间。

读保护分为三个保护等级；Main Memory 划分为 8 个区间，每个区间可以独立配置为读保护等级 0 或者等级 1；读保护等级 2 针对所有的 Memory 区间。

- Level 0：没有读保护
- Level 1：存储读保护，不能通过 debug 端口、SRAM/System Memory 里的程序和读保护等级为 0 的 Main Memory 区间里的程序读写 Flash。
- Level 2：芯片读保护，debug 功能和从 SRAM/System Memory 里执行程序功能被禁止。

1.4 嵌入式 SRAM

LCM32F037 包含两个独立的 SRAM Bank，支持同时读写。每个 Bank 为 2KBytes（位宽 32bit），一共 4KBytes。CPU 和 DMA 模块能以 0 个等待周期对 SRAM 进行读写访问。

1.5 启动模式

启动时，boot0pin 和 boot selector option bit 用来选择三种启动模式：

- 从 Main Memory 启动
- 从 System Memory 启动
- 从 SRAM 启动

Boot loader 在 System Memory 里，可以通过 UART/I2C/SSP 通信接口对 Flash 进行在应用编程和升级。

1.6 电源管理

1.6.1 供电方案

- VSS, VDDH = 1.8~5.5V: VDDH 引脚为 I/O 引脚和 RCH、PLL 等高频模块供电。
- VSSA, VDDA = 1.8~5.5V: 为复位模块、RC 振荡器、PLL、内部调压器（LDO）和模拟模块供电。VDDA 电压必须大于或等于 VDDH 电压，并且要先于 VDDH 提供。VDDA 和 VSSA 可分别连接到 VDDH 和 VSS。

1.6.2 电源检测

LCM32F037 内部集成了一个高精度的上电/掉电复位（POR/PDR）电路。这个复位电路在上电时始终处于工作状态，保证系统在供电高于 1.8V 后工作；当供电低于设定的阈值时，设备处于复位状态，而不必使



用外部复位电路。

LCM32F037 内部还集成了一个可编程低压复位器 (LVR)，它监视 VDD 供电并与设定的阈值电压比较，当 VDD 低于阈值电压时，置设备于复位状态。LVR 默认是打开的，可通过软件关闭。LVR 支持 8 个低压复位点：1.6V、1.8V、2.0V、2.5V、2.8V、3.0V、3.5V、4.0V。当 MCU 的系统频率超过 72MHz 时，要求 MCU 供电大于 4V，因此建议设置 LVR 档位为 4.0V 作为保护；其他系统频率下，可根据供电配置合适的 LVR 档位。

LCM32F037 内部还集成了一个可编程电压监测器 (LVD)，它监视 VDD 供电并与设定的阈值电压比较，当 VDD 低于或高于阈值电压时产生中断，中断处理程序可以发出警告信息或将设备转入安全模式。LVD 默认是关闭的，需要通过软件开启。LVD 支持 8 个电压监测点：2.0V、2.2V、2.4V、2.7V、2.9V、3.1V、3.6V、4.5V。

1.6.3 电压调压器 (LDO)

LCM32F037 里包含两个 LDO，内核 LDO 用于系统运行的内核电源域，低功耗 LDO 用于常开/备份电源域。两个 LDO 在上电复位后处于工作状态。

内核 LDO 有两种操作模式：

- 主模式 (MR)，用于系统正常的运行操作，电压 1.5V。
- 低功耗模式 (LPR)，此时内核 LDO 的输出驱动能力最低可降到 10uA 左右。

如果系统处于超低功耗停机模式，则内核电路由低功耗 LDO 供电，寄存器和 SRAM 的内容保持，低功耗 LDO 的电压四挡可调，分别为 1.0V、1.1V、1.2V 和 1.5V。

1.6.4 低功耗模式

系统上电复位或者外部复位之后，默认处于运行模式，用户可以根据自身的环境应用，选择进入不同的低功耗模式来节省 MCU 功耗。LCM32F037 支持三种低功耗模式，可以在低功耗、短启动时间和可唤醒源之间达到最佳的平衡。

◆ 睡眠模式 (SLEEP)

在睡眠模式，只有 CPU 停止工作，所有外设处于工作状态并可在发生中断/事件时唤醒 CPU，内核 LDO 处于主模式。

◆ 停机模式 (STOP)

在保持 SRAM 和寄存器内容不丢失的情况下，停机模式可以达到极低的功耗。在停机模式下，内核 LDO 可以被配置为主模式或者低功耗模式。内核电源域的所有高频时钟全部被关掉，PLL、RCH 和 OSCH 被关闭，内核电源域里的各个模拟模块根据内核 LDO 的状态，可以通过软件关掉或者打开。

可以通过任何 EXTI 把微控制器从停机模式中唤醒，EXTI 可以是 16 个映射的外部 I/O 口之一、LVD、WT 闹钟或模拟比较器 ACMP 的输出。

◆ 超低功耗停机模式 (Ultra STOP)

在保持 SRAM 和寄存器内容不丢失的情况下，超低功耗停机模式可以达到最低的功耗。在超低功耗停机模式下，内核电源由低功耗 LDO 提供。内核电源域的所有高频时钟全部被关掉，PLL、RCH 和 OSCH 被关闭，内核电源域里的各个模拟模块也全部被关掉。

超低功耗模式时，低功耗 LDO 输出电压有 4 档可选，当选择 1.0V 时，可进一步降低静态功耗。

可以通过任何 EXTI 把微控制器从超低功耗停机模式中唤醒，EXTI 信号可以是 16 个映射的外部 I/O 口之一、LVD 或 WT 闹钟的输出。

1.7 时钟系统

系统时钟源的选择是在启动时进行，复位时内部 16MHz 的 RC 振荡器 RCH 被选为默认时钟。随后可以选择外部的具失效监控的 4~20MHz 的晶振时钟 OSCH 或者 PLL 时钟。时钟安全系统 (CSS) 可以被激活，它在 OSCH 时钟启动并稳定后被使能，并在 OSCH 时钟关闭后关闭。当 CSS 使能且 OSCH 时钟出现故障时，CSS

产生中断。

OSCH 和 OSCL 复用相同的 I/O (PF0 和 PF1)，因此实际使用时，不能同时打开。

RCH、OSCH、PLL和几个时钟分频器一起用来配置AHB和APB0/1总线的频率。AHB和APB总线所支持的最高频率为96MHz。LCM32F037的时钟框图如图2所示。

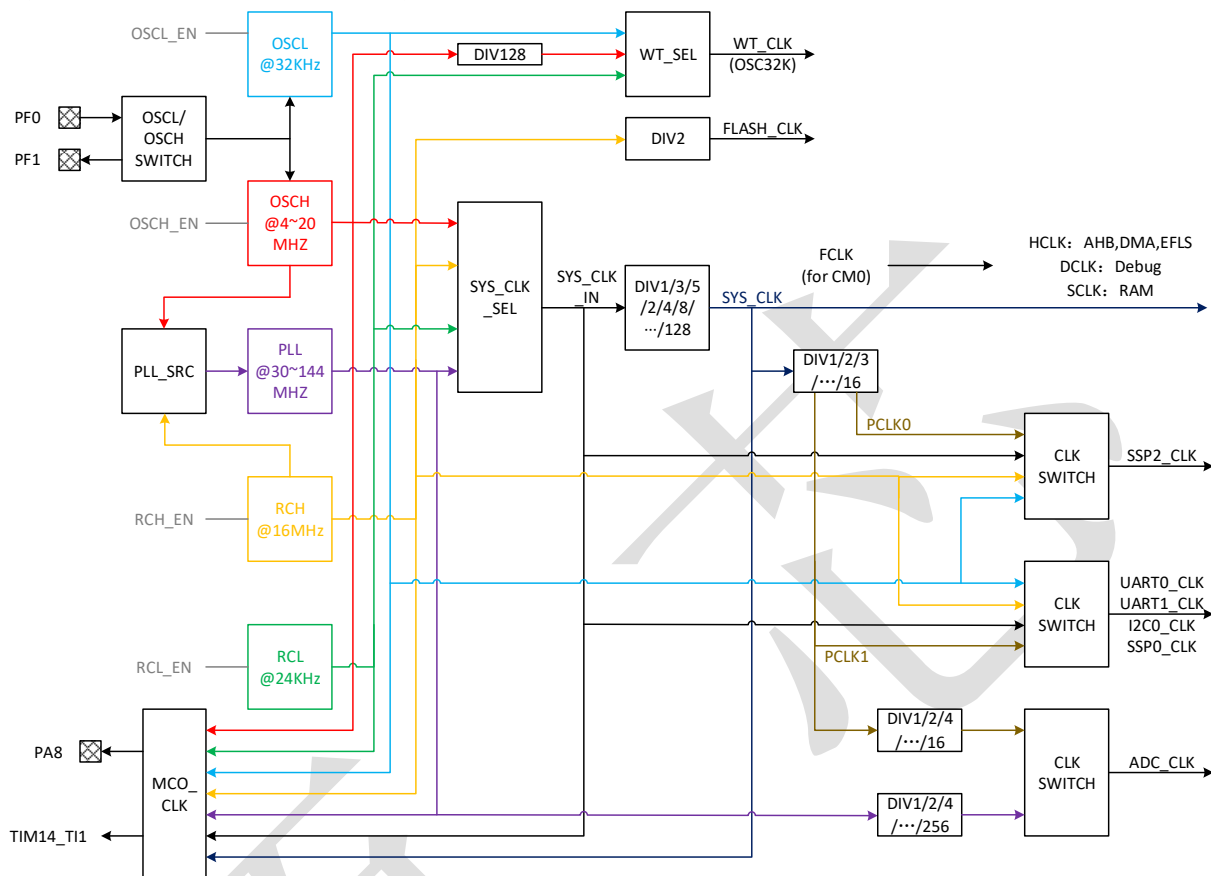


图 2 LCM32F037 时钟树

1.8 Multi-AHB 总线矩阵

32 位的多 AHB 总线矩阵将所有主机模块 (CPU、DMA) 和从机模块 (Flash、SRAM、AHB、APB 外设) 互连，确保芯片多个高速外设可以同时高效地工作。

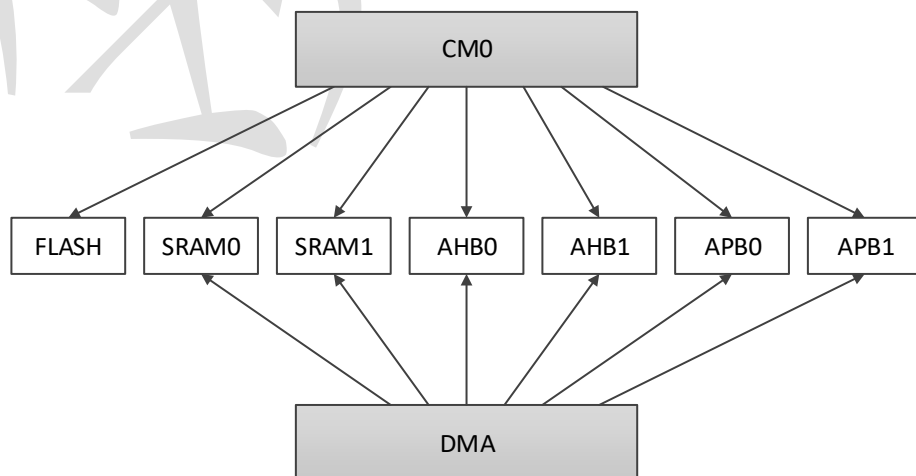


图 3 LCM32F037 总线矩阵

1.9 外设互联矩阵

LCM32F037 外设之间存在可配置的互联，允许外设之间自动、灵活地进行通信交互，可以节省 CPU 开销并降低功耗，而且保证了快速、可预测的响应延时。

表 1 LCM32F037 外设互联矩阵

互联发起源	互联目标	联动行为
TIMx	TIMx	定时器之间的同步和联动
	ADC	A/D 转换触发
	DACx	D/A 转换触发
	ACMPx	比较器输出消隐控制
	DMA	Memory 传输触发
ADC	TIMx	模拟看门狗触发定时器
GPIO WTCLK OSCH/128 MCO	TIM14	各时钟源接入定时器的输入通道，用于时钟测量和校准
ACMPx	TIMx	定时器输出控制，输入捕获，输入触发
	ADC	A/D 转换触发
CSS CPU (Hard Fault) LVD ACMPx GPIO	TIM1 TIM15 TIM16 TIM17	定时器紧急关断输入
GPIO	TIMx	外部触发，紧急关断
	ADC	A/D 转换外部触发
	DACx	D/A 转换触发
DACx	ACMPx	比较器输入

1.10 通用 I/O 端口（GPIO）

LCM32F037 包含多达 30 个快速 I/O 端口，可以容忍 5V 电压。驱动能力和斜率两档可调，所有 I/O 都有大电流的功能，具有速度选择以更好地管理内部噪声、功耗、电磁辐射。

每个 I/O 端口可被软件配置为悬空输入、上拉输入、下拉输入、推挽输出、开漏输出、开源输出，支持不同的外设引脚复用功能。

I/O 端口包含一到两路模拟通道，软件可配置关断或者使能。当 I/O 包含两路模拟通道时，两路模拟通道可以同时打开，内部导通。

I/O 端口支持外设复用的重映射功能，那些复用的外设功能不仅可以通过默认的引脚实现，还可以通过其他可重映射的引脚实现。这使得引脚的选择更加灵活，制板更加方便，使用户可以在选定的设备下实现最多数量的外设功能。

I/O 功能配置可通过执行一个特定的读写操作序列来锁住，防止意外篡改。

1.11 DMA 控制器

LCM32F037 包含一个 4 通道的 DMA 控制器，用来在脱离 CPU 的控制下进行内存映射的外设和/或内存之间的可编程数据传输。每个 DMA 通道专用于管理来自一个或多个外设的内存访问请求，其中包括一个仲

裁器，用于处理 DMA 请求之间的优先级。每个 DMA 通道的传输长度、传输源地址和目标地址都可以通过软件独立设置。

DMA 可以用于下列外设：SSP、I2C、UART、ADC、DAC 和定时器。

1.12 中断和事件

1.12.1 嵌套的向量式中断控制器（NVIC）

LCM32F037 内置嵌套的向量式中断控制器，能够处理多达 32 个可屏蔽中断通道（不包括 16 个 Cortex-M0 内部的中断线）和一个不可屏蔽中断通道，这些中断共有 4 个可配置优先级。

NVIC 与处理器核心接口紧密耦合，实现了低延迟中断处理和对延迟中断的高效处理。包括核心异常在内的所有中断都由 NVIC 管理。有关异常和 NVIC 编程的更多信息，请参阅针对 Cortex-M0 产品的编程手册。

1.12.2 外部中断/事件控制器（EXTI）

外部中断/事件控制器（EXTI）管理外部和内部的异步事件/中断，并向 CPU/中断控制器生成事件请求，并向电源管理器生成唤醒请求。

EXTI 允许管理 22 个外部/内部事件线（多达 30 个通用 I/O 口连接到 16 个外部中断线和 6 个内部事件线）。

每个中断/事件线都可以独立地配置它的触发事件（上升沿或下降沿或双边沿），并能够单独地被屏蔽；一个挂起寄存器维持所有中断请求的状态。

EXTI 可以检测到脉冲宽度小于内部 APB1 的时钟周期，也可以配置为同步滤波窄脉冲（依赖于时钟频率，脉冲宽度可由纳秒级到毫秒级）。

1.13 模数转换器（ADC）

LCM32F037 内置有 1 个 12 位 ADC，它有多达 18 个多路复用通道，允许它测量来自 16 个外部 I/O 和 2 个内部的电压。包含两个独立的采样/保持电路，最高转换速率达 1.5MSPS；内置 16 深度的 FIFO，支持 DMA 功能。支持高效的低功耗模式，允许在低频率工作时降低功耗。DAC 和运算放大器的输出也可以通过 I/O 端口送给 ADC 的输入通道。

ADC 支持使用内部参考电压（3.3V 或 5V）或外部参考电压 VRH（2.5V、4V、VDDA 或者外部 I/O 供电）。

各个通道的 A/D 转换可以在单次、连续或断续模式下进行。单次模式为一次触发转换一个序列中的所有通道；连续模式为连续转换所有选中的通道；断续模式为一次触发转换一个所选的通道。

ADC 内置有一个温度传感器，温度传感器产生一个随温度线性变化的电压，在内部被连接到输入通道上。

模拟看门狗功能允许应用程序检测输入电压是否超出用户定义的高或低阈值，当被监视的信号超出预置的阈值范围时，将产生中断。

定时器、模拟比较器和外部 I/O 产生的事件可以通过各种逻辑组合触发 ADC 的转换启动。

ADC 输入时钟由 PCLK1 或 PLL_CLK 时钟经过预分频之后产生，且不能超过 24MHz。

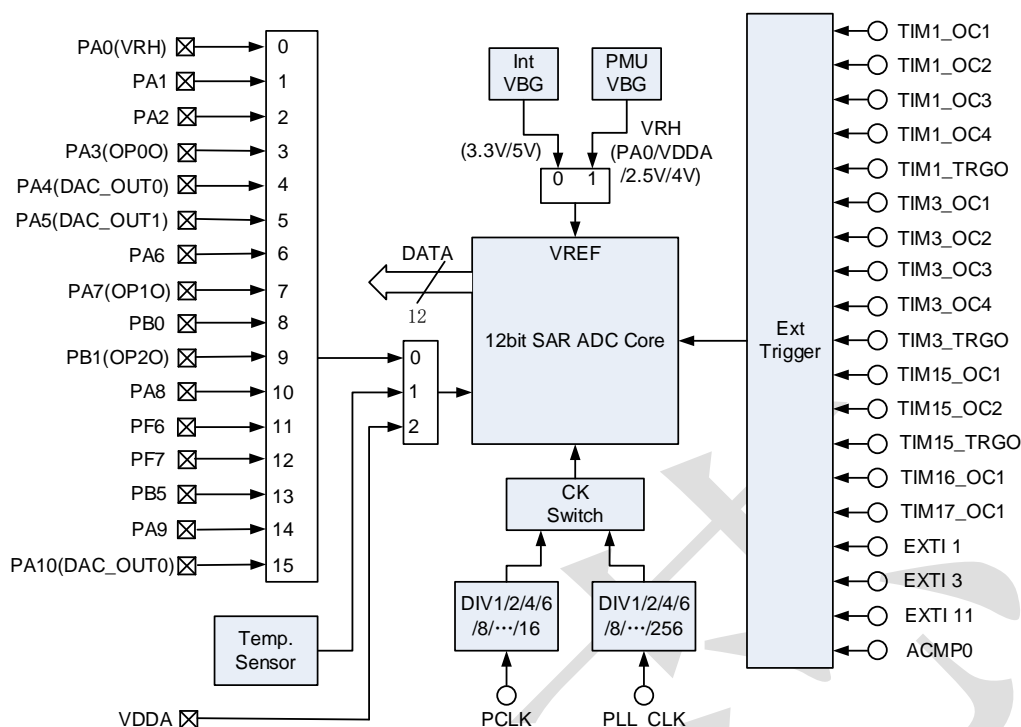


图 4 ADC 框图

注1: OP00EX/OP10EX/OP20EX 的输出直接连到ADC 的输入通道, I/O 无须配置成模拟模式, 模拟通道不需要使能; I/O 空闲, 可以用作其他功能。

注2: VRH/OP00/OP10/OP20/ DAC_OUT0/DAC_OUT1 输出可以通过 I/O 的两个模拟通道环路到ADC 的输入通道。I/O 必须配置成模拟模式, 两个模拟通道都要使能; 外部高阻; I/O 被占用, 不得用作其他功能。

1.14 数模转换器 (DAC)、模拟比较器 (ACMP) 和反向电动势采样控制器 (HALL_MID)

LCM32F037 包含 2 个 10 位 DAC 模块, 可用于将输入的 2 路数字信号转换成 2 个模拟电压输出到 I/O 或者 3 个模拟比较器的输入。每个 DAC 参考电压可选为 2.5V、4V 或 VDDA。每个 DAC 都支持硬件触发和 DMA 传输功能。每个 DAC 都支持硬件产生可配置的伪随机噪声波形和三角波形。

LCM32F037 包含 3 个快速的轨到轨模拟比较器, 比较器的输入来自内部 DAC 输出、HALL_MID 输出或者外部端口。比较器的外部触发、迟滞、速度、滤波、极性和消隐都可以通过软件配置。所有的比较器都可以产生中断, 支持将系统从停机模式唤醒。所有的比较器都可以和定时器联动, 产生紧急刹车信号。两个比较器可以组合成一个窗口比较器。

LCM32F037 包含 1 个反向电动势采样控制器 (HALL_MID), 可以和 DAC、ACMP 联动工作。

I/O 端口、反向电动势采样控制电路、DAC 和比较器之间的互联如下图所示。

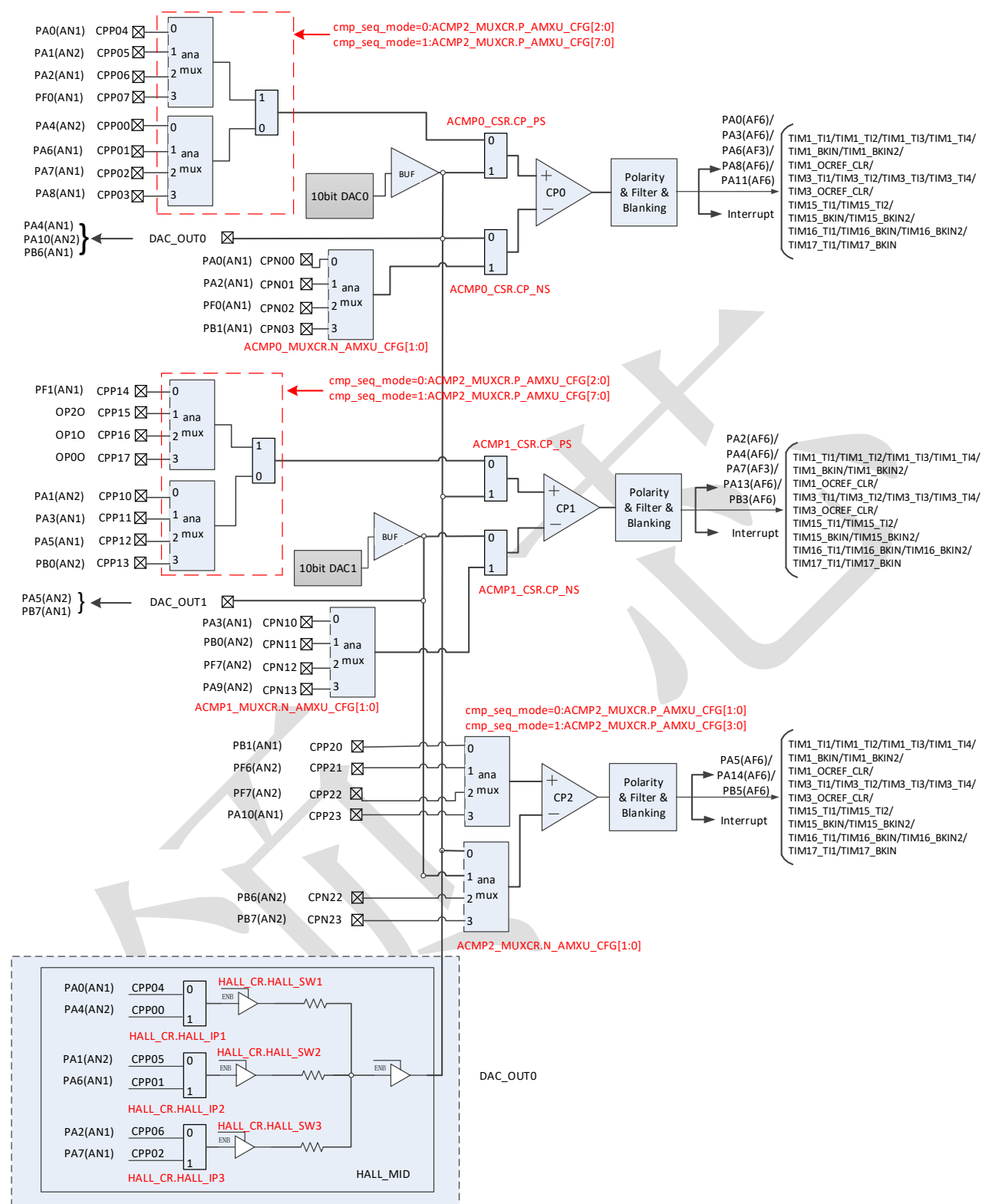


图 5 DAC、HALL_MID 和 ACMP 互联

注：当模拟通道环路到ADC的输入通道时，I/O 必须配置成模拟模式，两个模拟通道都要使能；外部高阻；I/O 被占用，不得用作其他功能。

1.15 运算放大器（OPA）

LCM32F037 内置 3 个运算放大器，放大倍数均为 1/2/6/8/10/16/20/32，输出偏置为 $V_{RH}/2$ 或 DAC_OUT1。
三个运算放大器具有如下特性：

- 输入共模电压：0V ~ VDDA
- 输入失调电压：-/+ 5mV（未校准）；-/+ 1mV（校准后）
- 转换速率：5V/ μ s
- 电源电压抑制比：60（min），80（typ）
- 增益系数精度：+/- 1%
- 运放的温度漂移：0.1%
- CMRR：90dB
- 运放的温度特性：温度越高，放大倍数略大，即放大曲线上翘，严禁下曲

OPA 内部结构和外部互联如下图 6 所示。

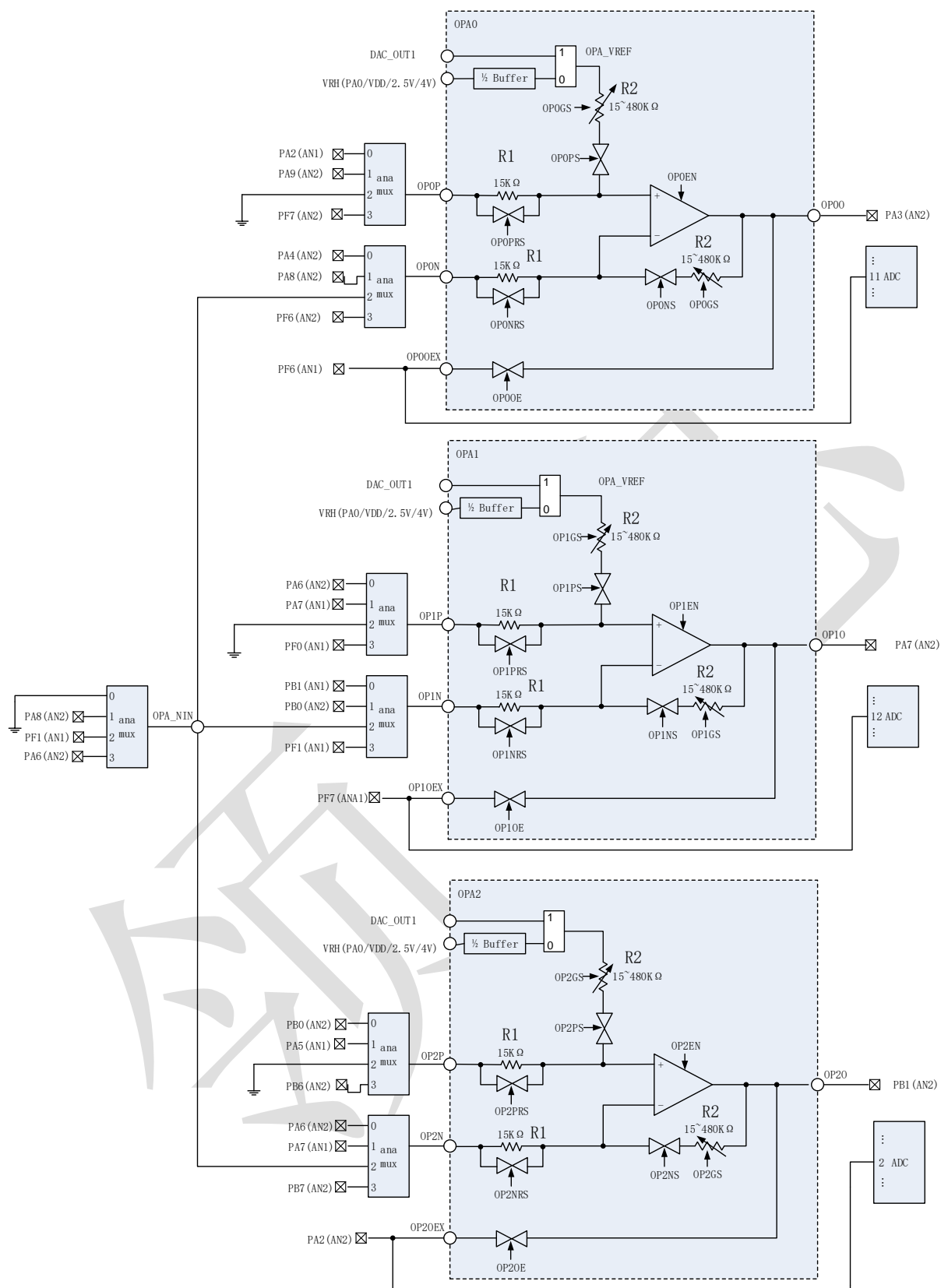


图 6 OPA 内部结构和外部互联

注 1: OP00/OP10/OP20 输出可以通过 I/O 的两个模拟通道环路到 ADC 的输入通道。I/O 必须配置成模拟模式, 两个模拟通道都要使能; 外部高阻; I/O 被占用, 不得用作其他功能。



1.16 定时器和看门狗

LCM32F037 包括 1 个高级控制定时器、5 个通用定时器、1 个基本定时器、2 个看门狗定时器和 1 个系统基定时器。在调试模式下，可以冻结所有定时器计数器。

表 2 比较了高级控制定时器、通用定时器和基本定时器的特性。

表 2 定时器特性比较

定时器类型	名称	计数器精度	计数器方向	预分频系数	DMA 请求	捕获/比较通道	互补输出
高级定时器	TIM1	16-bit	Up, Down, Up/down	1~65536	Yes	4	3
通用定时器	TIM3	16-bit	Up, Down, Up/down	1~65536	Yes	4	0
	TIM14	16-bit	Up	1~65536	No	1	0
	TIM15	16-bit	Up, Down, Up/down	1~65536	Yes	2	2
	TIM16	16-bit	Up, Down, Up/down	1~65536	Yes	1	1
	TIM17	16-bit	Up, Down, Up/down	1~65536	Yes	1	1
基础定时器	TIM6	16-bit	Up	1~65536	Yes	0	0

1.16.1 高级控制定时器（TIM1）

高级定时器 TIM1 是一个 16 位的定时器/计数器，由一个可编程的预分频器驱动，有四路不同的捕获/比较通道。主要用于基本定时，测量输入信号的脉冲宽度（输入捕获）和产生输出波形（输出比较，PWM 和单脉冲模式），对应于不同事件（捕获、比较、溢出、刹车、触发）的中断以及与其它定时器或外部信号（外部时钟、复位、触发和使能信号）同步。

TIM1 可以看作是一个复用 6 个通道的 3 相 PWM，支持互补的 PWM 输出，能插入可编程的死区时间。也可以看做是一个完整的通用定时器。4 个独立的通道可以被分别用于：

- 输入捕获
- 输出比较
- PWM 生成（边沿或中心对齐模式）
- 单脉冲模式输出

如果配置为一个标准的 16 位定时器，TIM1 具有 TIMx 定时器的所有特性。如果配置为 16 位 PWM 生成器，TIM1 具有全调制能力（0 到 100%）。TIM1 支持延时触发和防误触发机制。在调试模式下，计数器可以被冻结。TIM1 可以通过定时器联动机制与其他定时器共同工作，提供同步或事件联接功能。

1.16.2 通用定时器（TIM3/14/15/16/17）

LCM32F037 内置有 5 个可同步的通用定时器,具体差异参见上面的表 2。

TIM3

通用定时器 TIM3 是一个 16 位的定时器/计数器，由一个可编程的预分频器驱动，有四路不同的捕获/比较通道。主要用于基本定时，测量输入信号的脉冲宽度（输入捕获）产生输出波形（输出比较，PWM 和单脉冲模式），对应于不同事件（捕获、比较、溢出、触发）的中断以及与其它定时器或外部信号（外部时

钟、复位、触发和使能信号) 同步。

TIM3 的 4 个独立的通道可以被分别用于:

- 输入捕获
- 输出比较
- PWM生成(边沿或中心对齐模式)
- 单脉冲模式输出

TIM3 没有互补输出。如果配置为 16 位 PWM 生成器, TIM3 具有全调制能力(0 到 100%)。在调试模式下, 计数器可以被冻结。TIM3 可以通过定时器联动机制与其他定时器共同工作, 提供同步或事件联接功能。

TIM14

通用定时器 TIM14 是一个 16 位的定时器/计数器, 由一个可编程的预分频器驱动, 有一路捕获/比较通道。主要用于基本定时, 测量输入信号的脉冲宽度(输入捕获)产生输出波形(输出比较和 PWM), 对应于不同事件(捕获、比较和溢出)的中断。

TIM14 的 1 个独立的通道可以被分别用于:

- 输入捕获
- 输出比较
- PWM生成(边沿模式)

TIM14 没有互补输出, 也没有 DMA 功能。在调试模式下, 计数器可以被冻结。TIM14 可以通过定时器联动机制与其他定时器共同工作, 提供同步或事件联接功能。

TIM15、TIM16、TIM17

通用定时器 TIM15/16/17 是 16 位的定时器/计数器, 由一个可编程的预分频器驱动。主要用于基本定时, 测量输入信号的脉冲宽度(输入捕获)产生输出波形(输出比较, PWM 和单脉冲模式), 对应于不同事件(捕获、比较、溢出、刹车、触发)的中断以及与其它定时器或外部信号(外部时钟、复位、触发和使能信号)同步。

TIM15/16/17 是完全独立的, 不共享任何资源。TIM15/16/17 可以通过定时器联动机制与其他定时器共同工作, 提供同步或事件联接功能。

TIM15 支持互补的 PWM 输出, 能插入可编程的死区时间。TIM15 的 2 个独立的通道可以被分别用于:

- 输入捕获
- 输出比较
- PWM生成(边沿或中心对齐模式)
- 单脉冲模式输出

如果配置为 16 位 PWM 生成器, TIM15 具有全调制能力(0 到 100%)。在调试模式下, 计数器可以被冻结。TIM15 可以通过定时器联动机制与其他定时器共同工作, 提供同步或事件联接功能。

TIM16/17 支持互补的 PWM 输出, 能插入可编程的死区时间。TIM16/17 的 1 个独立的通道可以被用于:

- 输入捕获
- 输出比较
- PWM生成(边沿或中心对齐模式)
- 单脉冲模式输出

如果配置为 16 位 PWM 生成器, TIM16/17 具有全调制能力(0 到 100%)。在调试模式下, 计数器可以被冻结。TIM16/17 可以通过定时器联动机制与其他定时器共同工作, 提供同步或事件联接功能。TIM16 和 TIM17 的 OC1 输出可以产生 IR_OUT 信号并从 I/O 输出, 用来模拟红外发射功能。



1.16.3 基本定时器（TIM6）

基础定时器 TIM6 是一个 16 位的定时器/计数器，由一个可编程的预分频器驱动，主要用于基本定时。在计数器上溢时能够产生中断和 DMA 请求。

1.16.4 独立看门狗（IWDG）

独立看门狗 IWDG 基于一个 12 位的递减计数器和一个 8 位的预分频器，包含一个用户定义的刷新窗口。它由内部独立的 RCL 振荡器提供时钟，可以工作在低功耗模式下。它可以被当成看门狗在发生问题时复位整个系统，或者作为一个自由运行的定时器为应用程序提供超时管理。通过选项字节可以配置成软件或硬件启动 IWDG，一旦启动后就不能停止。在调试模式下，计数器可以被冻结。

1.16.5 窗口看门狗（WWDG）

窗口看门狗 WWDG 基于一个 7 位的递减计数器，可以被设置成自由运行。它可以被当成看门狗在发生问题时复位整个系统。它由 APB0 时钟驱动，具有早期预警中断功能。在调试模式下，计数器可以被冻结。

1.16.6 系统时基定时器（SysTick）

系统时基定时器专用于实时操作系统，也可用作一个标准的递减计数器。它具有下述特性：

- 24 位的递减计数器
- 自动重载功能
- 当计数器计为 0 时，能产生一个可屏蔽的系统中断
- 可编程时钟源（HCLK 或者 HCLK/8）

1.17 钟表定时器（WT）

WT 在超低功耗停机模式时，由低功耗 LDO 供电；在其他模式下由内核 LDO 供电。只有配置 WT 时钟并使能 WT 时钟后，用户才能正常访问 WT。WT 可以被软件复位。WT 主要用于产生实时中断，同时还作为蜂鸣器输出，主要特性如下：

- WT 的时钟源有 3 种可选：RCL、OSCL、OSCH 的 128 分频
- 8 位定时器有 4 个频率的时钟源 T8CK：4KHz，64Hz，1Hz，1/60Hz
- 可产生 8 位定时器溢出中断
- 为可输出周期为 0.5s 中断
- 可输出八种 BUZ 信号频率：高频四种 8192Hz、4096Hz、2048Hz、1024Hz，低频四种 2Hz、1Hz、0.5Hz、0.25Hz，并可输出对应的反向 nBUZ 信号

WT 的驱动时钟源如下（工作过程中不能切换时钟源）：

- 32.768KHz 的外部晶体振荡器（OSCL）
- 内部低功耗 RC 振荡器，典型频率为 24KHz（RCL）
- 高速外部时钟 OSCH 的 128 分频

1.18 I2C 接口

LCM32F037 内置了 1 个 I2C 接口，主要包含如下特性：

- 能够工作于多主机模式或从机模式
- 支持标准模式（最高 100Kbps）、快速模式（最高 400Kbps）和超快速模式（最高 1Mbps）
- 支持 7 位或 10 位寻址模式，7 位从模式时支持双从地址寻址
- 支持批量传输模式
- 独立的工作时钟，高达 96MHz

- 带有 8Bytes 的发送和接收 FIFO，支持 DMA 操作
- 可编程的 SDA 保持时间

1.19 UART 接口

LCM32F037 内置了 2 个 UART 接口（UART0、UART1），主要包含如下特性：

- 全双工，异步通讯
- NRZ 标准格式（mark/space）
- 支持接收和发送单独使能
- 8×8bit 发送 FIFO 和 8×12bit 接收 FIFO，减少 CPU 中断，支持 FIFO 功能关闭
- 发送和接收 FIFO 中断触发阈值可选：FIFO 1/8、1/4、1/2、3/4、7/8
- 波特率发生器：带有 16 位的整数分频寄存器，可将外设时钟经（1×16）到（65535×16）分频获得波特率时钟。带有 6 位小数分频寄存器可用频率超过 3.6864MHz 的任意时钟作为参考时钟
- 标准的异步通讯位（start、stop、parity），这些位在传输前添加，在接收后移除
- 独立的中断屏蔽位，包括发送 FIFO、接收 FIFO、接收停止、错误条件等中断
- 支持 DMA 连续数据通讯
- 支持硬件流控制
- 支持数据格式的灵活配置
 - 停止位个数可设置：支持 1 个或 2 个停止位
 - 数据字长可编程（5 或 6 位或 7 或 8 位）
 - 校验控制（发送产生和接收检查）：不带奇偶校验位，奇校验或偶校验，校验位固定为 0 或 1
- 通讯线上 break 信号的产生和检测
- UART 工作模式下支持的最大波特率：921600 bps
- 五种错误检测：溢出错误、帧错误、校验错误、接收停止错误和 Break 检测错误
- 多个中断源和中断标志：溢出错误、帧错误、奇偶错误、打断错误、接收停止、发送完成和接收完成

1.20 SSP 接口

LCM32F037 内置 2 个 SSP 接口（SSP0、SSP2），主要包含如下特性：

- 支持主机和从机模式
- 支持 Motorola SPI、TI SSI、National Semiconductor Microwire 三种接口协议
- 帧长度 4 到 16 位可配
- 独立的工作时钟，高达 96MHz
- 可编程的预分频系数和传输比特率
- 在主机模式时，最高通信速率可达 32Mbps；在从机模式时，最高通信速率可达 8Mbps
- 支持内部回环测试模式
- 独立的 8×16bit 发送和接收 FIFO
- 支持 DMA 操作

1.21 循环冗余校验（CRC）计算单元

CRC（循环冗余校验）计算单元使用一个可配置的多项式发生器，从一个 8 位/16 位/32 位的数据字产生一个 CRC 码。

在众多的应用中，基于 CRC 的技术被用于验证数据传输或存储的一致性。在 EN/IEC 60335-1 标准的范围内，它提供了一种检测闪存存储器错误的手段，CRC 计算单元可以用于实时地计算软件的签名，并与在链接和生成该软件时产生的签名对比。

1.22 除法器 (DIV)

支持 64/32 的有符号操作，32 个周期完成；向下支持 32/32 的有符号除法。将数据写入除数寄存器后开始计算，待 32 个周期后读取计算结果。

1.23 串行线调试口 (SW-DP)

内置的ARM SW-DP调试口可以实现串行线调试工具连接到目标设备，仅使用2个I/O (SWDIO和SWCLK) 执行调试，共一组GPIO功能复用。

2. 引脚排列和引脚说明

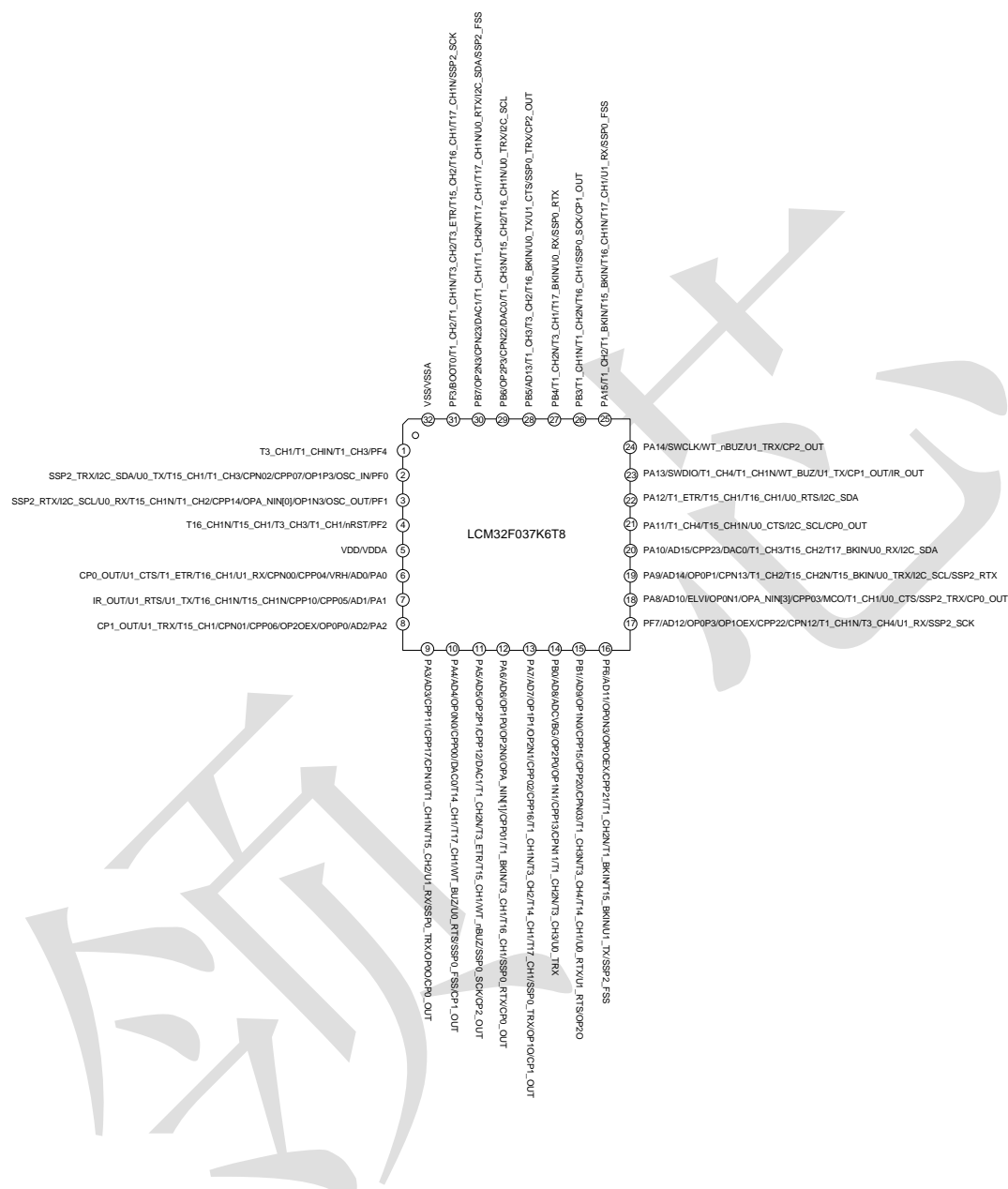


图 7 LCM32F037K6T8 LQFP32 封装引脚排列
(具体引脚功能定义参见表 4)

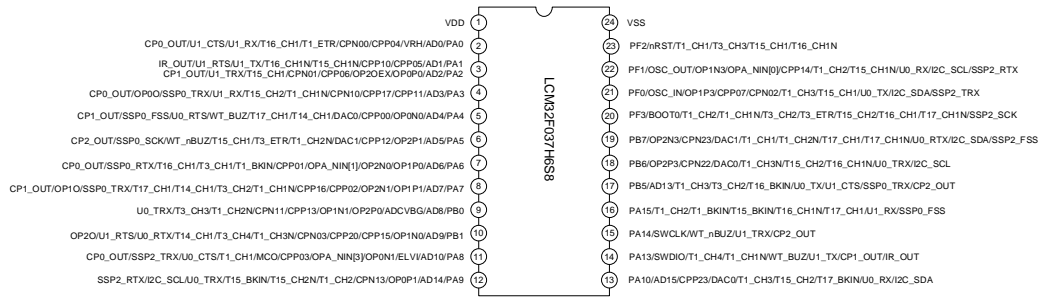


图 8 LCM32F037H6S8 SSOP24 封装引脚排列
(具体引脚功能定义参见表 4)

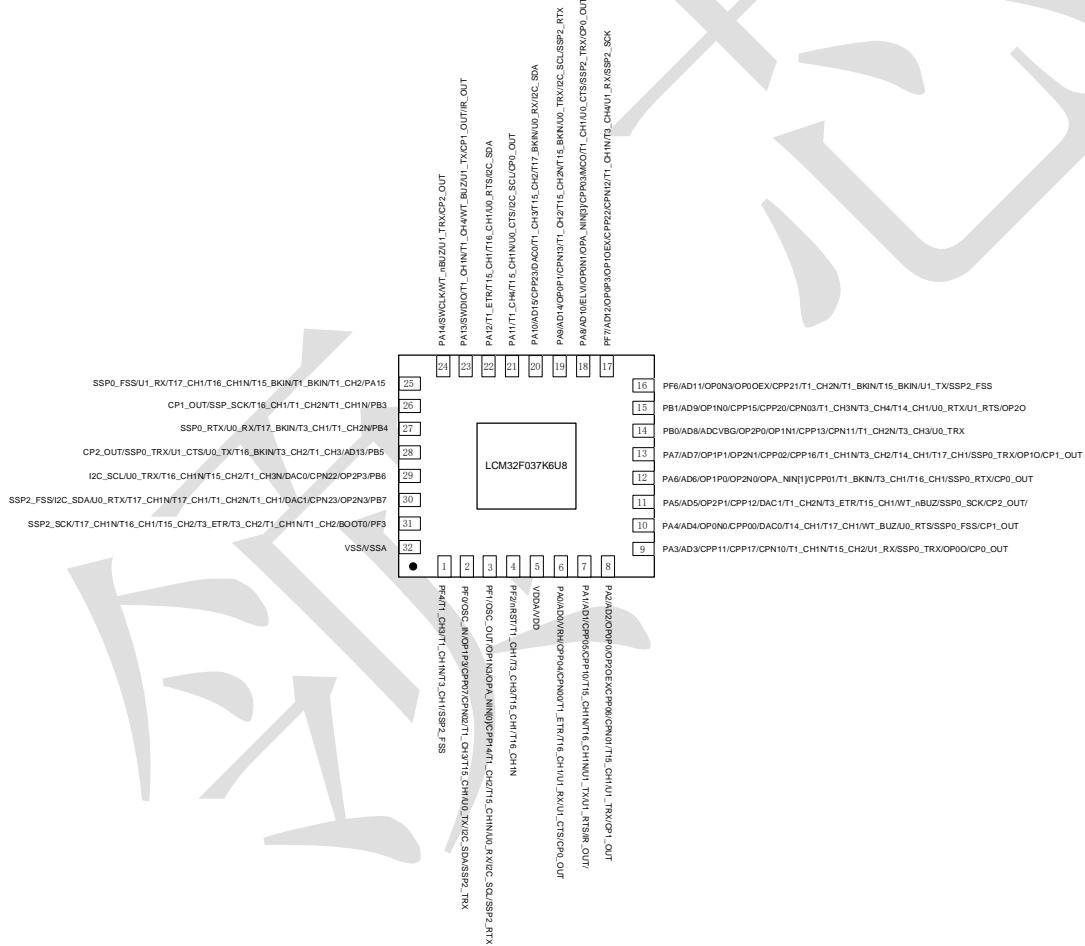


图 9 LCM32F037K6U8 QFN32 封装引脚排列
(具体引脚功能定义参见表 4)

表 3 引脚排列表中使用的图例/缩略语

名称		缩写	定义
引脚名称			除非在引脚名下面的括号中特别说明，复位期间和复位后的引脚功能与实际引脚名相同
引脚类型		S	电源引脚
		I	仅输入引脚
		I/O	输入/输出引脚
I/O结构		1ANA	只包含一路复用模拟通道
		2ANA	包含两路复用模拟通道，两路普通模拟开关（PAD经过ESD电阻后接到模拟开关）
		2OP	包含两路复用模拟通道，两路低内阻模拟开关（PAD直接接到模拟开关，用于运放）
		ANA_OP	包含两路复用模拟通道，一路普通模拟开关和一路低内阻模拟开关
注释			除非特别注释说明，否则在复位期间和复位后所有 I/O 都设为浮空输入
引脚功能	可选复用功能		通过 GPIOx_AFL/H、GPIOx_MODE 寄存器选择的功能（数字复用）
	外部复用功能		通过系统寄存器选择的功能，优先级高于可选复用功能（数字复用）
	模拟复用功能1		通过系统寄存器或者 GPIOx_AFL/H、GPIOx_MODE 寄存器选择的模拟功能 1
	模拟复用功能2		通过系统寄存器或者 GPIOx_AFL/H、GPIOx_MODE 寄存器选择的模拟功能 2

表 4 LCM32F037 引脚定义

引脚号		引脚名（复位后的功能）	引脚类型	I/O 结构	可选复用功能	外部功能	模拟复用功能（AN）	
LQFP32/ QFN32	SSOP24						AN1	AN2
		TESTEN				测试功能		
1		PF4	I/O	1ANA	SSP2_FSS/TIM1_CH1N/ TIM1_CH3/TIM3_CH1/			
2	21	PF0	I/O	2OP	SSP2_TXD/ I2C0_SDA/ TIM1_CH3/ TIM15_CH1/ UART0_TX/ SSP2_RXD		CPN02/ OP1P3/ CPP07 ¹	OSCL_IN / OSCH_IN
3	22	PF1	I/O	2OP	SSP2_RXD/ I2C0_SCL/ TIM1_CH2/ TIM15_CH1N/ URAT0_RX/ SSP2_TXD		CPP14 / OP1N3/ OPA_NIN2	OSCL_OUT / OSCH_OUT
4	23	PF2 (nRST)	I/O	1ANA	TIM1_CH1/ TIM3_CH3/ TIM15_CH1/TIM16_CH1N	nRST ²		
	24	VSS/VSSA	S					
5	1	VDDA	S					
5	1	VDDH	S					
6	2	PA0	I/O	2ANA	UART1_CTS/ TIM1_ETR/ TIM16_CH1/ UART1_RX/ CP0_OUT		ADCIN[0] / CPP04 / CPN00	VRH
7	3	PA1	I/O	2ANA	EVENTOUT/ UART1_RTS/ TIM16_CH1N/ UART1_TX/ TIM15_CH1N/ IR_OUT		ADCIN[1]	CPP05/ CPP10
8		PA2	I/O	2OP	TIM15_CH1/ UART1_TX/ CP1_OUT/ UART1_RX		CPN01/ OP0P0/ CPP06	OP2OEX / ADCIN[2]
9	4	PA3	I/O	ANA_OP	TIM15_CH2/ UART1_RX/ TIM1_CH1N/ SSP0_TXD/ CP0_OUT/ SSP0_RXD		ADCIN[3] / CPN10/ CPP11	OP00/ CPP17
10	5	PA4	I/O	2OP	SSP0_FSS/UART0_RTS/ TIM17_CH1/ TIM14_CH1/ WT_BUZ/ CP1_OUT		DAC_OUT0	ADCIN[4] / OP0N0 / CPP00
11	6	PA5	I/O	2OP	SSP0_SCK/ TIM15_CH1/ TIM1_CH2N/WT_nBuz/ CP2_OUT/ TIM3_ETR		ADCIN[5] / OP2P1 / CPP12	DAC_OUT1
12	7	PA6	I/O	ANA_OP	SSP0_RXD/TIM3_CH1/ TIM1_BKIN/CP0_OUT/ TIM16_CH1/ EVENTOUT/ SSP0_TXD		ADCIN[6] / CPP01	OP1P0 / OP2N0/ OPA_NIN3
13	8	PA7	I/O	2OP	SSP0_TXD/ TIM3_CH2/ TIM1_CH1N/CP1_OUT/		ADCIN[7] / OP1P1/	OP1O/ CPP16

					TIM14_CH1/ TIM17_CH1/ EVENTOUT/ SSP0_RXD		OP2N1/ CPP02	
14	9	PB0	I/O	ANA_OP	EVENTOUT/ TIM3_CH3/ TIM1_CH2N/ UART0_TX/ UART0_RX		ADCVBG	ADCIN[8]/ CPP13/ OP2P0/ CPN11/ OP1N1
15	10	PB1	I/O	2OP	TIM14_CH1/TIM3_CH4/ TIM1_CH3N/UART1_RTS/ UART0_RX/UART0_TX		ADCIN[9]/ CPP20/ OP1N0/ CPN03	OP2O/ CPP15
16		PF6	I/O	ANA_OP	SSP2_FSS/TIM1_CH2N/ TIM1_BKIN/UART1_TX/ TIM15_BKIN/EVENTOUT		ADCIN[11]/ OP0OEX	OP0N3/ CPP21
17		PF7	I/O	ANA_OP	SSP2_SCK/TIM1_CH1N/ TIM3_CH4/ URAT1_RX		ADCIN[12]/ OP1OEX	OP0P3 / CPN12/ CPP22
18	11	PA8	I/O	ANA_OP	MCO/UART0_CTS/ TIM1_CH1/ EVENTOUT/ SSP2_TXD/ SSP2_RXD/ CP0_OUT		ADCIN[10]/ ELVI / CPP03	OP0N1/ OPA_NIN1
19	12	PA9	I/O	ANA_OP	TIM15_CH2N/ TIM15_BKIN/ UART0_TX/ TIM1_CH2/ I2C0_SCL/ SSP2_RXD/ SSP2_TXD/ UART0_RX		ADCIN[14]	CPN13/ OP0P1
20	13	PA10	I/O	2ANA	TIM15_CH2/ TIM17_BKIN/ UART0_RX/ TIM1_CH3/ I2C0_SDA		ADCIN[15]/ CPP23	DAC_OUT0
21		PA11	I/O	2ANA	EVENTOUT/ UART0_CTS/ TIM1_CH4/ TIM15_CH1N/ CP0_OUT/ I2C0_SCL			
22		PA12	I/O	1ANA	EVENTOUT/ UART0_RTS/ TIM1_ETR/ TIM16_CH1/ TIM15_CH1/ I2C0_SDA/			
23	14	PA13	I/O	1ANA	IR_OUT/ TIM1_CH1N/ TIM1_CH4/ UART1_TX/ WT_BUZ/ CP1_OUT	SWDIO ³		
24	15	PA14	I/O	1ANA	UART1_TX/ WT_nBUZ/ CP2_OUT/ UART1_RX	SWCLK ³		
25	16	PA15	I/O	1ANA	SSP0_FSS/UART1_RX/ TIM17_CH1/EVENTOUT/ TIM1_CH2/TIM16_CH1N/ TIM1_BKIN/TIM15_BKIN			
26		PB3	I/O	1ANA	SSP0_SCK/TIM1_CH1N/ TIM1_CH2N/TIM16_CH1/ CP1_OUT			
27		PB4	I/O	1ANA	SSP0_RXD/TIM3_CH1/			

					TIM1_CH2N/UART0_RX/ TIM17_BKIN/SSP0_TXD			
28	17	PB5	I/O	1ANA	SSP0_TXD/TIM3_CH2/ TIM16_BKIN/TIM1_CH3/ UART0_TX/UART1_CTS/ CP2_OUT/ SSP0_RXD		ADCIN[13]	
29	18	PB6	I/O	ANA_OP	UART0_TX/I2C0_SCL/ TIM16_CH1N/TIM15_CH2/ TIM1_CH3N/ UART0_RX		DAC_OUT0	OP2P3 / CPN22
30	19	PB7	I/O	ANA_OP	UART0_RX/I2C0_SDA/ TIM17_CH1N/TIM1_CH2N/ UART0_TX/TIM1_CH1/ TIM17_CH1/SSP2_FSS		DAC_OUT1	OP2N3/ CPN23
31	20	PF3 (BOOT0)	I/O	1ANA	SSP2_SCK/ TIM1_CH1N/ TIM1_CH2/ TIM3_CH2/ TIM15_CH2/ TIM16_CH1/ TIM17_CH1N/ TIM3_ETR	BOOT0 ⁴		
32		VSS/VSSA	S					

注1: ACMP 与 OPA 输入引脚格式。ACMP: CP 序号 + 引脚正负端 + 输入端口; OPA: OP 序号 + 引脚正负端 + 输入端口。

例如: CPP11 表示 ACMP1 正端输入 端口 1; OP2N3 表示 OPA2 负端输入 端口 3。

注2: 上电复位后, 这个引脚缺省配置为外部复位引脚 nRST。

注3: 系统复位后, 这些引脚配置为可选复用功能SWDIO和SWCLK, SWDIO 引脚内部上拉, SWCLK 引脚内部下拉。

注4: 根据选项字节配置, 在系统复位期间可以作为BOOT0引脚, 以选择启动模式; 后续为正常功能。

注5: I/O 驱动强度分为两档, 3.3V 供电时为4mA/8mA; 5V 供电时为8mA/16mA。

表 5 端口 A 可选复用功能映射

引脚	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PA0	-	UART1_CTS	TIM1_ETR	TIM16_CH1	UART1_RX	-	CP0_OUT	-
PA1	EVENTOUT	UART1_RTS	TIM16_CH1N	-	UART1_TX	TIM15_CH1N	-	IR_OUT
PA2	TIM15_CH1	UART1_TX	-	-	-	-	CP1_OUT	UART1_RX
PA3	TIM15_CH2	UART1_RX	-	-	TIM1_CH1N	SSP0_TXD	CP0_OUT	SSP0_RXD
PA4	SSP0_FSS	UART0_RTS	-	TIM17_CH1	TIM14_CH1	WT_BUZ	CP1_OUT	-
PA5	SSP0_SCK	-	-	TIM15_CH1	TIM1_CH2N	WT_nBuz	CP2_OUT	TIM3_ETR
PA6	SSP0_RXD	TIM3_CH1	TIM1_BKIN	CP0_OUT	-	TIM16_CH1	EVENTOUT	SSP0_TXD
PA7	SSP0_TXD	TIM3_CH2	TIM1_CH1N	CP1_OUT	TIM14_CH1	TIM17_CH1	EVENTOUT	SSP0_RXD
PA8	MCO	UART0_CTS	TIM1_CH1	EVENTOUT	SSP2_TXD	SSP2_RXD	-	-
PA9	TIM15_CH2N	TIM15_BKIN	UART0_TX	TIM1_CH2	I2C0_SCL	SSP2_RXD	SSP2_TXD	UART0_RX
PA10	TIM15_CH2	TIM17_BKIN	UART0_RX	TIM1_CH3	I2C0_SDA	-	-	-
PA11	EVENTOUT	UART0_CTS	TIM1_CH4	TIM15_CH1N	-	-	CP0_OUT	I2C0_SCL
PA12	EVENTOUT	UART0_RTS	TIM1_ETR	TIM16_CH1	TIM15_CH1	-	-	I2C0_SDA
PA13	SWDIO	IR_OUT	TIM1_CH1N	TIM1_CH4	UART1_TX	WT_Buz	CP1_OUT	-
PA14	SWCLK	UART1_TX	-	-	-	WT_nBuz	CP2_OUT	UART1_RX
PA15	SSP0_FSS	UART1_RX	TIM17_CH1	EVENTOUT	TIM1_CH2	TIM16_CH1N	TIM1_BKIN	TIM15_BKIN

表 6 端口 B 可选复用功能映射

引脚	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PB0	EVENTOUT	TIM3_CH3	TIM1_CH2N	-	UART0_TX	-	UART0_RX	-
PB1	TIM14_CH1	TIM3_CH4	TIM1_CH3N	-	UART1_RTS	UART0_RX	-	UART0_TX
PB3	SSP0_SCK	TIM1_CH1N	TIM1_CH2N	TIM16_CH1	-	-	CP1_OUT	-
PB4	SSP0_RXD	TIM3_CH1	TIM1_CH2N	UART0_RX	-	TIM17_BKIN	-	SSP0_TXD
PB5	SSP0_TXD	TIM3_CH2	TIM16_BKIN	TIM1_CH3	UART0_TX	UART1_CTS	CP2_OUT	SSP0_RXD
PB6	UART0_TX	I2C0_SCL	TIM16_CH1N	TIM15_CH2	TIM1_CH3N	-	-	UART0_RX
PB7	UART0_RX	I2C0_SDA	TIM17_CH1N	TIM1_CH2N	UART0_TX	TIM1_CH1	TIM17_CH1	SSP2_FSS

表 7 端口 F 可选复用功能映射

引脚	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PF0	SSP2_TXD	I2C0_SDA	TIM1_CH3	TIM15_CH1	UART0_TX	-	-	SSP2_RXD
PF1	SSP2_RXD	I2C0_SCL	TIM1_CH2	TIM15_CH1N	UART0_RX	-	-	SSP2_TXD
PF2	-	-	TIM1_CH1	TIM3_CH3	TIM15_CH1	TIM16_CH1N	-	-
PF3	SSP2_SCK	TIM1_CH1N	TIM1_CH2	TIM3_CH2	TIM15_CH2	TIM16_CH1	TIM17_CH1N	TIM3_ETR
PF4	SSP2_FSS	TIM1_CH1N	TIM1_CH3	TIM3_CH1	-	-	-	-
PF6	SSP2_FSS	TIM1_CH2N	TIM1_BKIN	-	UART1_TX	TIM15_BKIN	EVENTOUT	-
PF7	SSP2_SCK	TIM1_CH1N	TIM3_CH4	-	URAR1_RX	-	-	-



3. 存储器映射

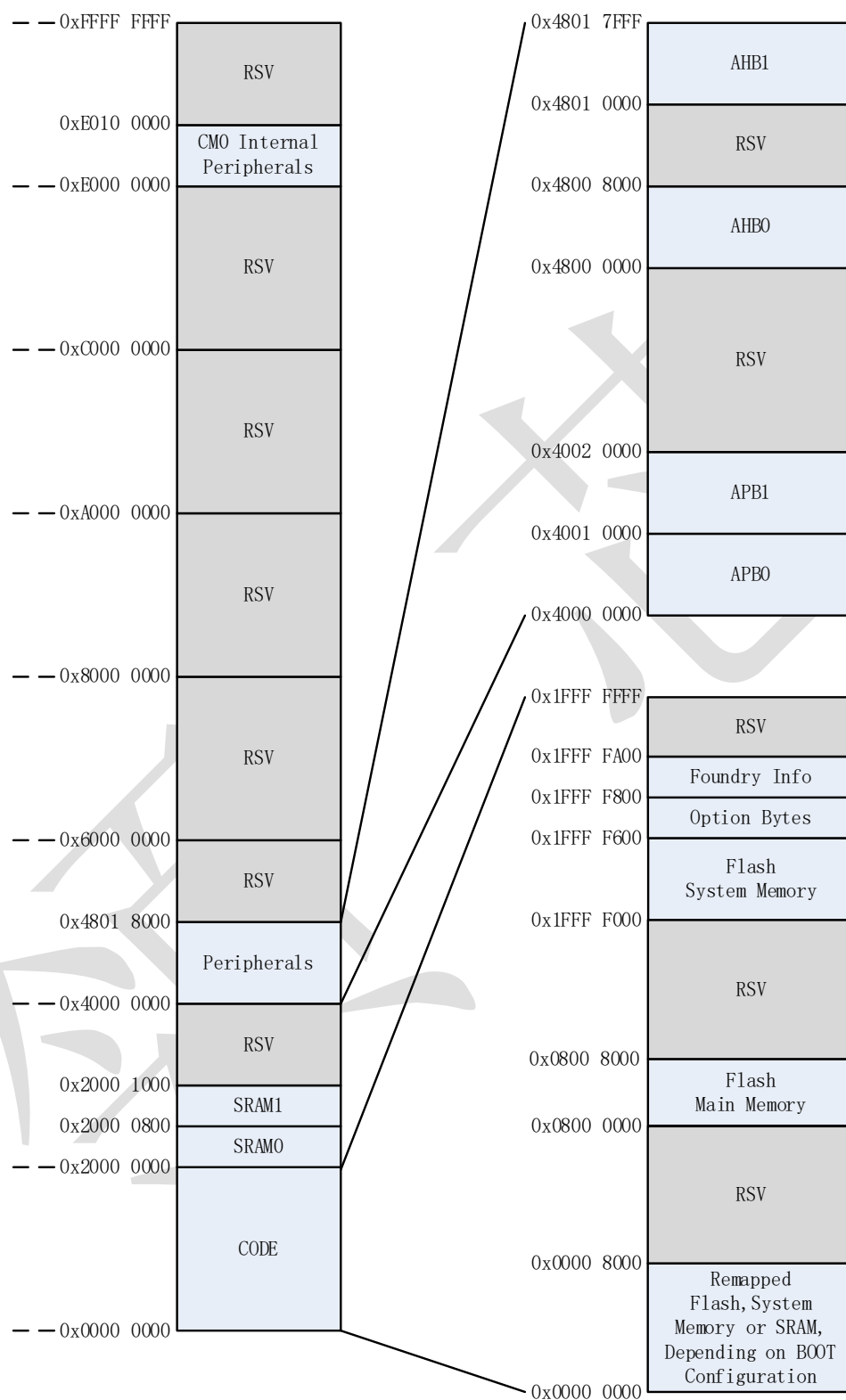


图 10 LCM32F037 存储器映射

表 8 LCM32F037 外设寄存器地址空间划分

总线	地址范围	大小	外设
APB0	0x4000 0000 - 0x4000 0FFF	4KB	保留
	0x4000 1000 - 0x4000 1FFF	4KB	保留
	0x4000 2000 - 0x4000 2FFF	4KB	保留
	0x4000 3000 - 0x4000 3FFF	4KB	保留
	0x4000 4000 - 0x4000 4FFF	4KB	保留
	0x4000 5000 - 0x4000 5FFF	4KB	保留
	0x4000 6000 - 0x4000 6FFF	4KB	SSP2
	0x4000 7000 - 0x4000 7FFF	4KB	保留
	0x4000 8000 - 0x4000 8FFF	4KB	保留
	0x4000 9000 - 0x4000 9FFF	4KB	TIM6
	0x4000 A000 - 0x4000 AFFF	4KB	TIM14
	0x4000 B000 - 0x4000 BFFF	4KB	TIM3
	0x4000 C000 - 0x4000 CFFF	4KB	保留
	0x4000 D000 - 0x4000 DFFF	4KB	WWDG
	0x4000 E000 - 0x4000 EFFF	4KB	保留
	0x4000 F000 - 0x4000 FFFF	4KB	保留
APB1	0x4001 0000 - 0x4001 0FFF	4KB	TIM1
	0x4001 1000 - 0x4001 1FFF	4KB	EXTI
	0x4001 2000 - 0x4001 2FFF	4KB	保留
	0x4001 3000 - 0x4001 3FFF	4KB	I2C0
	0x4001 4000 - 0x4001 4FFF	4KB	UART0
	0x4001 5000 - 0x4001 5FFF	4KB	UART1
	0x4001 6000 - 0x4001 6FFF	4KB	保留
	0x4001 7000 - 0x4001 73FF	1KB	CHIPCTRL
	0x4001 7400 - 0x4001 77FF	1KB	IWDG
	0x4001 7800 - 0x4001 7BFF	1KB	WT
	0x4001 7C00 - 0x4001 7FFF	1KB	ANACTRL
	0x4001 8000 - 0x4001 8FFF	4KB	SSP0
	0x4001 9000 - 0x4001 9FFF	4KB	保留
	0x4001 A000 - 0x4001 AFFF	4KB	ADC
	0x4001 B000 - 0x4001 BFFF	4KB	TIM15
	0x4001 C000 - 0x4001 CFFF	4KB	TIM16
	0x4001 D000 - 0x4001 DFFF	4KB	FLASH CTRL
	0x4001 E000 - 0x4001 EFFF	4KB	TIM17
	0x4001 F000 - 0x4001 FFFF	4KB	保留
	0x4002 0000 - 0x47FF FFFF	~128MB	保留
AHB0	0x4800 0000 - 0x4800 01FF	512B	GPIOA
	0x4800 0200 - 0x4800 03FF	512B	GPIOB
	0x4800 0400 - 0x4800 05FF	512B	保留
	0x4800 0600 - 0x4800 07FF	512B	保留
	0x4800 0800 - 0x4800 09FF	512B	保留

	0x4800 0A00 - 0x4800 0BFF	512B	GPIOF
	0x4800 0C00 - 0x4800 0DFF	512B	保留
	0x4800 0E00 - 0x4800 0FFF	512B	保留
	0x4800 1000 - 0x4800 1FFF	4KB	保留
	0x4800 2000 - 0x4800 2FFF	4KB	保留
	0x4800 3000 - 0x4800 3FFF	4KB	保留
	0x4800 4000 - 0x4800 4FFF	4KB	DMA
	0x4800 5000 - 0x4800 5FFF	4KB	保留
	0x4800 6000 - 0x4800 6FFF	4KB	保留
	0x4800 7000 - 0x4800 7FFF	4KB	SYSCTRL
	0x4800 8000 - 0x4800 FFFF	32KB	保留
AHB1	0x4801 0000 - 0x4801 0FFF	4KB	保留
	0x4801 1000 - 0x4801 1FFF	4KB	CRC
	0x4801 2000 - 0x4801 2FFF	4KB	保留
	0x4801 3000 - 0x4801 3FFF	4KB	保留
	0x4801 4000 - 0x4801 4FFF	4KB	DIV
	0x4801 5000 - 0x4801 5FFF	4KB	保留
	0x4801 6000 - 0x4801 6FFF	4KB	保留
	0x4801 7000 - 0x4801 7FFF	4KB	保留

4. 电气特性

4.1 绝对最大值

如果器件工作条件超过“绝对最大值”，就可能会对器件造成永久性损坏。这些值仅为运行条件极大值，我们建议不要使器件在该规范规定的范围以外运行。器件长时间工作在最大值条件下，其可靠性会受到影响。

表 9 电压特性

参数	符号	测试条件	最小值	典型值	最大值	单位
电源电压	V_{DD}/V_{DDA}	-	-0.3	-	5.5V	V
输入电压	V_{IN}	-	-0.3	-	$V_{DD}+0.3$	

注：所有电压都以 V_{SS} 为参考。

表 10 电流特性

参数	符号	测试条件	最小值	典型值	最大值	单位
流入 V_{DD} 的总电流	I_{VDD}	-	-	-	100	mA
流出 V_{SS} 的总电流	I_{VSS}	-	-	-	100	
管脚注入电流	I_{INJ}	$V_{IN} > V_{DD}$ 或 $V_{IN} < V_{SS}$	-4	-	4	
		$V_O > V_{DD}$ 或 $V_O < V_{SS}$	-4	-	4	
总注入电流	ΣI_{INJ}	-	-20	-	20	

表 11 热特性

参数	符号	测试条件	最小值	典型值	最大值	单位
环境温度	T_A	-	-40	-	125	°C
存储温度	T_{STG}	-	-55	-	125	
结温	T_J	-	-	-	150	
热阻	θ_{JA}	LQFP32	-	78	-	°C/W
		SSOP24	-	THD	-	
		QFN32	-	THD	-	
总功耗	P_D	-	-	-	400	mW

表 12 ESD 保护和 Latch-up 免疫特性

参数	符号	测试条件	最小值	典型值	最大值	单位
HBM	V_{HBM}	MIL-STD-883H	± 4000	-	-	V
MM	V_{MM}	JESD22-A115	± 200	-	-	
CDM	V_{CDM}	JESD22-C101E	± 1000	-	-	
Latch-up 触发电流	I_{LAT}	JEDEC standard NO.78D 2011.11	± 100	-	-	mA
V_{DD} 过压	V_{LAT}		6.5	-	-	V



4.2 推荐工作条件

表 13 工作条件

参 数	符号	测 试 条 件	最小值	典型值	最大值	单位
工作电压 VDD	V _{DD}	-40~125°C	1.8	-	5.5	V
模 拟 工 作 电 压 (ADC/DAC)	V _{DDA}	-40~125°C	2.4	-	5.5	V
CPU 时钟频率	F _{CPU}	V _{DD} > 2.8V	0	-	72	MHz
		V _{DD} > 4.0V	0	-	96	
上电复位释放电压	V _{POR}	-	-	1.8	-	V
上电复位延迟时间	t _{PWRT}	-	1	5	-	ms
VDD 上升速率	S _{VDD}	确保能够产生内部上电复位信号	0.1	-	1000	V/ms
RAM 保持电压	V _{DR}	T _A = -40~125°C	1.0	-	-	V

4.3 直流电气特性

本芯片典型工作电压 3.3V / 5.0V，除非特别指明，否则典型值是在 V_{DD}=3.3V、T_A=25°C 条件的测试结果。直流电气特性还在不断完善中，TBD 部分将会逐步更新。

表 14 电流特性

参数	符号	外设状态	运行条件	最小值	典型值 (3.3/5V)	最大值	单位
工作电流	I _{RUN}	禁止	MCLK=8MHz, RCH/2	-	0.627/0.73	-	mA
			MCLK=16MHz, RCH	-	0.788/0.881	-	
			MCLK=24MHz, PLL 打开	-	1.655/2.167	-	
			MCLK=48MHz, PLL 打开	-	1.807/2.277	-	
			MCLK=72MHz, PLL 打开	-	3.26/4.32	-	
		全部打开, ADC 采样开	MCLK=8MHz, RCH/2	-	5.63/7.23	-	
			MCLK=16MHz, RCH	-	8.87/10.76	12.09	
			MCLK=48MHz, PLL 打开	-	21.24/24.1	-	
休眠电流	I _{SLEEP}	关闭	MCLK=8MHz, RCH/8	-	-	-	mA
			MCLK=16MHz, RCH/4	-	-	-	
			MCLK=24MHz, RCH/2	-	-	-	
			MCLK=48MHz, RCH	-	-	-	
停机电流	I _{Stop}		所有模块关闭	-	80/100	-	uA

注：测量电流特性时遵循下列条件：

*所有 IO 都设置成输出低电平，无负载。

*除非特别指明，所有模块只打开时钟，无负载工作。

表 15 低功耗电流

模式	说明	供电电压	内核电压	最小值	典型值	最大值	单位
STOP 模式	关闭 CPU 时钟以及所以外设时钟，内部 LDO 设置为低功耗驱动模式	3.3V	1.5V	-	80	-	uA
		5V		-	100	-	
UltraStop 模式	关闭所有时钟和 PLL，CPU 的电源 LDO 关闭，RTC 模块的 LDO 常开，并输出不同电压	3.3V	1.5V	-	11	-	
		5V		-	18	-	
		3.3V	1.2V	-	4	-	
		5V		-	5	-	
		3.3V	1.0V	-	3	-	
		5V		-	4	-	

4.4 IO 管脚参数

表 16 I/O 特性

参数	符号	测试条件	最小值	典型值	最大值	单位
高电平输入电压	V_{IH}	所有 I/O	$0.7 \cdot V_{DD}$	-	V_{DD}	V
低电平输入电压	V_{IL}	所有 I/O	-	-	$0.3 V_{DD}$	V
输入迟滞	V_{HYS}	所有 I/O	-	TBD	-	mv
输出管脚拉电流	I_{OH}	$V_{DD}=3.3V, V_{OH}=0.7 \cdot V_{DD}$	弱驱动 (DS=0)	-	12	- mA
			强驱动 (DS=1)	-	-	- mA
		$V_{DD}=5V, V_{OH}=0.7 \cdot V_{DD}$	弱驱动 (DS=0)	-	27	- mA
			强驱动 (DS=1)	-	-	- mA
输出管脚灌电流	I_{OL}	$V_{DD}=3.3V, V_{OL}=0.4V$	弱驱动 (DS=0)	-	9	- mA
			强驱动 (DS=1)	-	18	- mA
		$V_{DD}=5V, V_{OL}=0.6V$	弱驱动 (DS=0)	-	20	- mA
			强驱动 (DS=1)	-	36	- mA
总电流	I_{total}	所有端口	-	TBD	-	mA
端口内置上拉电阻	R_{pu}	$V_{IN}=NULL$	-	80	-	$k\Omega$
端口内置下拉电阻	R_{pd}	$V_{IN}=NULL$	-	33	-	$k\Omega$
端口输入漏泄电流 (高温)	I_{IL}	$V_{SS} < V_{PIN} < V_{DD}, T_A=85^\circ C$	-	± 20	± 100	nA



参数	符号	测试条件	最小值	典型值	最大值	单位
滤波宽度	$T_{PW}(IO)$	外部复位脚	-	2	4	us

4.5 系统复位及电压监控

表 17 系统监控与复位特性

参数	符号	测试条件	最小值	典型值	最大值	单位
带隙基准电压	V_{BG}	1.8~5.5V, -40~125°C	1.24	1.25	1.26	V
上电复位电压	V_{POR}	0V 上电到 V_{DD} , -40~125°C	1.793	1.825	1.869	V
掉电复位电压	V_{PDR}	V_{DD} 掉电到 0V, -40~125°C	1.695	1.728	1.77	V
低压复位电压	V_{LVR}	LVRs=000	-	1.8	-	V
		LVRs=001	-	1.93	-	
		LVRs=010	-	2.13	-	
		LVRs=011	-	2.61	-	
		LVRs=100	-	2.94	-	
		LVRs=101	-	3.18	-	
		LVRs=110	-	3.63	-	
		LVRs=111	-	TBD	-	
LVR 释放迟滞电压	$V_{HYS(LVR)}$	-	-	100	-	mV
LVR 模块工作电流	I_{LVR}	SLEEP 模式开启	-	20	-	uA
LVD 检测电压	V_{LVD}	LVLS= 000	-	TBD	-	V
		LVLS= 001	-	TBD	-	
		LVLS= 010	-	TBD	-	
		LVLS= 011	-	TBD	-	
		LVLS= 100	-	TBD	-	
		LVLS= 101	-	TBD	-	
		LVLS= 110	-	TBD	-	
		LVLS= 111	-	TBD	-	
LVD 释放迟滞电压	$V_{HYS(LVD)}$	-	100	-	200	mV
LVD 模块工作电流	I_{LVD}	SLEEP 模式开启	-	20	-	uA

4.6 模拟模块的特性

4.6.1 内置时钟特性参数

表 18 振荡与时钟特性

参数	符号	测试条件	最小值	典型值	最大值	单位
经过校准的 RCH 频率	F_{RCH}	3.3V, -40~125°C	15.7	16.0	16.1	MHz
RCH 工作电流	I_{RCH}	5.0V, 25°C	-	150	-	uA
RCL 频率	F_{RCL}	1.8~5.5V, -40~125°C	6	32	50	KHz
RCL 工作电流	I_{RCL}	-	-	0.3	1.0	uA

注：RCH 测试 0~125 度稳定在 16MHz，-10 度降低至 15.8MHz，-40~-10 逐步降至 15.7MHz。

4.6.2 比较器特性

表 19 模拟比较器特性

参数	符号	测试条件	最小值	典型值	最大值	单位
典型值工作条件为 $V_{DD}=3.3V$ ，温度=25°C， $V_{cm}=V_{DD}/2$ 。						
输入失调电压 (CPP 上升沿)	V_{os}	-	-10	0	10	mV
输入共模电压	V_{cm}	响应时间<160ns	0	-	V_{DD}	V
共模抑制比	CMRR	室温 25°C	-	1	-	mV/V
比较器迟滞电压	V_{hyster}	最小值 HYS=0，最小值，HYS=1，最大值	0.4	-	25	mV
转换延迟时间	T_{str}	CPDLY 设定 00~11，电压 2.5~5V	14	-	2900	ns
响应时间	上升沿	T_{rt}	-	50	100	ns
	下降沿		-	50	100	ns
工作电流	I_{cmp}	-	-	25	35	uA
CVREF 稳定时间	T_{scvr}	-	-	1	-	us

4.6.3 ADC 参数特性

表 20 ADC 参数表

参数	符号	测试条件	最小值	典型值	最大值	单位
典型值工作条件为 $V_{DD}=3.3V$ ，温度=25°C， $V_{cm}=V_{DD}/2$ 。						
工作电压	V_{DDA}	-	2.0	0	5.5	V
参考电压	V_{ref+}	$V_{DDA}>2.5V$	2.5	3.3/4	V_{DDA}	V
		$V_{DDA}<2.5V$	V_{DDA}			V
工作频率	f_{ADC}	-	-	24	-	MHz
采样率	F_s	$V_{DDA}>2.0V >10bits$	-	-	1.5	MSps
采样电压范围	V_{AIN}	-	V_{SSA}	-	V_{ref+}	V
外部输入电阻	R_{AIN}	-			100	kΩ
内部采样电容	C_{ADC}	-		5		pF
采样周期	t_{smp}	-	1	-	8	1/ f_{ADC}



参数	符号	测试条件	最小值	典型值	最大值	单位
转换周期	t_{conv}	-	16	-	48	$1/f_{\text{ADC}}$
内部温敏精度	V_{ts}	-40~125°C, 3.3V	-	5	-	mV/°C
工作电流	I_{ADC}	1.5MSPS (16MHz)	-	1	-	mA

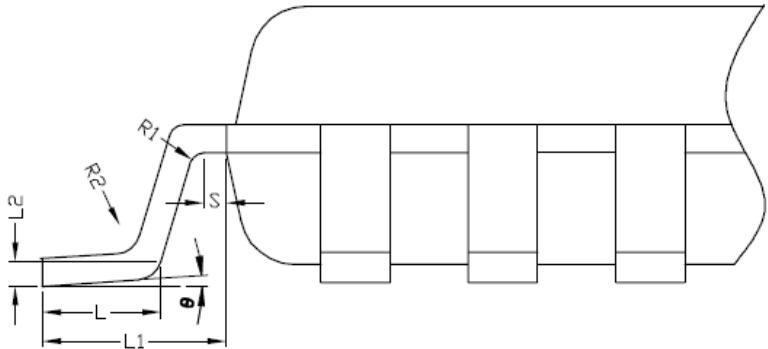
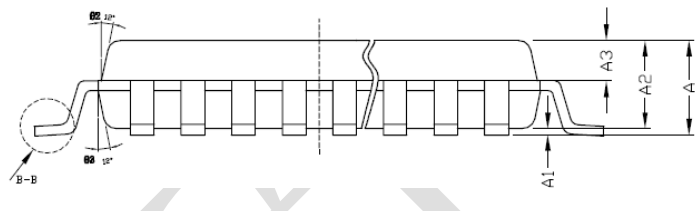
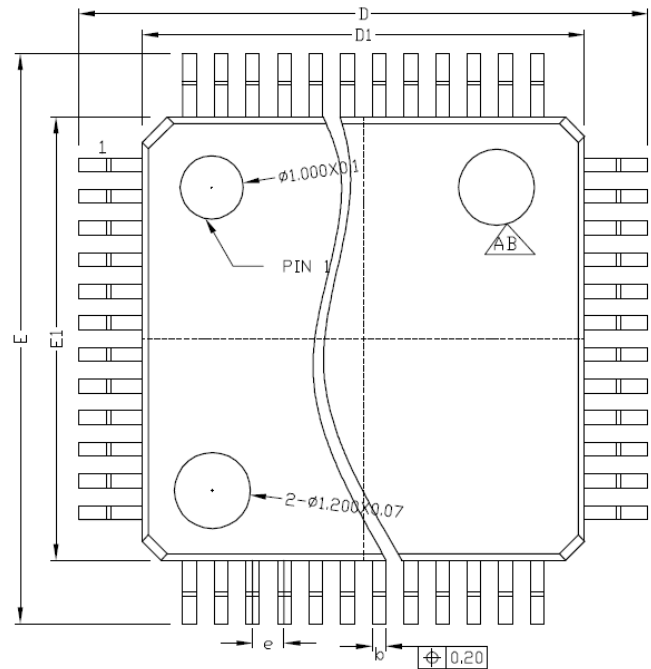
4.6.4 DAC 特性参数

表 21 DAC 参数表

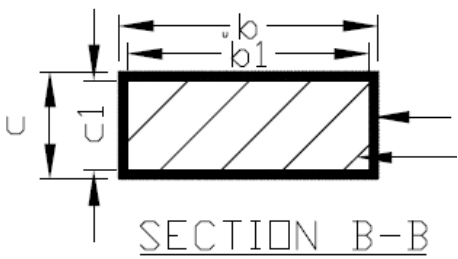
参数	符号	测试条件	最小值	典型值	最大值	单位
典型值工作条件为 $V_{\text{DD}}=3.3\text{V}$, 温度=25°C, $V_{\text{cm}}=V_{\text{DD}}/2$ 。						
工作电压	V_{DDA}	-	2.0	-	5.5	V
参考电压	$V_{\text{ref+}}$	$V_{\text{DDA}} > 2.5\text{V}$	2.5	4	V_{DDA}	V
		$V_{\text{DDA}} < 2.5\text{V}$	V_{DDA}			V
最小转换时间	t_{conv}	1LSB 的输出变化到输出稳定时间, 8-bit DAC	-	100	-	ns
		1LSB 的输出变化到输出稳定时间, 12-bit DAC	-	2.5	-	us
最大转换时间	T_{settle}	3.3V, 从 0V 输出到最大满幅值, 8-bit	-	0.8	-	us
		3.3V, 从 0V 输出到最大满幅值, 12-bit	-	40	-	us
输出电压范围	V_{AIN}	-	V_{SSA}	-	$V_{\text{ref+}}$	V
工作电流	I_{DAC}	-	-	150	-	uA

5. 封装特性

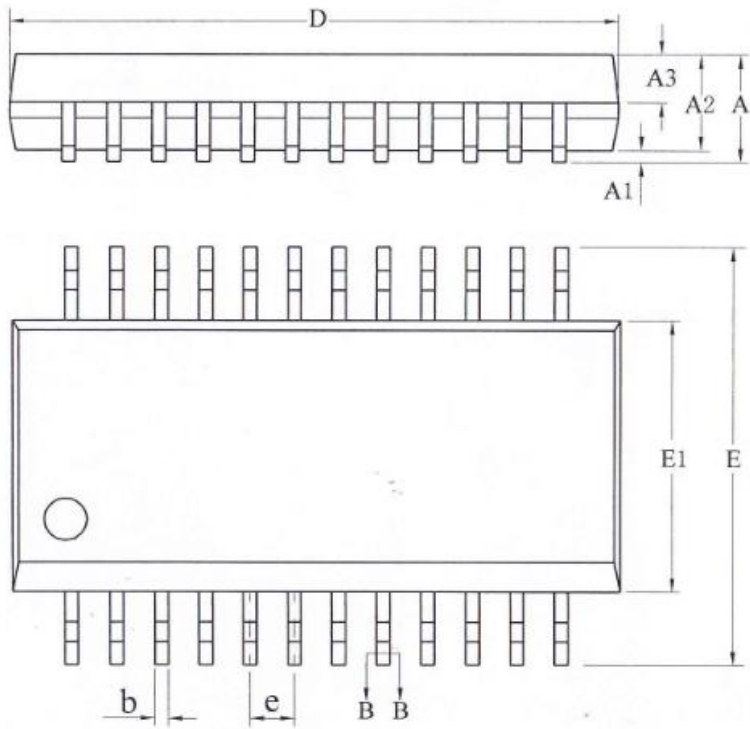
5.1 LQFP32 封装外形尺寸



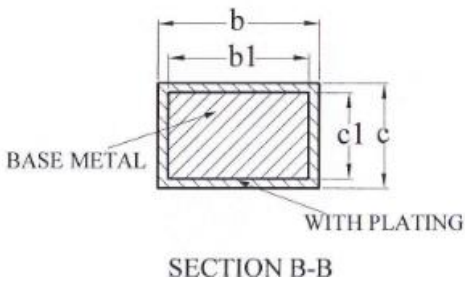
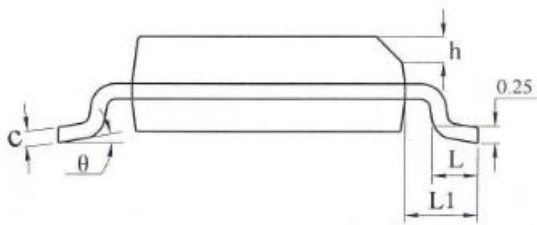
LQFP32			
DIM SYMBOL	MIN	NOM	MAX
A	-	-	1.60
A1	0.05	0.10	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.32	-	0.43
b1	0.31	0.35	0.39
c	0.13	-	0.18
c1	0.12	0.13	0.14
D	8.80	9.00	9.20
D1	6.90	7.00	7.10
E	8.80	9.00	9.20
E1	6.90	7.00	7.10
e	0.80BSC		
L	0.45	-	0.75
L1	1.00REF		
L2	0.25BSC		
R1	0.08	-	-
R2	0.08	-	0.20
S	0.20	-	-
θ	0°	3.5°	7°
$\theta 1$	0°	-	-
$\theta 2$	11°	12°	13°
$\theta 3$	11°	12°	13°



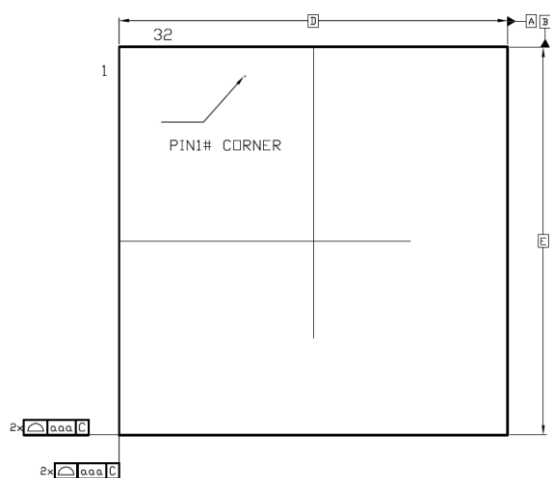
5.2 SSOP24 封装尺寸



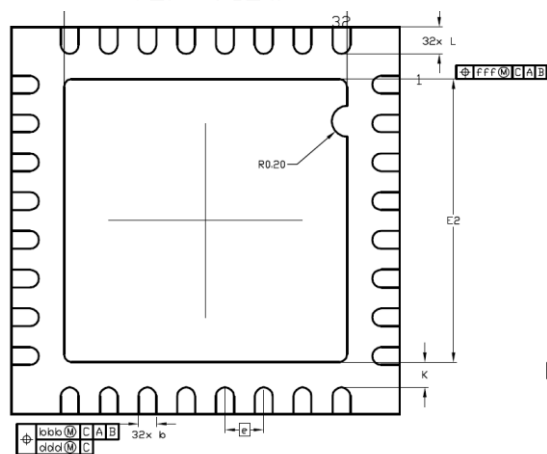
SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	—	—	1.75
A1	0.10	0.15	0.25
A2	1.30	1.40	1.50
A3	0.60	0.65	0.70
b	0.23	—	0.31
b1	0.22	0.25	0.28
c	0.20	—	0.24
c1	0.19	0.20	0.21
D	8.55	8.65	8.75
E	5.80	6.00	6.20
E1	3.80	3.90	4.00
e	0.635BSC		
h	0.30	—	0.50
L	0.50	—	0.80
L1	1.05REF		
θ	0	—	8°



5.3 QFN32 封装尺寸

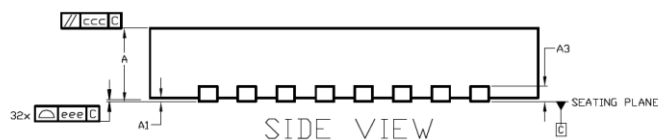


TOP VIEW



BOTTOM VIEW

DIM SYMBOL	MIN.	NOM.	MAX.
A	0.70	0.75	0.80
	0.80	0.85	0.90
A1	0	0.02	0.05
A3	—	0.20 REF	—
b	0.18	0.23	0.28
D	5.00BSC		
E	5.00BSC		
D2	3.55	3.65	3.75
E2	3.55	3.65	3.75
e	0.50BSC		
L	0.30	0.35	0.40
K	—	0.33	—
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		



SIDE VIEW

6. 产品命名规则

Example: LCM32 F 03X K 6 T 8							
器件序列							
领芯32位MCU系列							
存储器类型							
F: Flash							
产品子类							
03X为32位M0处理器产品							
管脚数							
H: 24PIN							
K: 32PIN							
C: 48PIN							
R: 64PIN							
程序存储容量							
4: 16KB							
6: 32KB							
8: 64KB							
B: 128KB							
封装							
T: LQFP							
U: QFN							
S: SSOP							
工作温度							
6: -20~85℃							
7: -40~105℃							
8: -40~125℃							

7. 修订历史

版本	修改日期	修改历史	修改人
1	2019.03.21	初始版本 V0.1，芯片产出，需要补充电特性和封装说明	
0.3	2019.07.11	补充完善封装信息	
0.4	2019.07.24	补充性能参数，补充 SSOP24 封装，补充封装外形	
0.5	2020.03	补充 SSOP24 的管脚列表说明	
0.6	2020.07.07	增加产品命名规则	
2.0	2020.08.14	ECO 调整运放 OPA 和比较器 ACMP 的复用情况	
2.1	2020.08.15	调整 SSOP24 封装，PA1 和 PA2 合封为 PIN3	
2.2	2020.09.25	调整 ACMP 功能框图、GPIO 模拟复用、封装图	
2.3	2020.12.22	WT 替换 RTC，删去 UART3，添加 SSP2，对 TIM15/16/17 和 ADC 做出调整；增加 HALL_MID 模块，调整 DAC、ACMP、OPA 功能框图、GPIO 复用、封装图；增加 DIV 模块说明，PLL 最大输出频率由 72MHz 修改为 144MHz	Hu/Wu
2.4	2020.12.25	1.芯片命名改为 LCM32F037 2.修正 H6S8 命名	Hu/Wu
2.5	2021.01.29	1.修改 ACMP/OPA 引脚注释 2.增加 QFN 封装：LCM32F037K6U8 3.表 5 中增加《可选复用功能》合并《注释》和《外部功能》	Hu/Wu
2.6	2021.05.26	1.修改引脚说明表格 2.删除 POR 3.环境温度改为 125 度 4.比较器输入由 IO 口改成对应 OPA0/1/2 的输出	Fu
2.7	2021.07.09	1.修改封装引脚 PF1 复用错误	Fu
2.8	2021.07.29	1.修改工作频率	Fu
2.9	2021.08.31	1.统一 OPA、ACMP 通道名称	Fu
3.0	2021.09.07	1.修改封装图中引脚复用的前后顺序 2.更换 OPA 框图	Fu
3.1	2021.09.29	1.文档校准	Fu
3.2	2021.11.09	1.工作频率更新为 96MHz	Fu
3.3	2021.11.30	1.校正表 5 引脚定义	Fu
3.4	2021.12.09	1.更新 ADC 转换速率	Fu
3.5	2022.11.07	1.调整电气特性中的推荐工作条件	Li
3.6	2022.12.13	1.修改全文笔误	Li

