
第十三章 工艺、版图与失 效

刘鸣

中国科学院半导体研究所

liuming@semi.ac.cn

内容

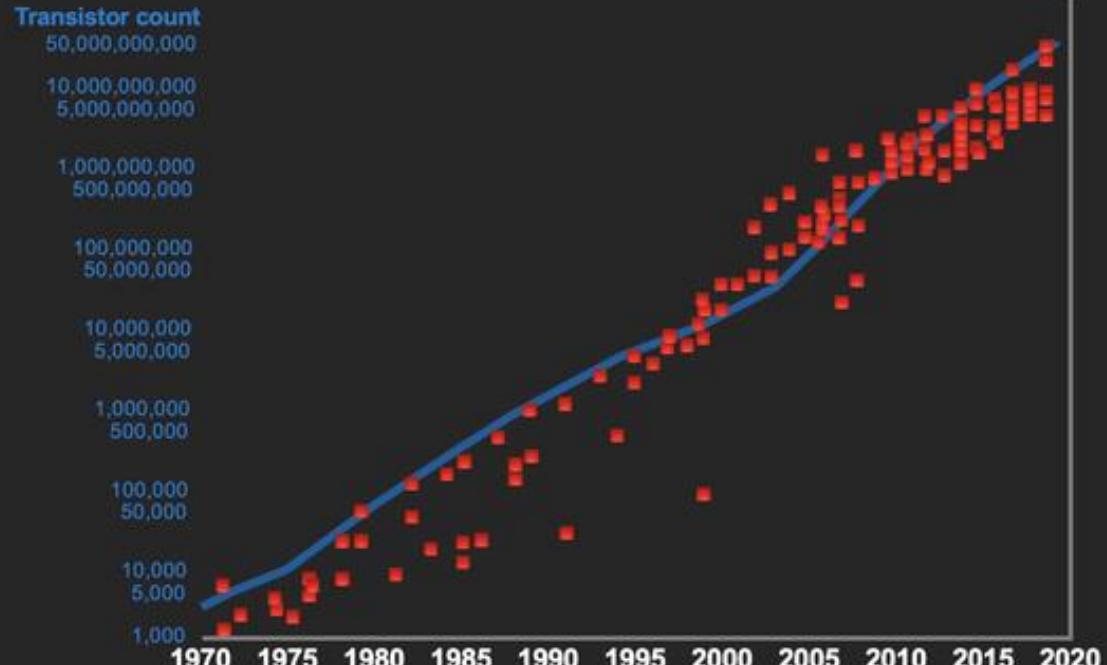
- 工艺概述
 - 基本工艺
 - 器件制造
 - 版图概述
 - 设计规则
 - 版图设计技术
 - 失效机制
-

工艺概述

- 集成电路制造工艺是集成电路实现的手段，也是集成电路设计的基础。
 - 随着集成电路发展的过程，其发展的总趋势是革新工艺、提高集成度和速度。
 - 代工方式已成为集成电路技术发展的一个重要特征。
 - 设计技术的发展目前滞后于工艺的进步。
-

摩尔定律

改变世界的摩尔定律



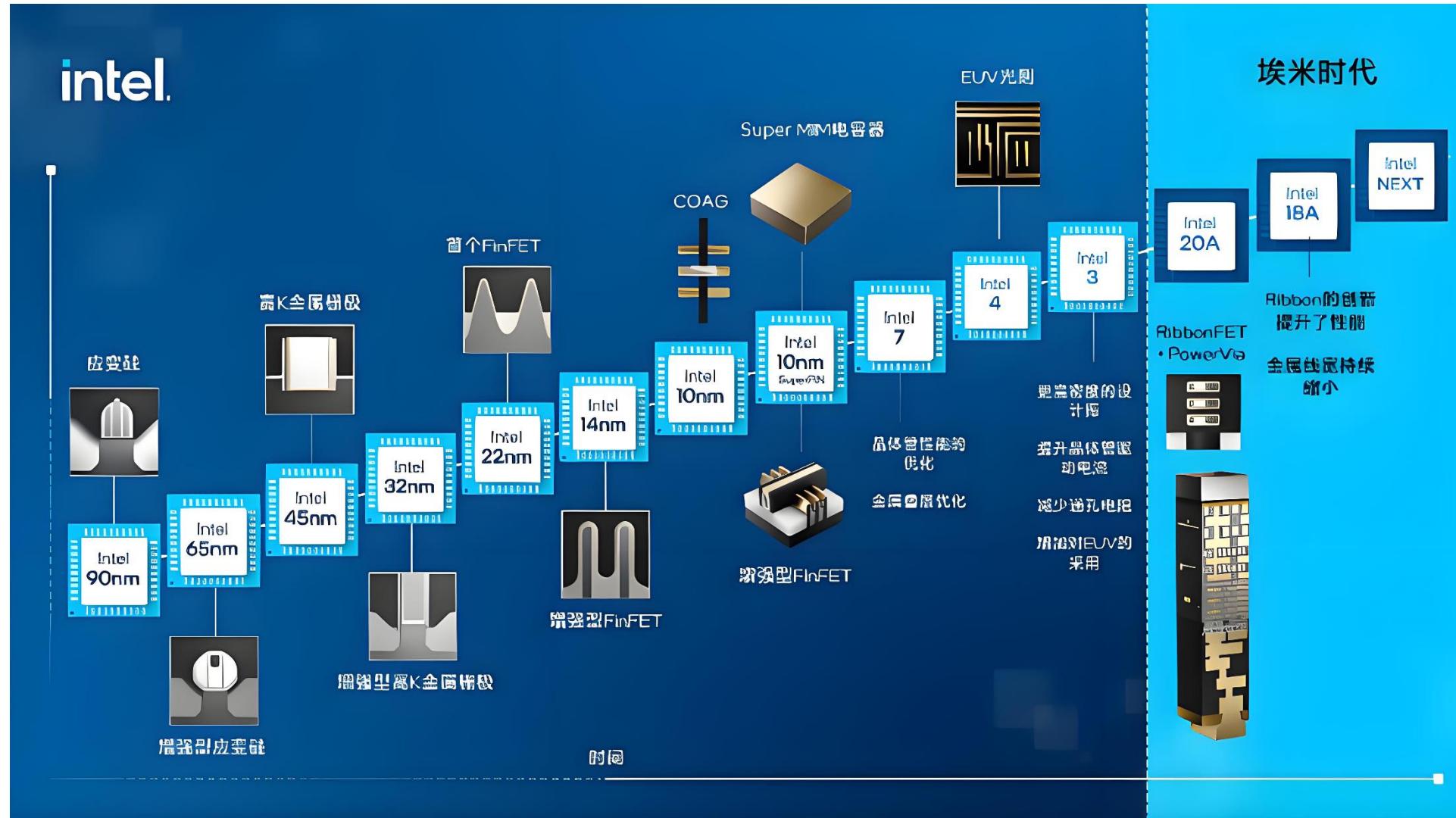
Gordon Moore
Co-founder, Intel Corporation

**Computing performance
(for a fixed dollar cost) doubles
every 18/24 months.**

$$N = (2016-1965)*12/18 = 34$$
$$2^{34} = 17,179,869,184$$

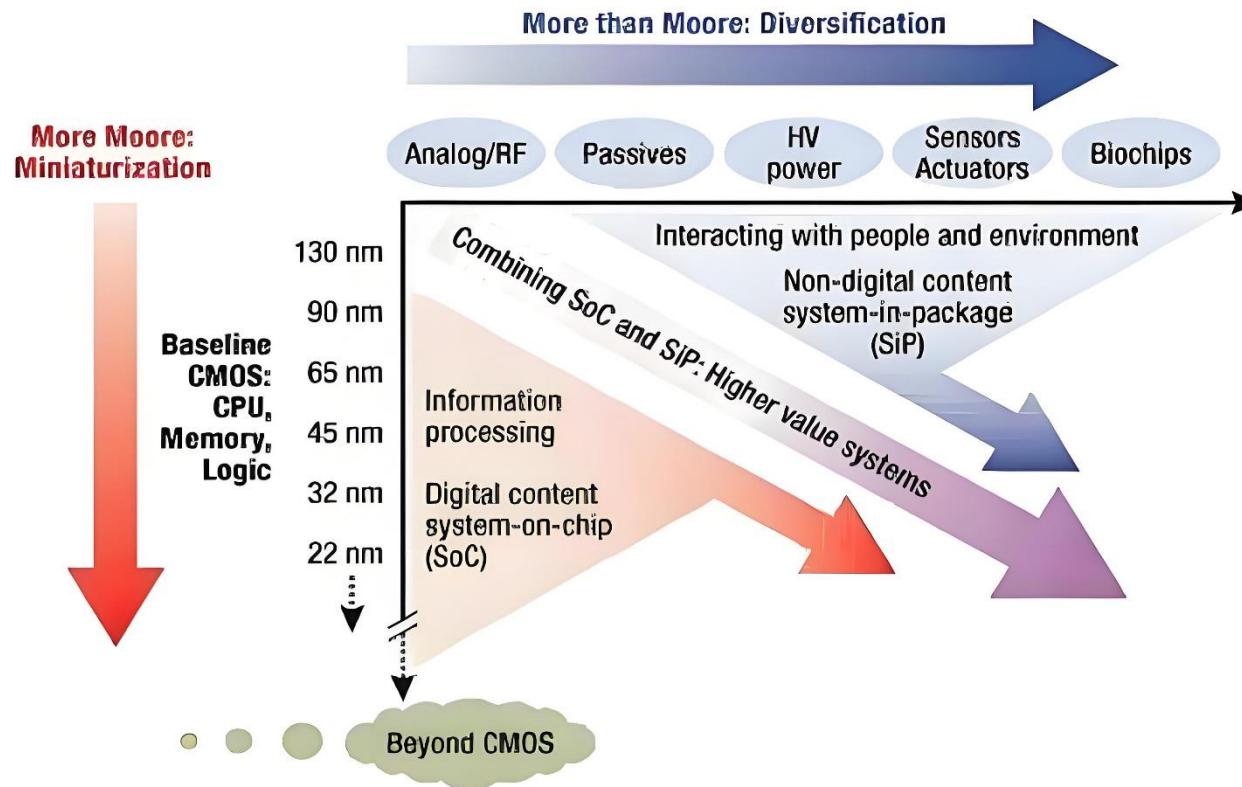


INTEL的发展



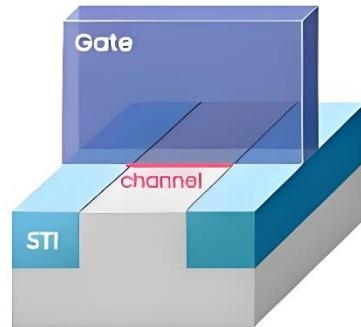
超越摩尔定律

>>> 行业上普遍认同的方向是“超越摩尔”

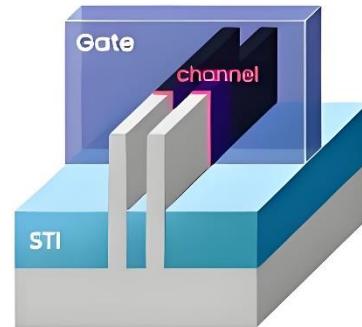


三种典型的晶体管形态

More Moore - Gate All Around



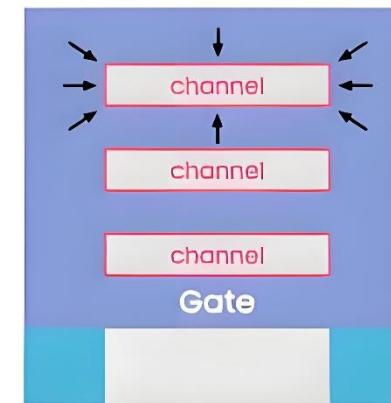
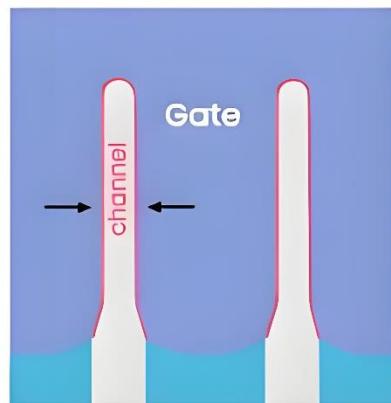
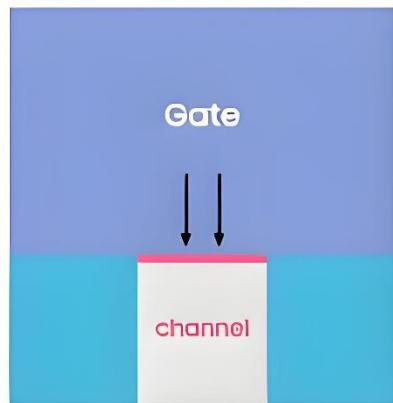
Planar



FinFET



MBCFET™
Multi Bridge Channel FET

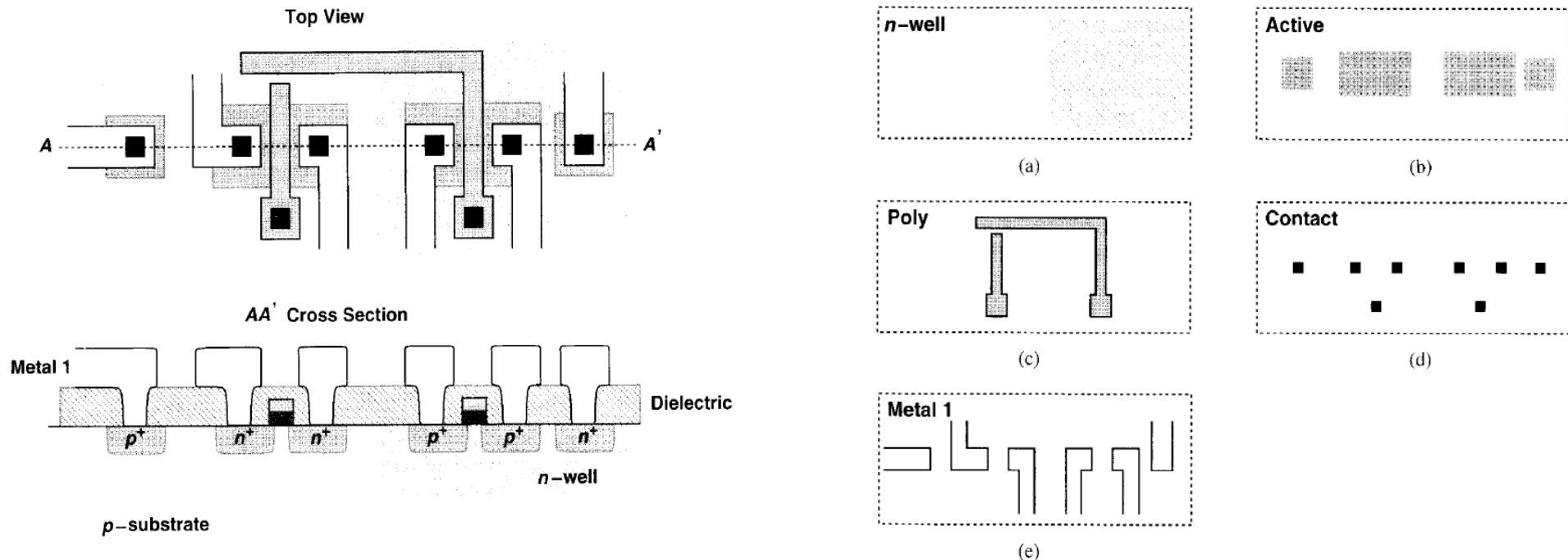


基本工艺

- 光刻
 - 氧化
 - 离子注入
 - 淀积与刻蚀
-

光刻 (1)

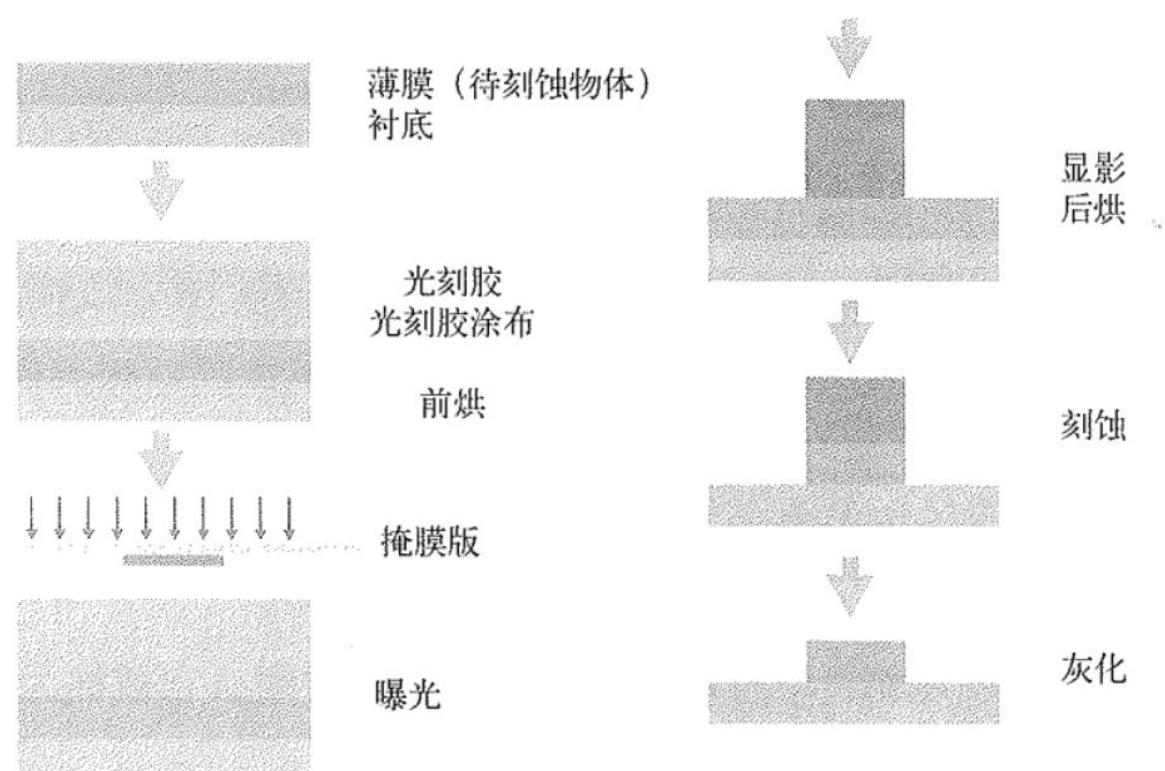
- 版图→晶片
- 版图代表了不同的“层”



光刻 (2)

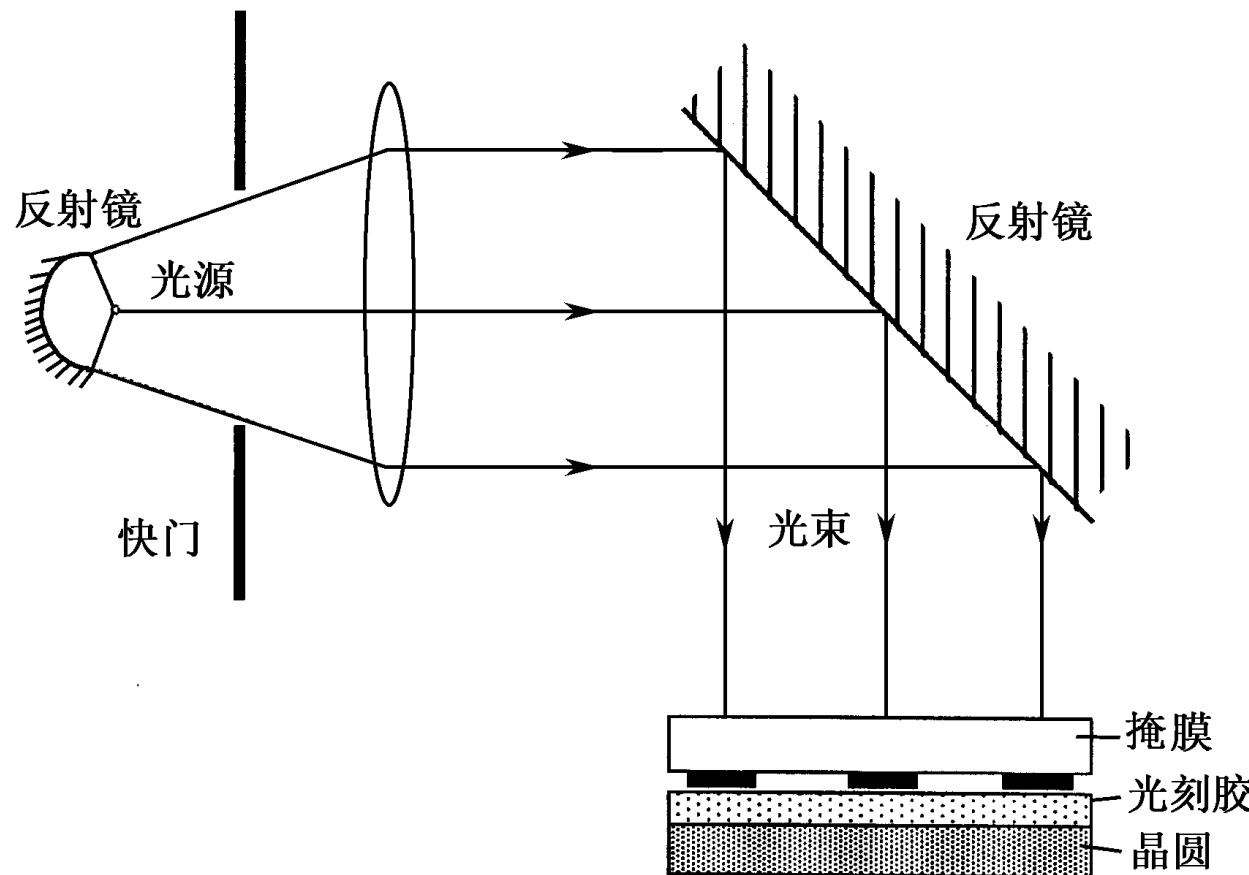
● 光刻的流程 (负胶)

- 涂胶
- 前烘 (Pre-Bake) , 去除光刻胶中含有的溶剂
- 曝光
- 显影
- 后烘 (Post-Bake)
- 刻蚀
- 灰化



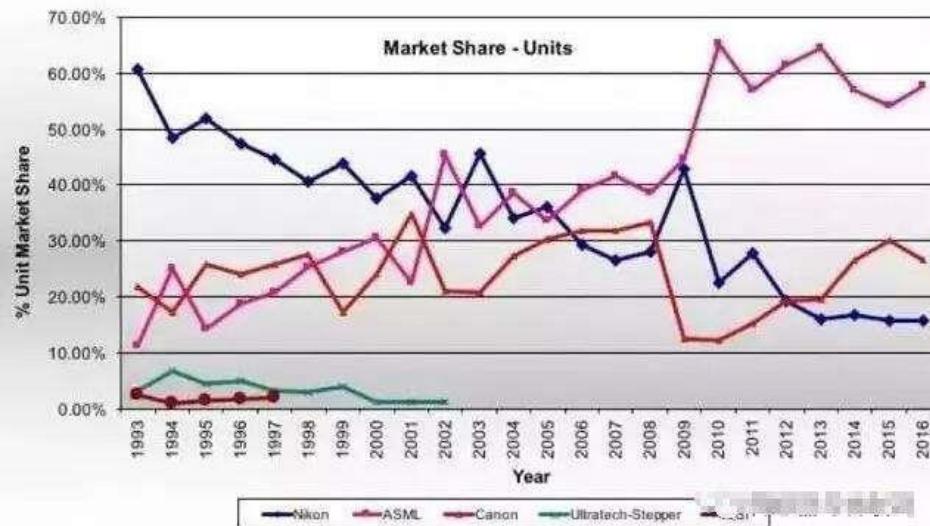
光刻 (3)

● 光刻机原理



光刻机技术的发展

- 可见光， 436nm
- 紫外光 (UV) ， 365nm
- 深紫外光 (DUV) ， 248nm, 193 nm
- 极紫外光 (EUV) ， 10 ~ 15 nm

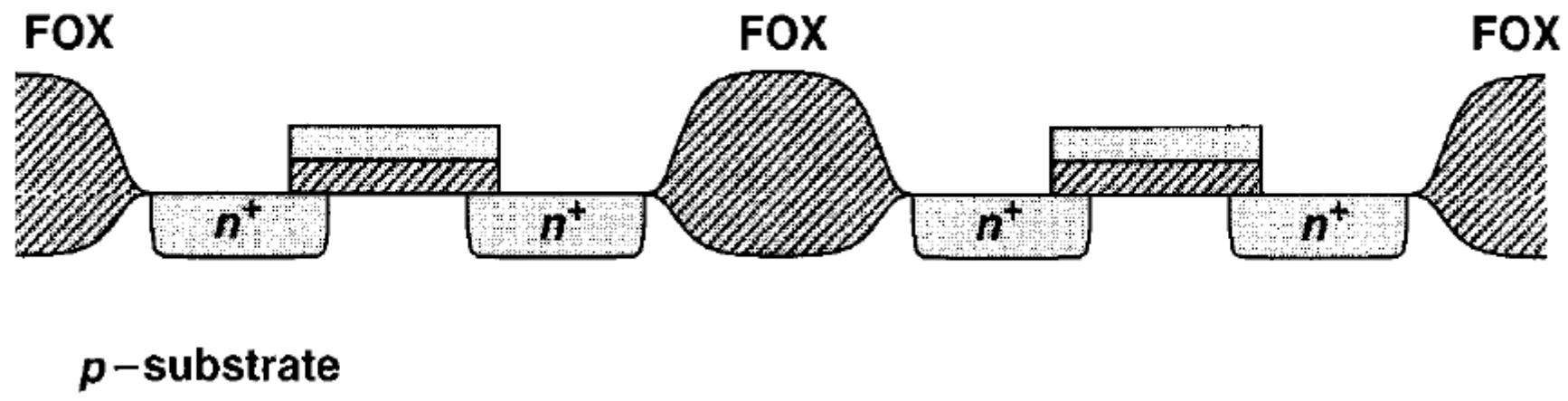


代别	工艺节点	首次应用时间	特征
第1代	1500nm	1978年	 全球第一台g线光刻机 由美国GCA公司制造
第2代	800nm	1988年	 g/i线光刻机 •汞灯作为曝光光源, •曝光波长为436nm或365nm •步进曝光工作方式, 后来也采用扫描曝 光工作方式 •TTL同轴对准方式
第3代	500nm	1991年	 KrF光刻机 •波长为248nmKrF激光器作为曝光光源 •扫描曝光工作方式 •TTL同轴对准或离轴加同轴对准方式
第4代	350nm	1995年	
第5代	250nm	1997年	
第6代	180nm	1999年	

代别	工艺节点	首次应用时间	特征
第7代	130nm	2001年	 ArF光刻机 •波长为193nmArF激光器作为曝光光源 •扫描曝光工作方式 •离轴加同轴对准方式
第8代	90nm	2005年	 ArF浸没光刻机 •波长为193nmArF激光器作为曝光光源 •超纯水或高折射率液体浸液 •离轴加同轴对准方式 •扫描曝光和双工件台工作方式
第9代	65nm	2007年	
第10代	45nm	2010年	
第11代	32nm	2013年	 EUV光刻机 •曝光光源波长为13.5nm •全反射投影物镜 •真空曝光方式
第12代	22nm	2016年	

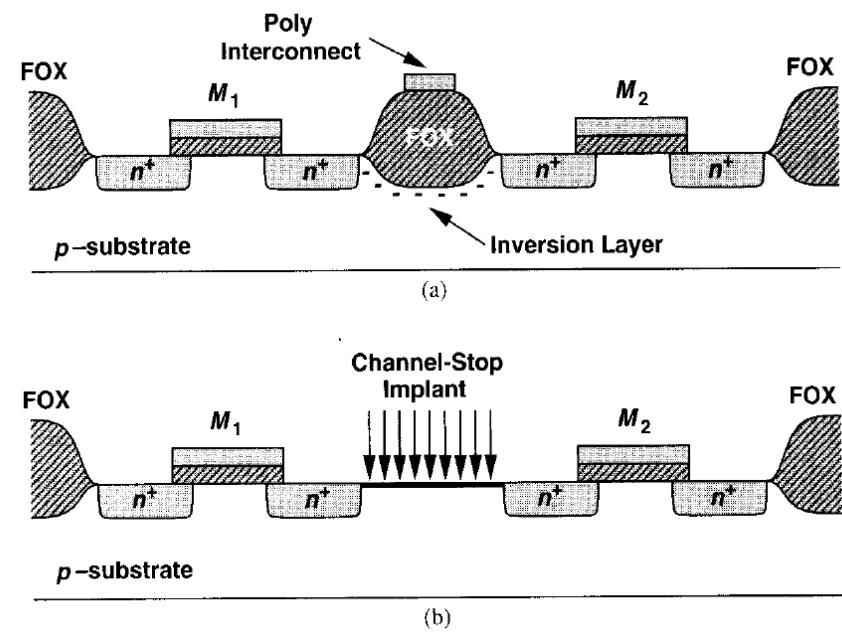
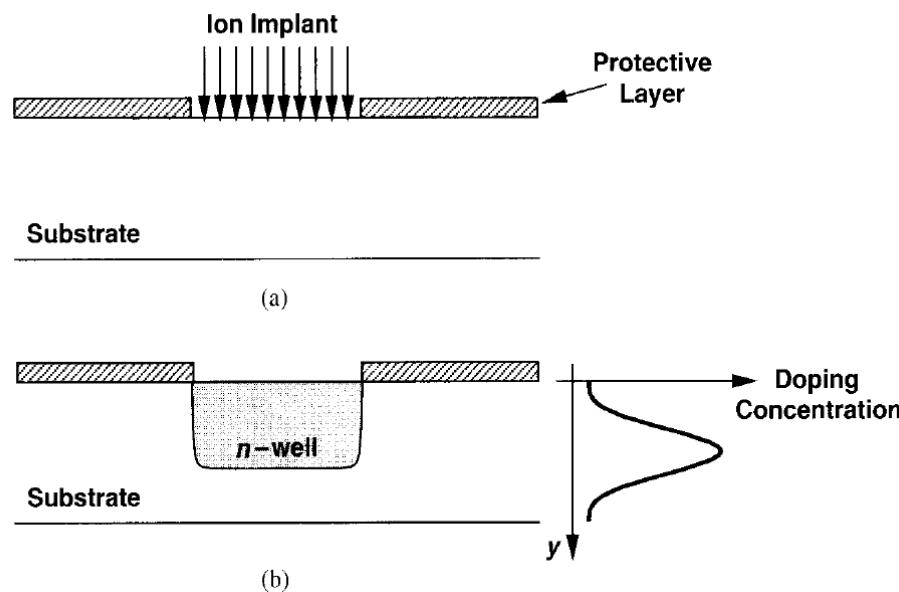
氧化

- 栅氧 – 器件中的绝缘层
- 场氧 – 工艺流程中的保护层



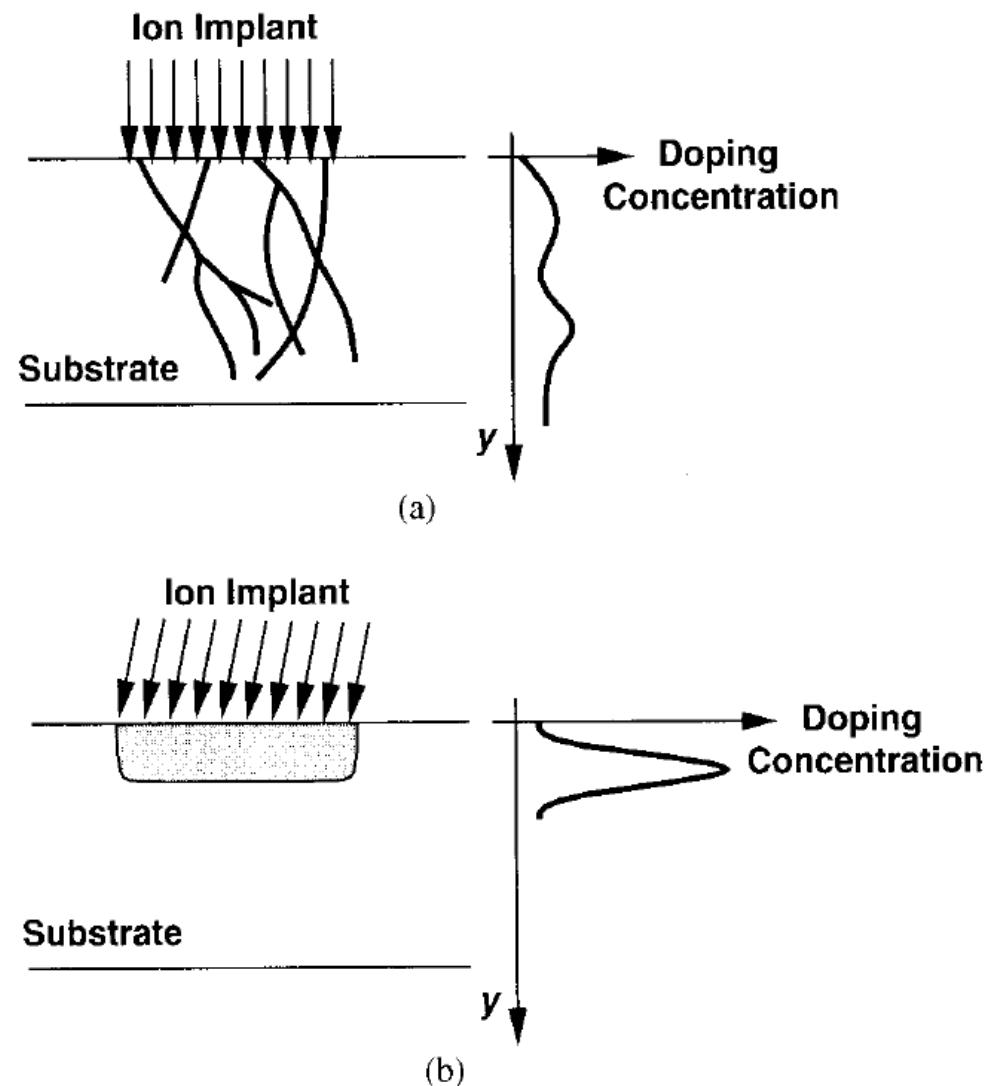
离子注入 (1)

- 形成阱，源漏、阱区
- 形成“沟道阻断”层



离子注入 (2)

- 沟道效应
- “退火”可以解决晶格破坏问题



淀积与刻蚀

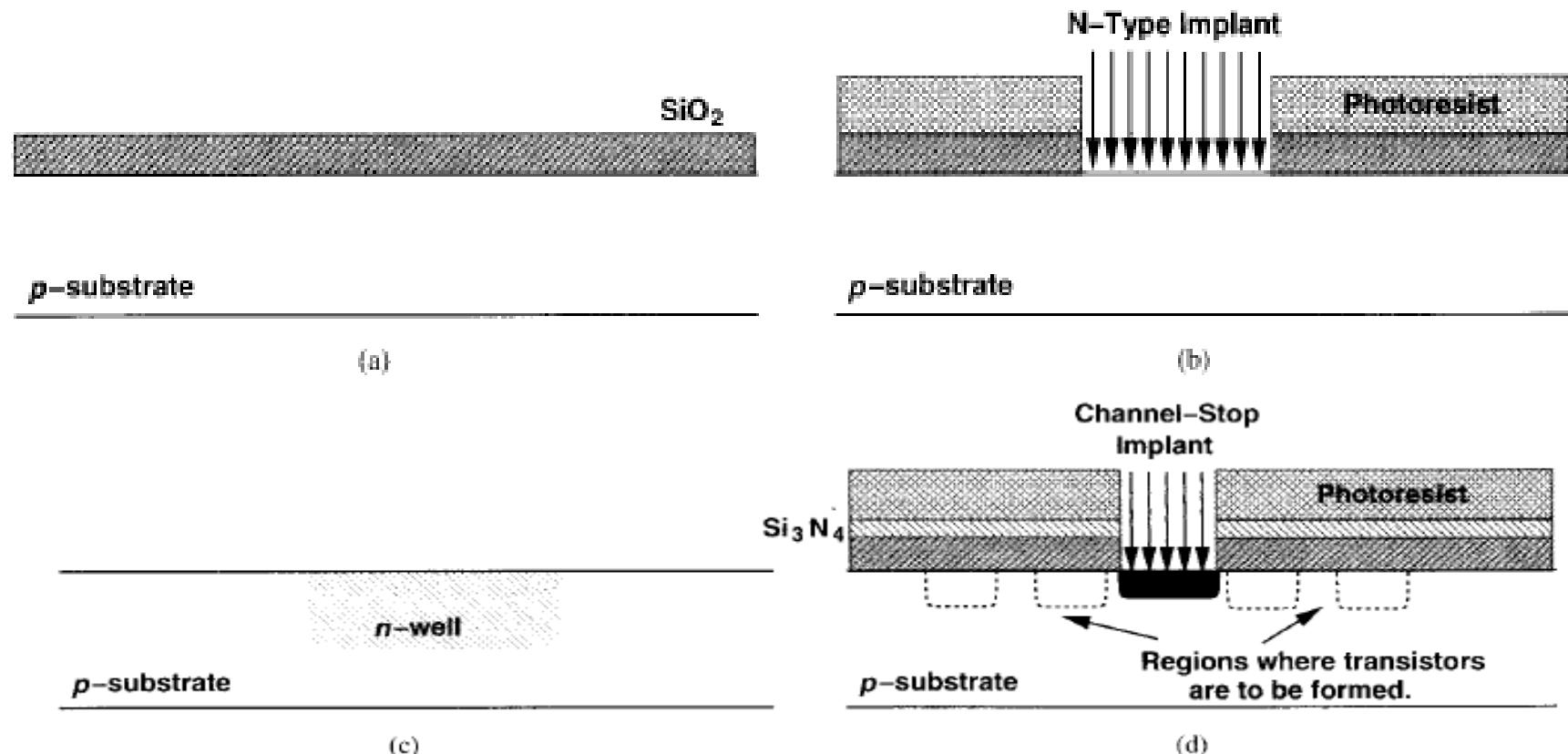
- “化学气相” (CVD)
 - 多晶硅、绝缘材料、金属层
 - 刻蚀
 - 湿法
 - 等离子
 - 反应离子
-

内容

- 工艺概述
 - 基本工艺
 - **器件制造**
 - 版图概述
 - 设计规则
 - 版图设计技术
 - 失效机制
-

器件制造-前端工艺 (1)

● 有源器件



器件制造-前端工艺 (2)

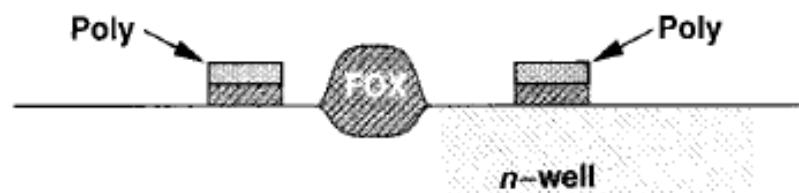
● 有源器件

局部氧化



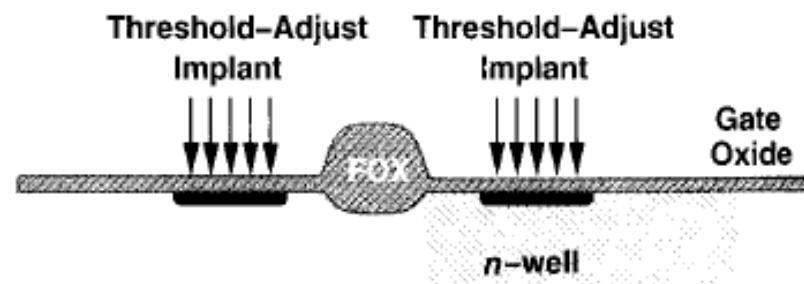
p-substrate

(e)



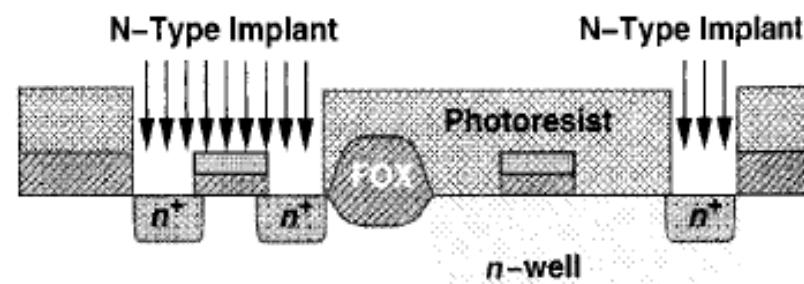
p-substrate

(g)



p-substrate

(f)



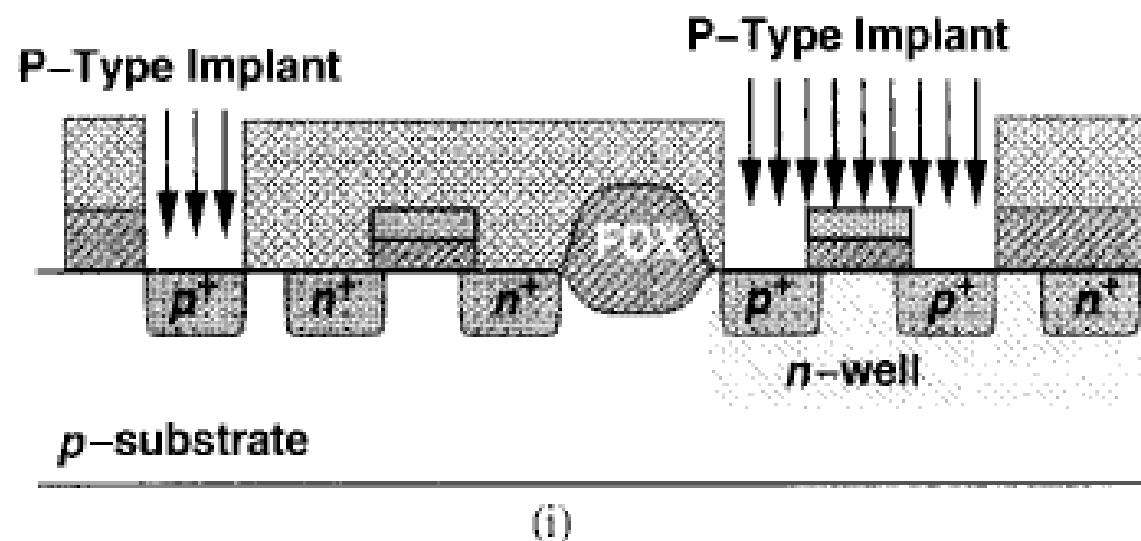
p-substrate

(h)

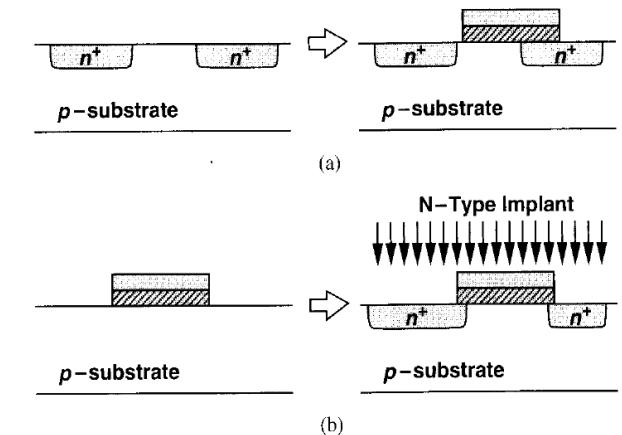
自对准

器件制造-前端工艺 (3)

- 有源器件
- 自对准结构

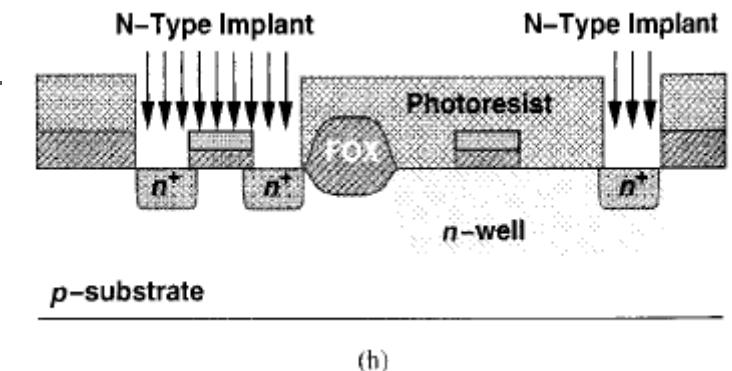


(i)



(a)

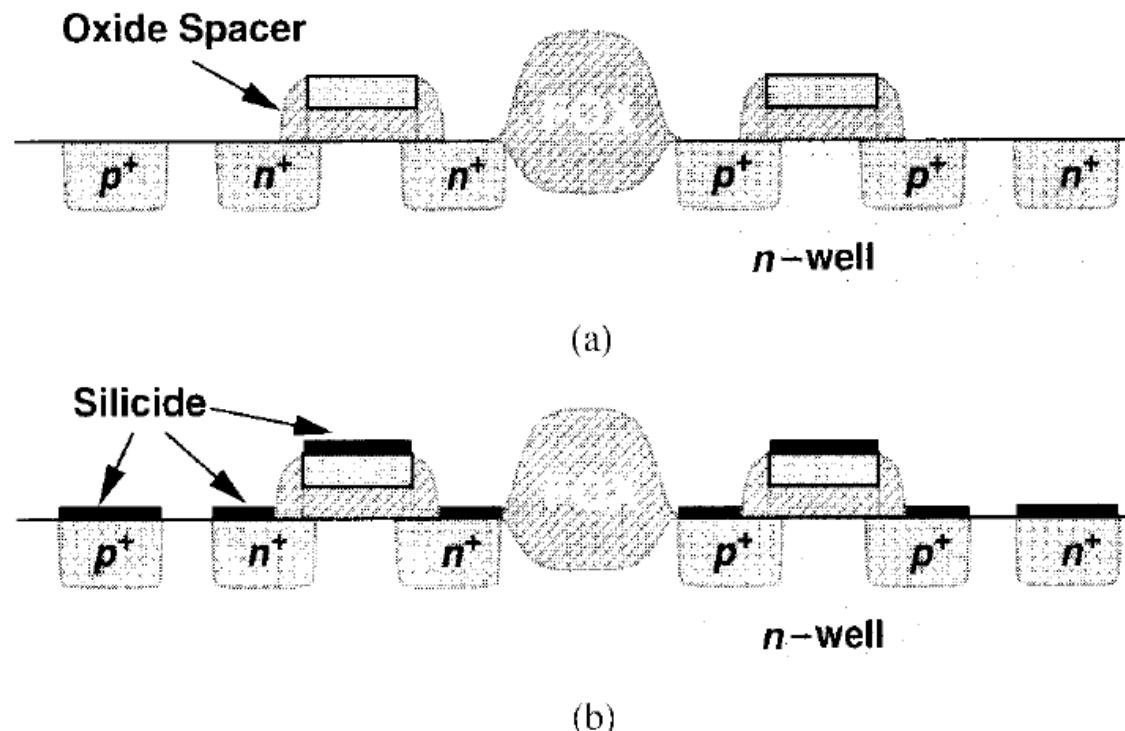
Photoresist



(b)

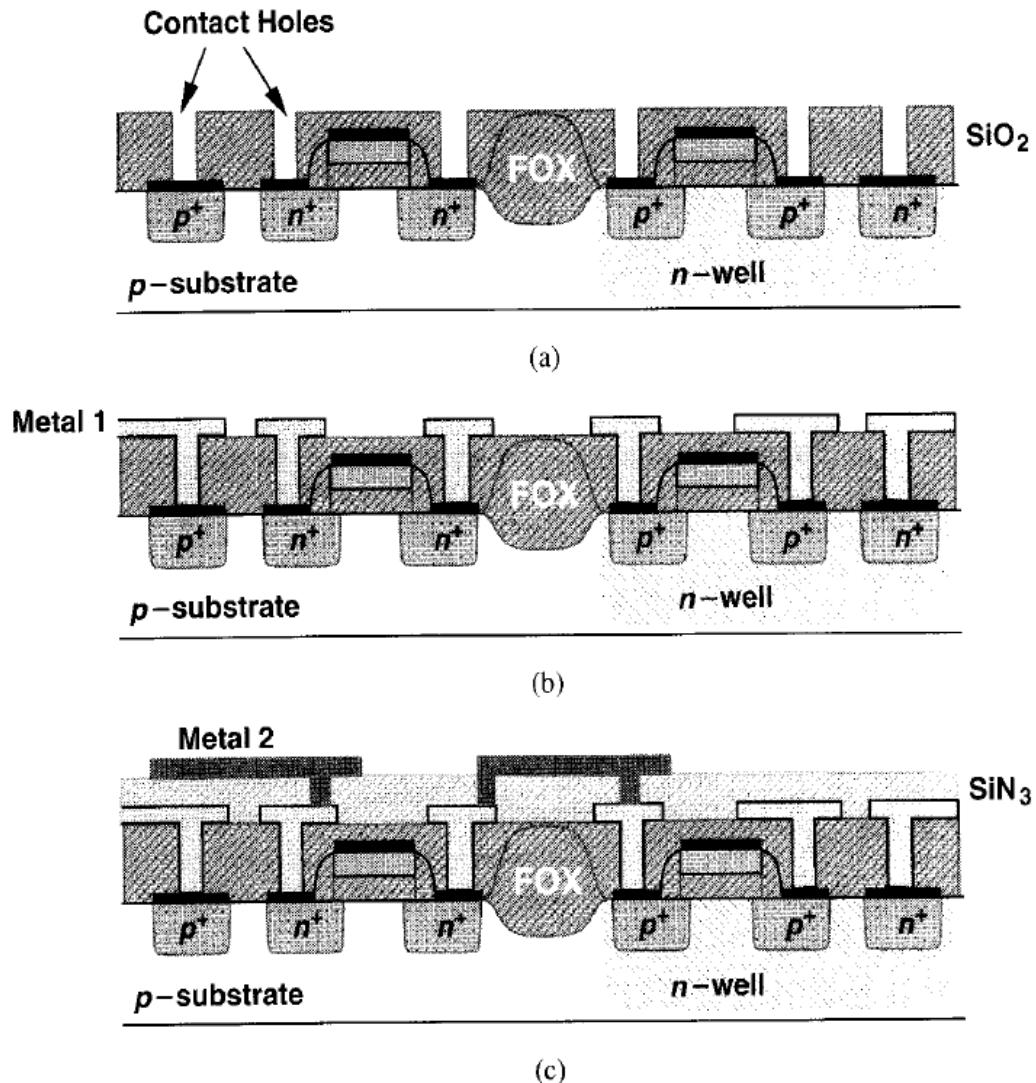
器件制造-后端工艺 (1)

- 有源器件
- 制备金属硅化物



器件制造-后端工艺 (2)

- 有源器件
- 接触孔
- 金属与过孔
- 钝化



内容

- 工艺概述
 - 基本工艺
 - 器件制造
 - 版图概述
 - 设计规则
 - 版图设计技术
 - 失效机制
-

版图概述

- 版图设计很好地体现了理论与实践结合的原则—“艺术”
 - 对称
 - 平衡
 - 版图设计面临的挑战
 - 数模混合设计的干扰
 - 小尺寸带来的非理想因素
 - 高速电路设计
-

版图概述

- 制造集成电路所用的掩模上的几何图形：**n 阵（Nwell）**、**有源区（Active）**、**多晶硅（Poly）**、**n⁺和 p⁺注入（N plus&P plus）**、**接触孔（Contact）**、**过孔（Via）**、**金属（Metal）**；**Dummy 层： Active、 Metal、 Poly。**
-

DUMMY层的作用

- 减小曝光误差：避免由于光刻过程中光的反射与衍射而影响到关键元器件物理图形的精度进而影响其尺寸
 - 保证可制造性：防止芯片在制造过程中由于曝光过渡或不足而导致的蚀刻失败
 - 避免芯片中的noise对关键信号的影响
-

版图概述

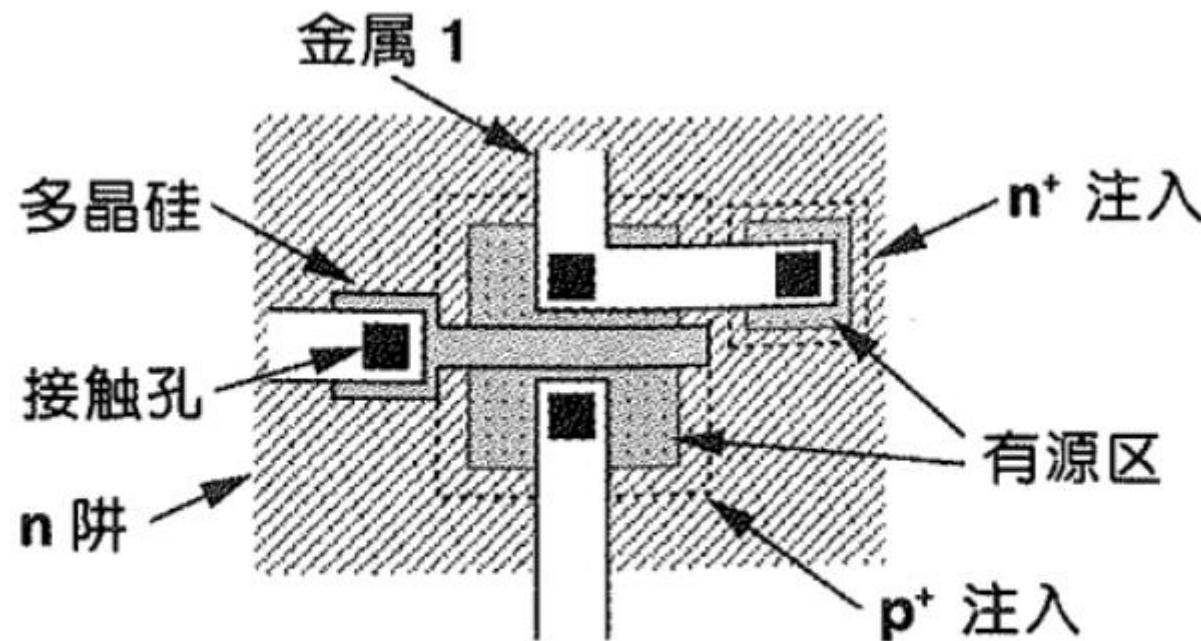


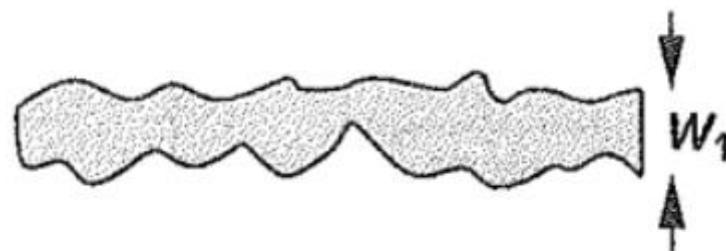
图 19.1 PMOS 晶体管版图

设计规则

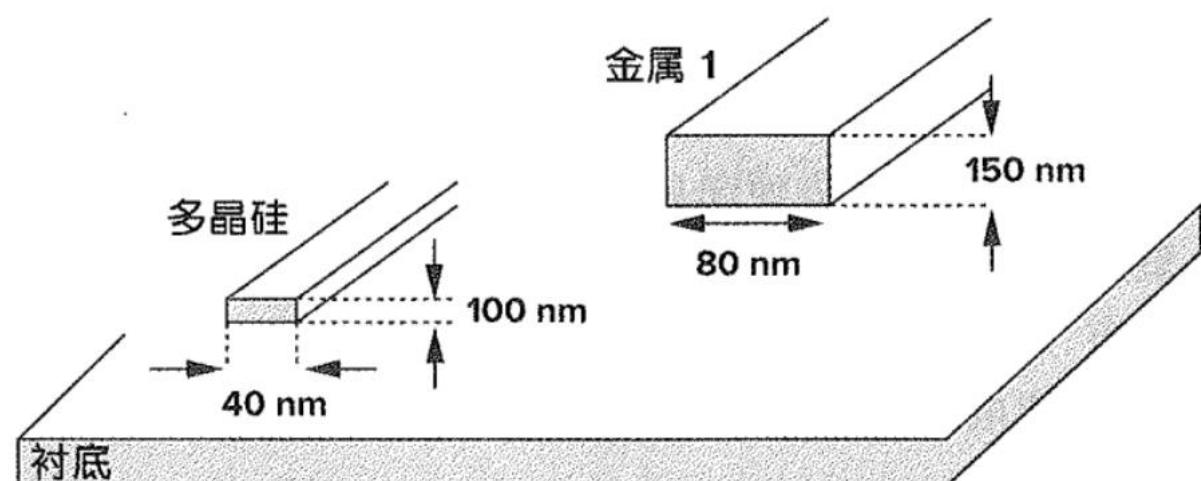
- 规则的种类

- 宽度
- 间距
- 包围
- 延伸
- 尺寸

设计规则-最小宽度

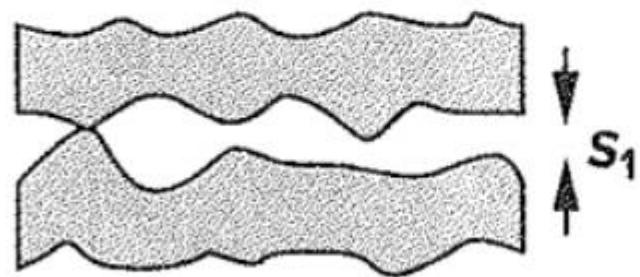


线宽的变化



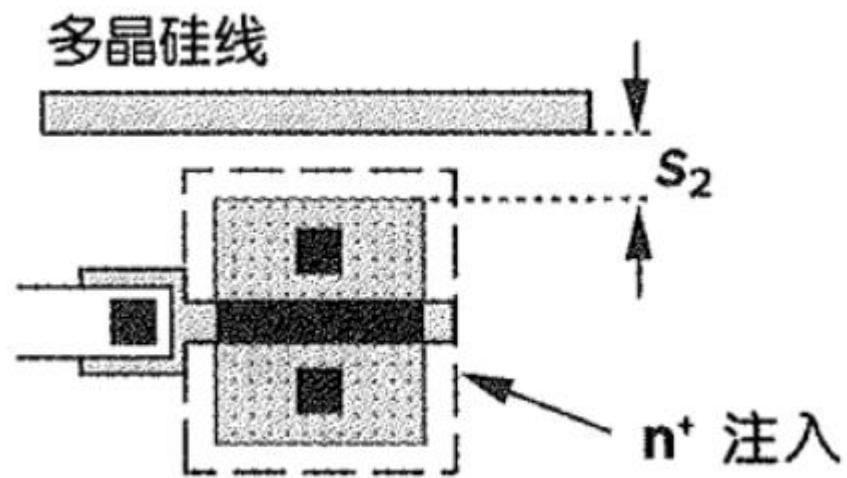
多晶硅连线和金属连线的宽度和厚度

设计规则-最小间距



(a)

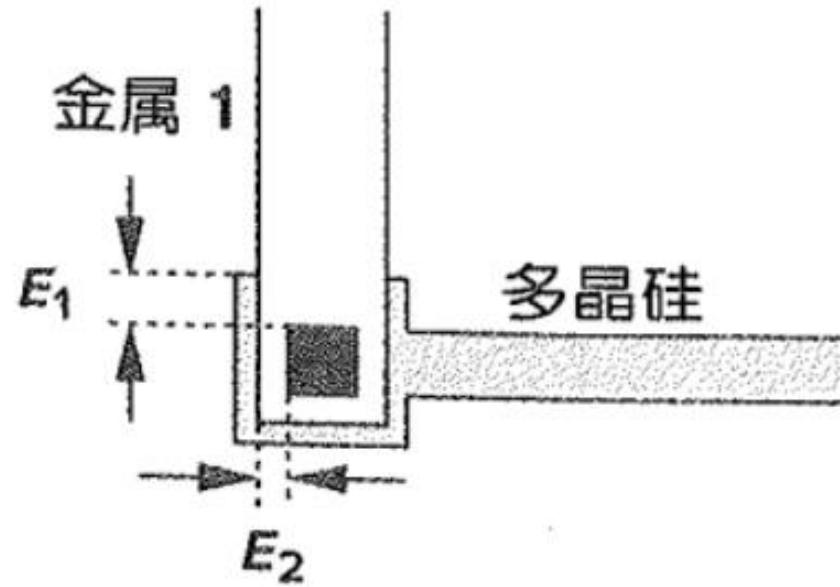
短路



(b)

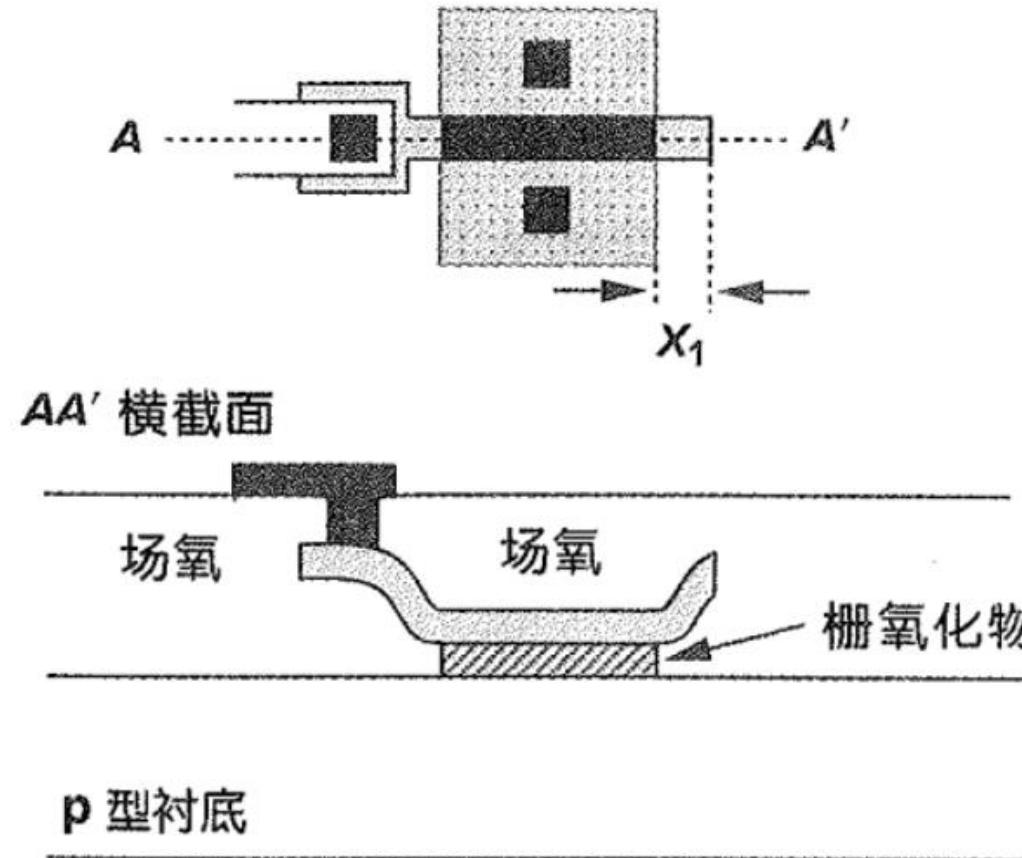
交叠

设计规则-最小包围



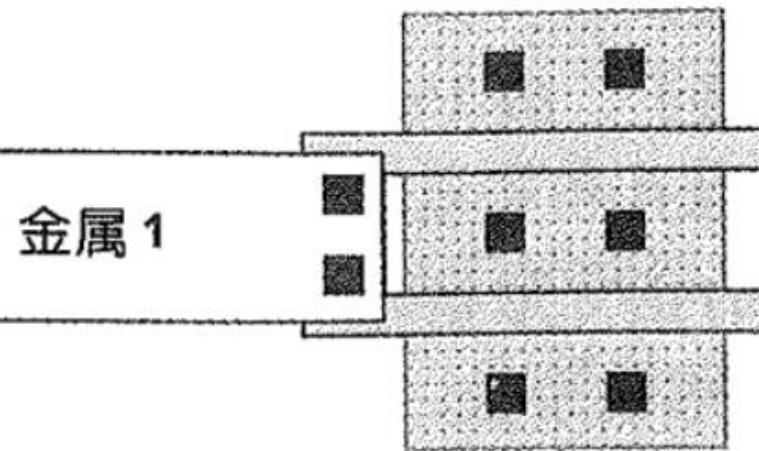
E1: 多晶硅对接触孔的包围，E2: 金属对接触孔的包围

设计规则-最小延伸

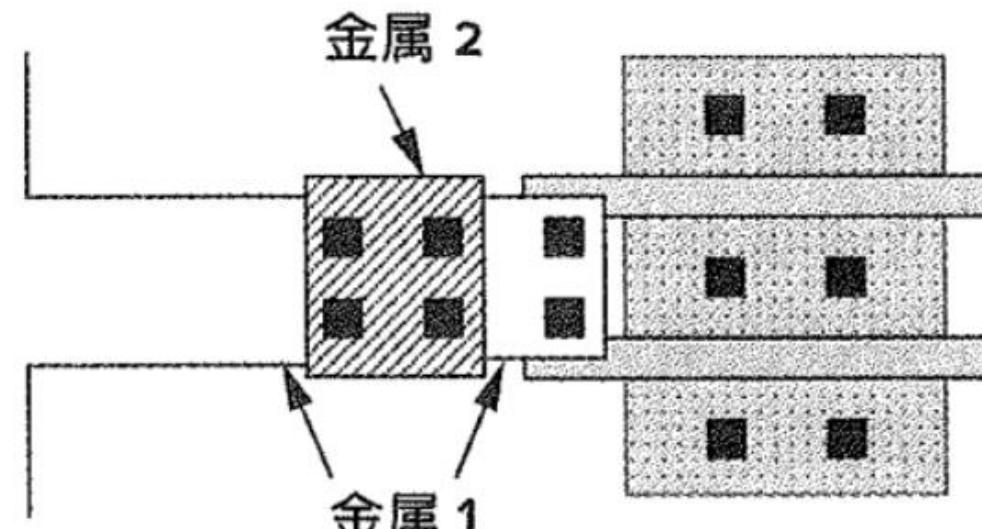


多晶硅对有源区的延伸

设计规则-天线效应



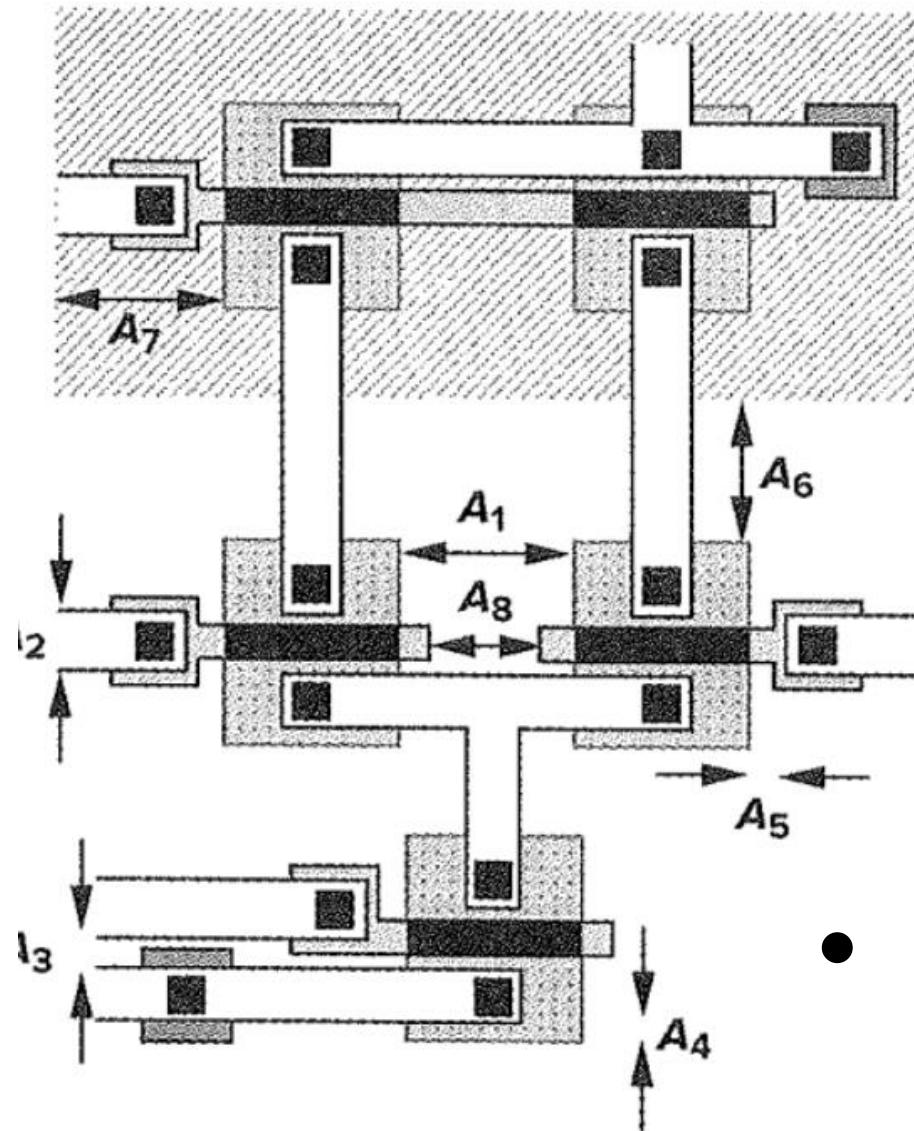
(a)



(b)

天线效应及消除方法

设计规则-实例



- A_1 : 有源区一有源区间距
- A_2 : 金属宽度
- A_3 : 金属一金属间距
- A_4 : 有源区对接触孔的包围
- A_5 : 多晶硅一有源区间距
- A_6 : 有源区一阱间距
- A_7 : 阵对有源区包围
- A_8 : 多晶硅一多晶硅间距

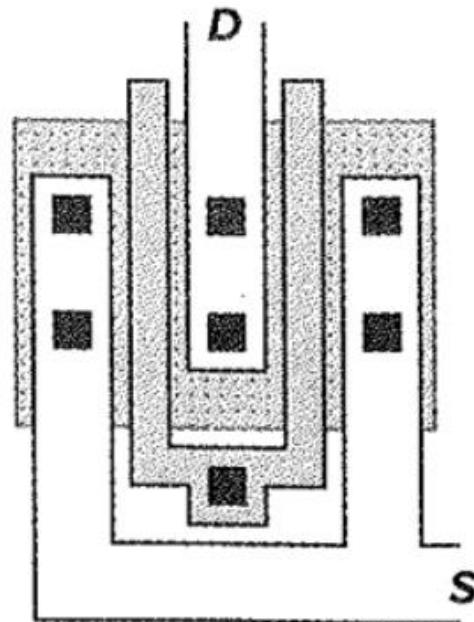
- DRC (Design Rule Check)
- SmicDR3R_cal30_log_II_Sali_p1
mx_2tm_12182.txt

内容

- 工艺概述
 - 基本工艺
 - 器件制造
 - 版图概述
 - 设计规则
 - 版图设计技术
 - 失效机制
-

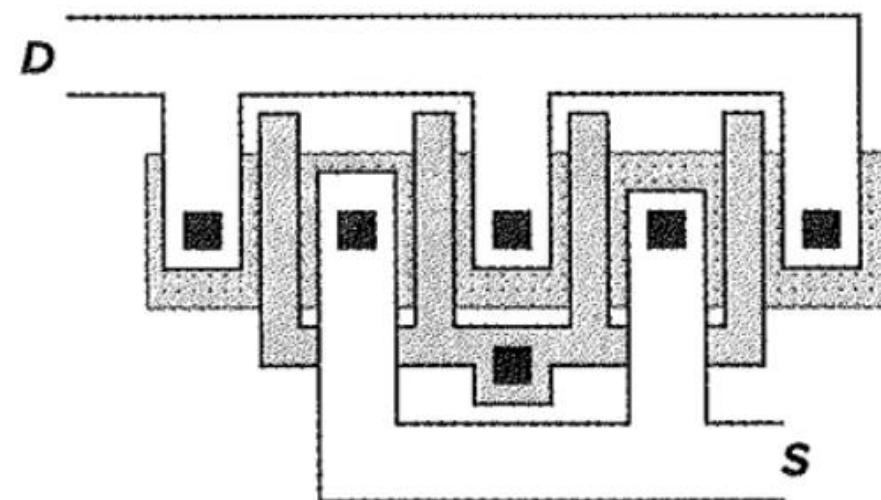
版图设计技术-1

- 叉指晶体管原理
- 减小S/D面积和栅电阻



(a)

折叠结构

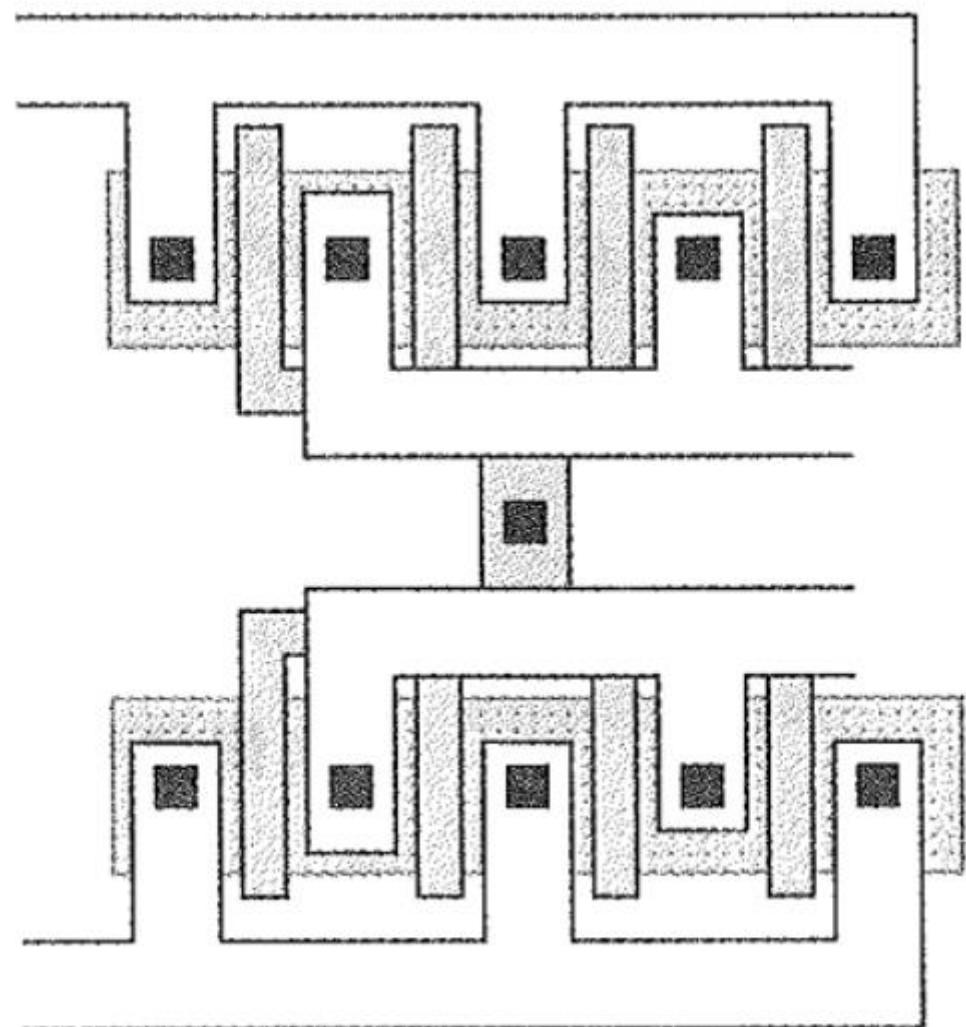


(b)

叉指结构

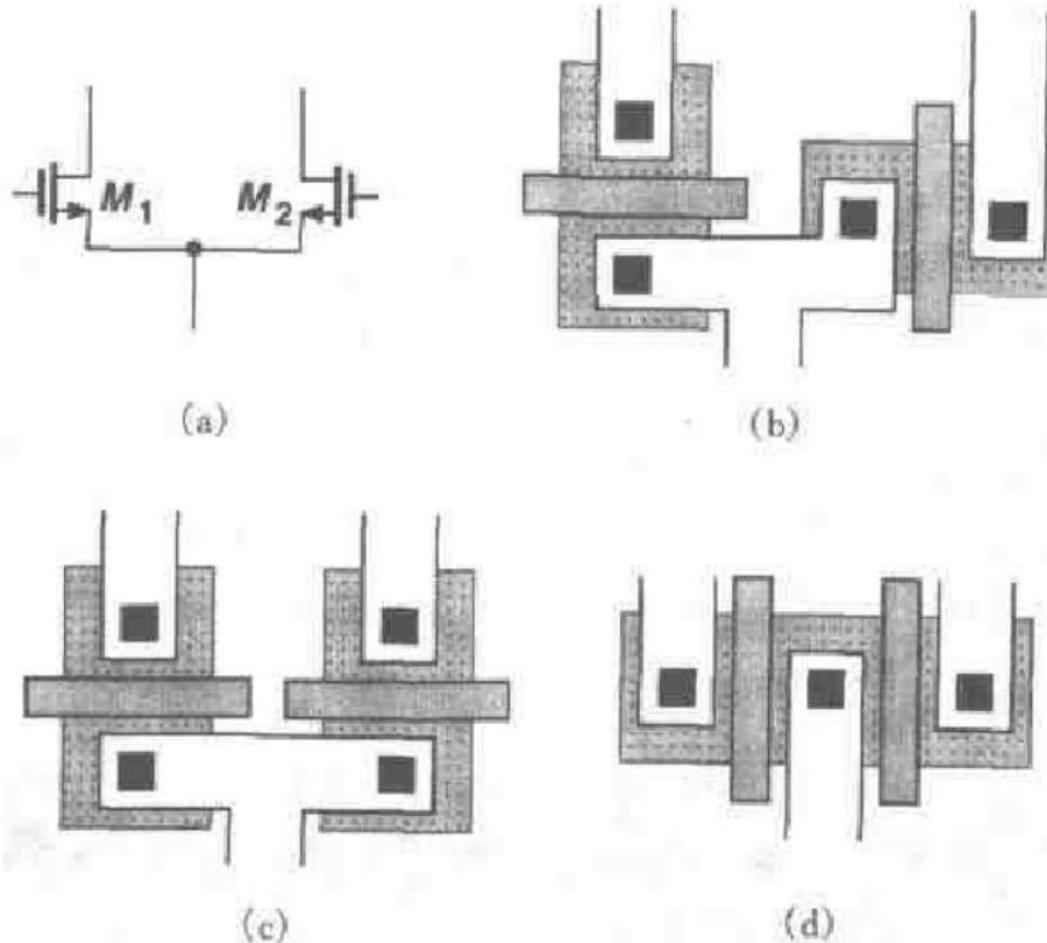
版图设计技术-1

- 叉指晶体管设计规则
- 栅电阻小于跨导的倒数
- 减小源漏电容与减小栅极电阻噪声的折中



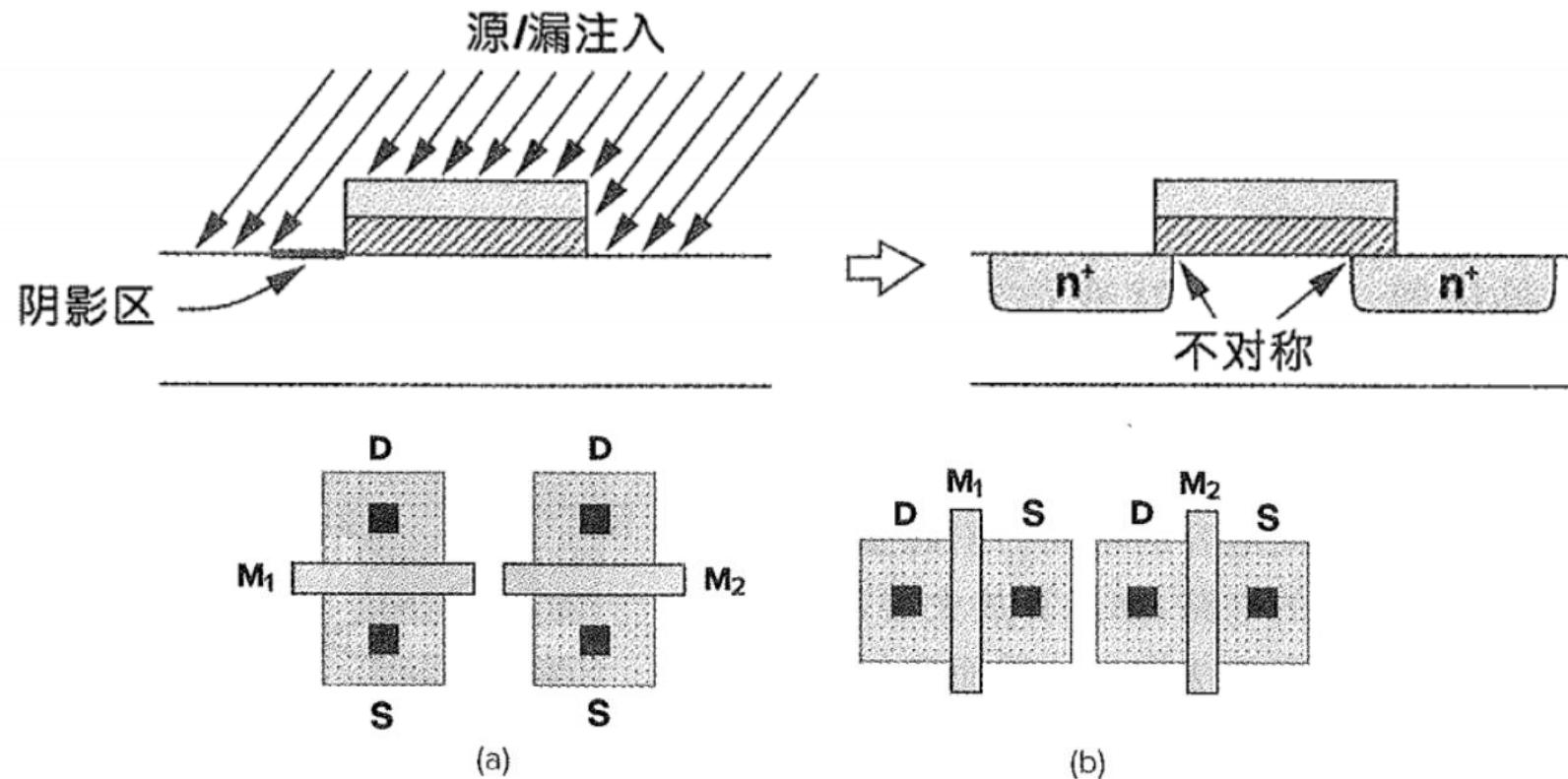
版图设计技术-2

● 对称性-提高匹配性



版图设计技术-2

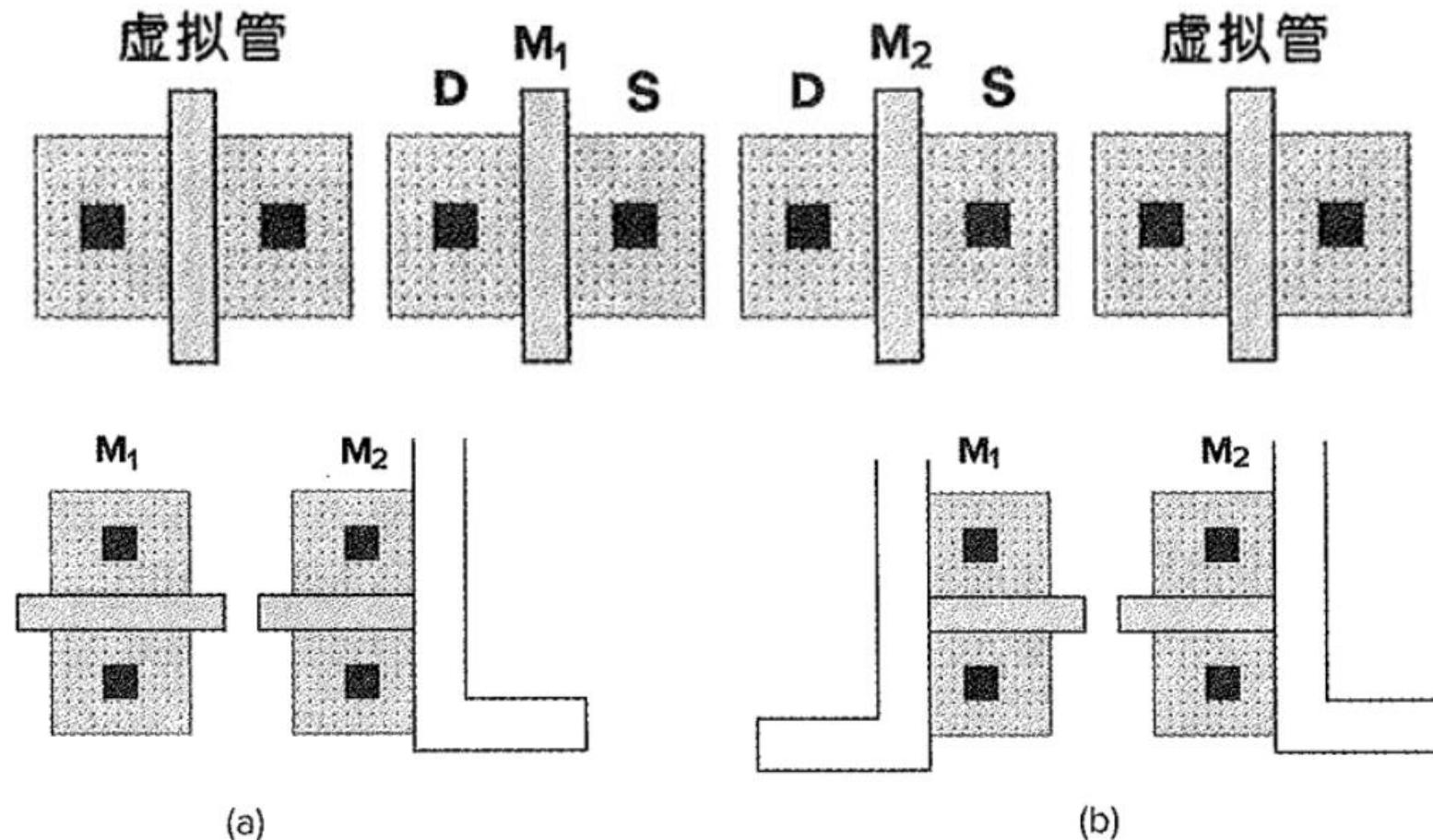
● “栅阴影”效应



由注入倾斜造成的栅阴影区

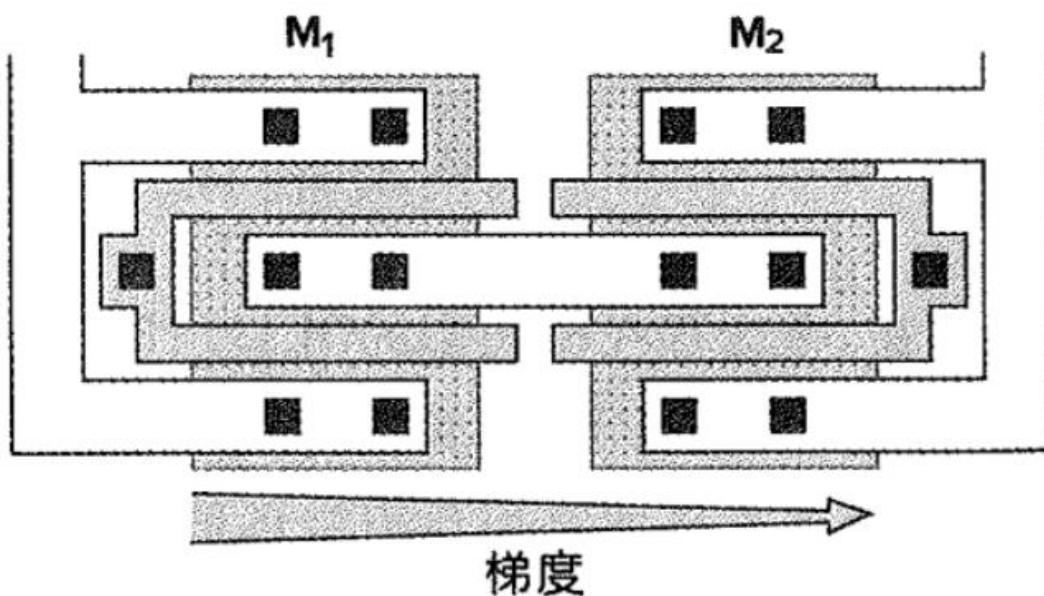
版图设计技术-2

● 解决之道1-虚拟元件

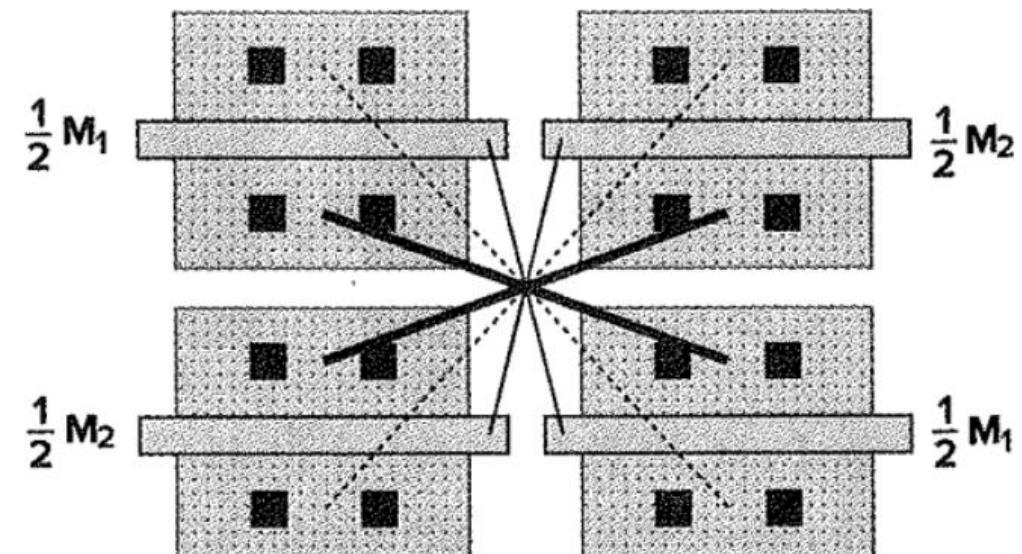


版图设计技术-2

● 解决之道2-共中心



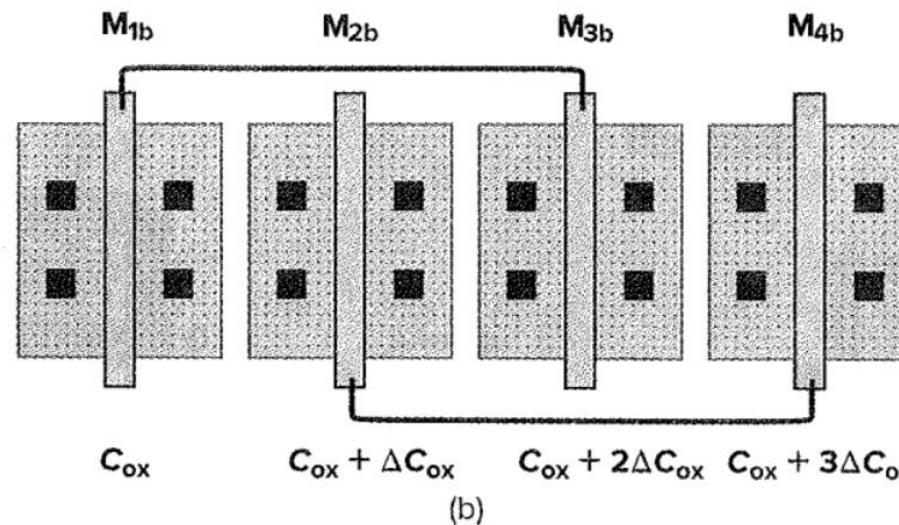
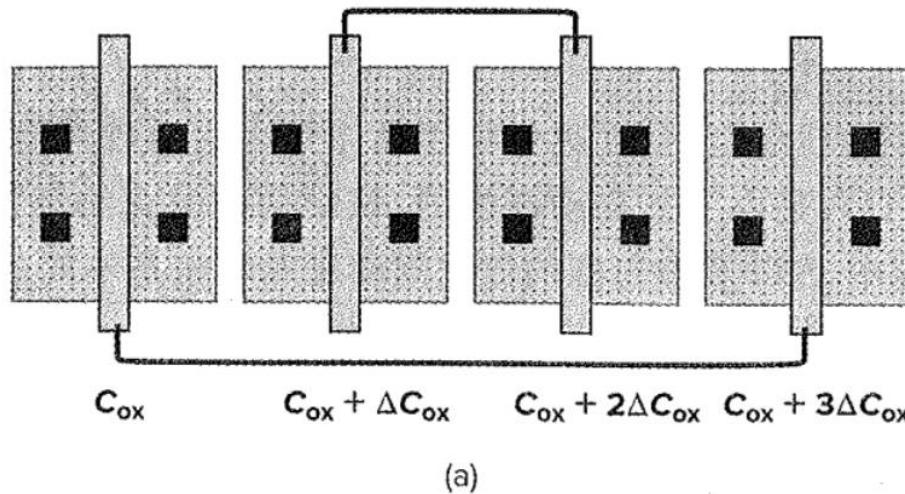
离子浓度梯度对差动对的影响



共中心版图

版图设计技术-2

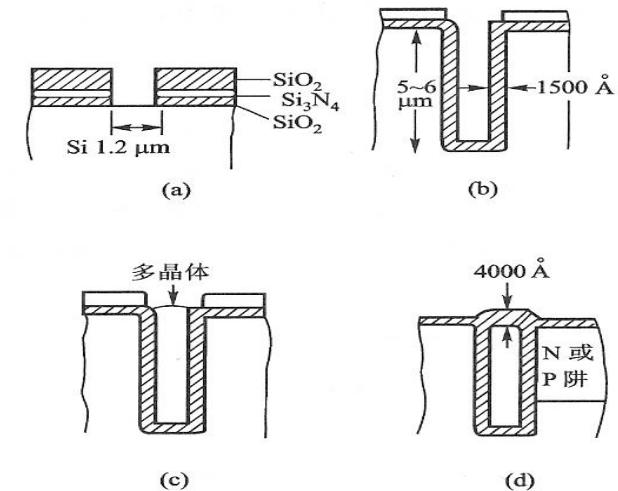
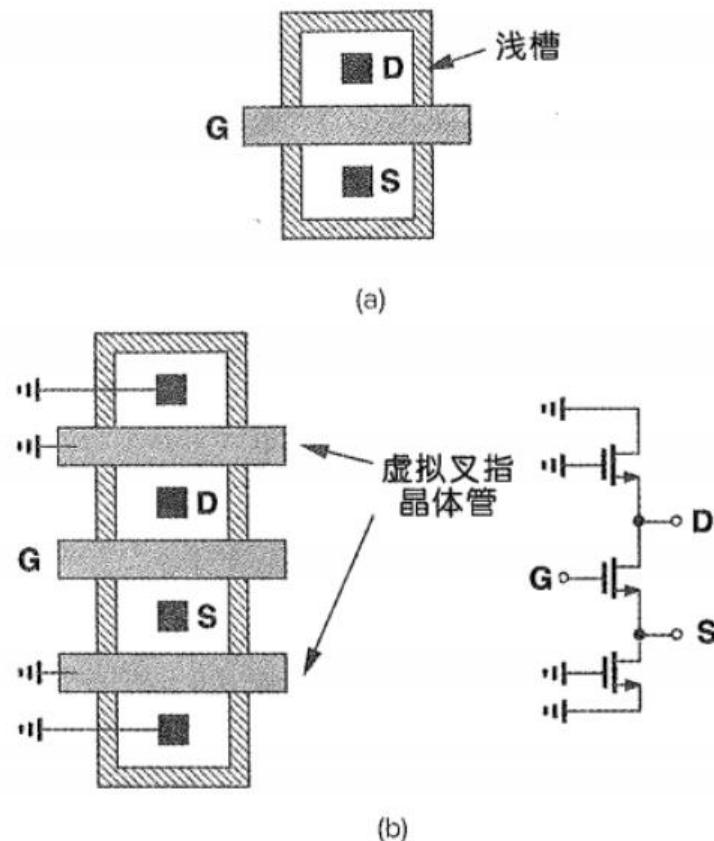
● 解决之道3-一维交叉耦合



(a)的效果好于(b)

版图设计技术-3

● 浅槽隔离问题

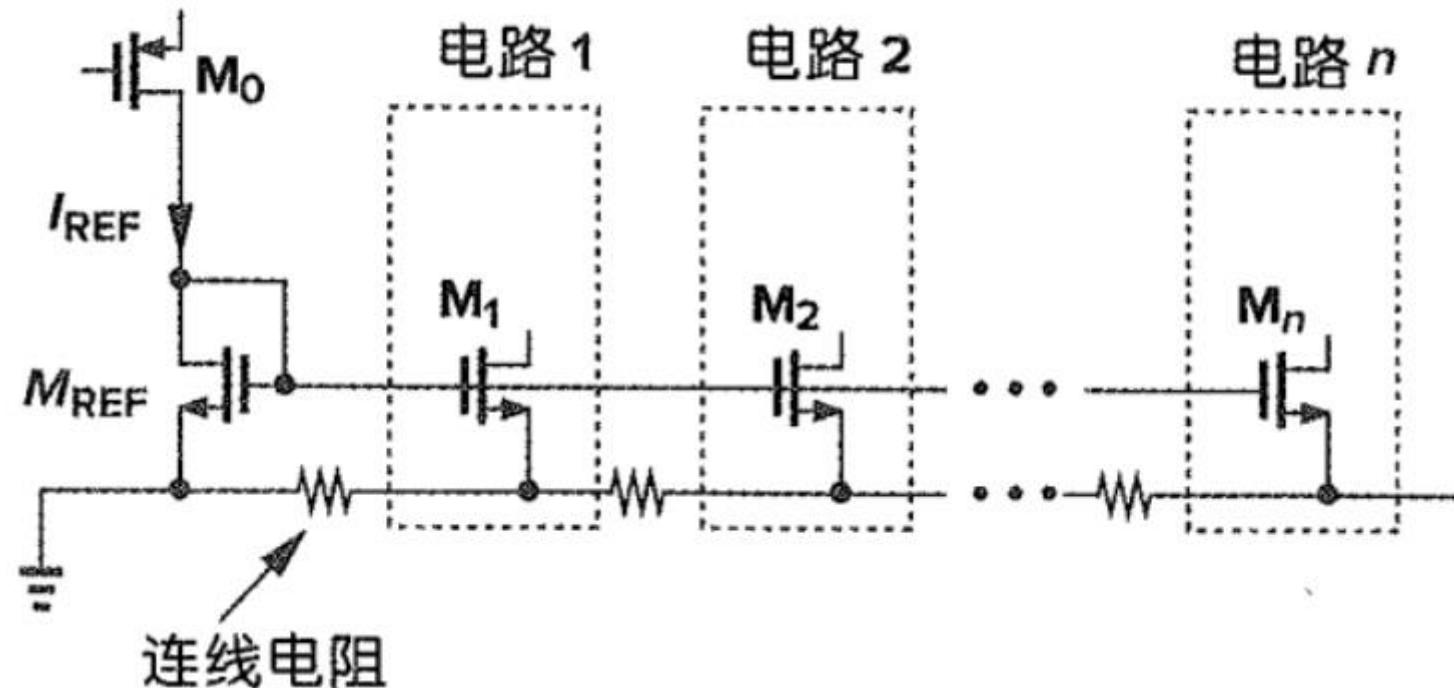


浅槽工艺

(a)包围器件的浅槽隔离；(b)使用虚拟叉指晶体管减小 STI 导致的应力；(c)多叉指晶体管例子

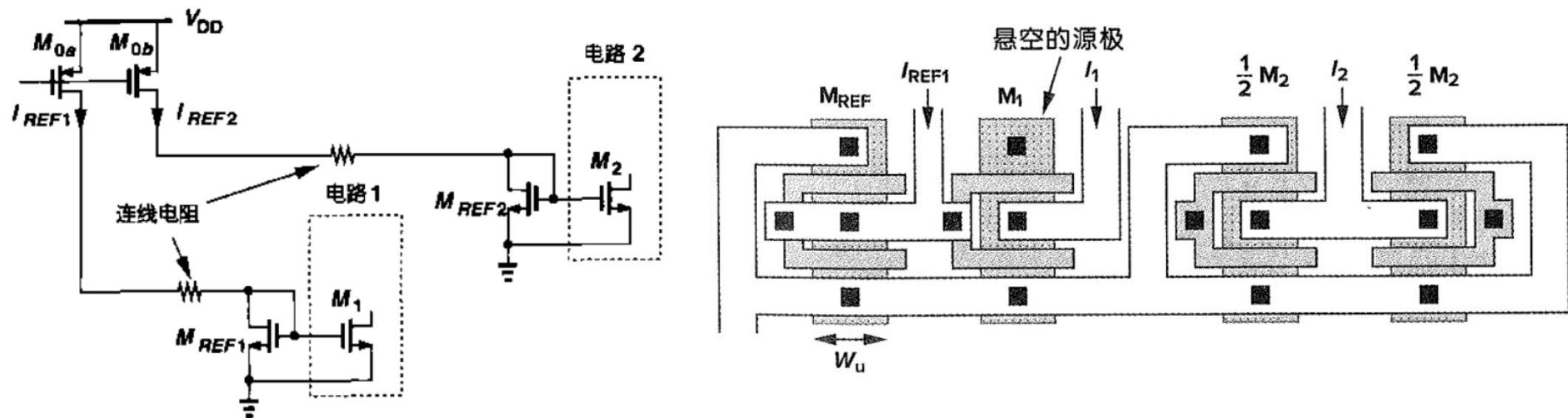
版图设计技术-4

- 参考源的分布-分布式电阻带来的匹配问题



版图设计技术-4

● 参考源的版图匹配



电流镜局部化

版图布局

版图设计技术-5

- 匹配精度
 - 低度匹配：近似 $\pm 1\%$ 的失配或6位到7位的分辨率。
 - 中度匹配：近似 $\pm 0.1\%$ 的失配或9到10位的分辨率。
 - 精确匹配：近似 $\pm 0.01\%$ 的失配或13到14位的分辨率。
-

版图设计技术-5

● 电阻匹配原则（节选）

1	匹配电阻要又同一种材料构成	10	避免采用较短的电阻段
2	匹配的电阻应具有相同的宽度	11	连接匹配电阻以消除热电效应
3	电阻值要足够大	12	匹配电阻尽量放置在低应力区域
4	匹配电阻要足够宽	13	匹配器件要远离功率器件
5	沿同一方向摆放匹配的电阻	14	分段电阻优于折叠电阻
6	匹配电阻要邻近摆放	15	首先采用多晶硅电阻
7	阵列化电阻采用叉指结构	16	匹配电阻要足够宽
8	在电阻阵列的两端要设置虚拟器件	17	避免在匹配电阻上排布未连接的导线
9	尽量使用相同的电阻图形	18	避免匹配电阻功耗过大

版图设计技术-5

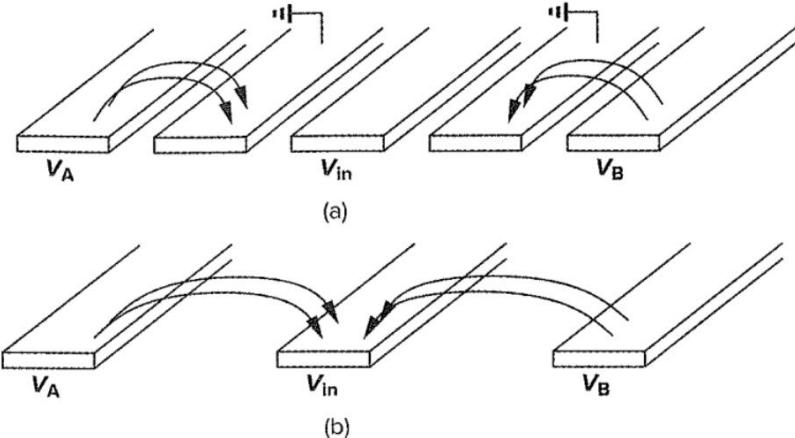
● 电容匹配原则（节选）

1	匹配电阻要采用相同的图形	7	沿着阵列的外围设置虚拟电容
2	精确匹配电容应该采用正方形	8	对匹配电容进行静电屏蔽
3	使匹配电容大小适当	9	电容阵列应交叉耦合
4	匹配电容相邻摆放	10	考虑导线电容
5	把匹配电容放置于场氧化层上	11	匹配电容尽量放置在低应力区域
6	把匹配电容的上极板连接到高阻节点		

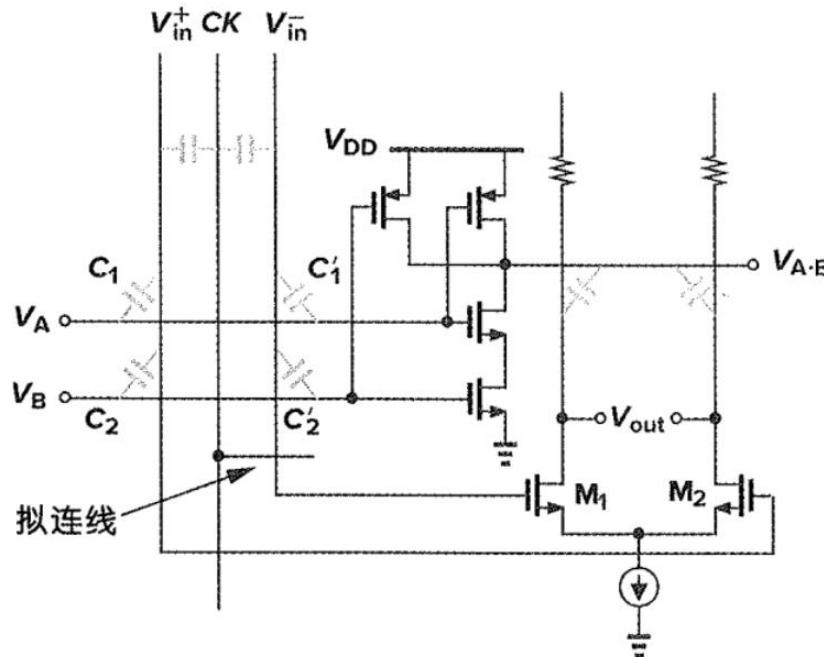
版图设计技术-6

● 降低串扰影响

- 差动
- 屏蔽



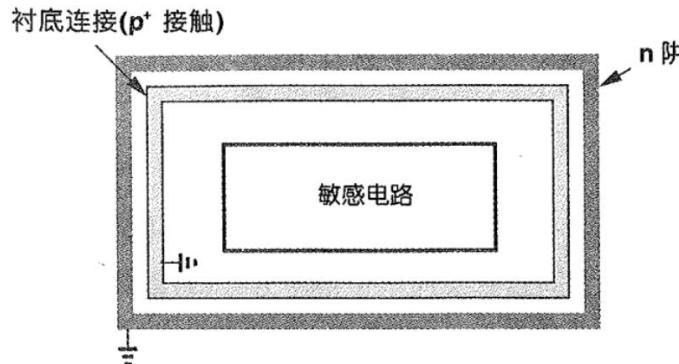
(a) 通过附加的地线来屏蔽 (b) 线间距变大来减小信号耦合



利用差动信号减小电容耦合

版图设计技术-7

- 降低衬底耦合影响
 - 差动电路
 - 数字信号和时钟以互补形式分布
 - 关键操作应该在时钟信号之后
 - 减小和衬底相连的键合引线电感最小
- 保护环



内容

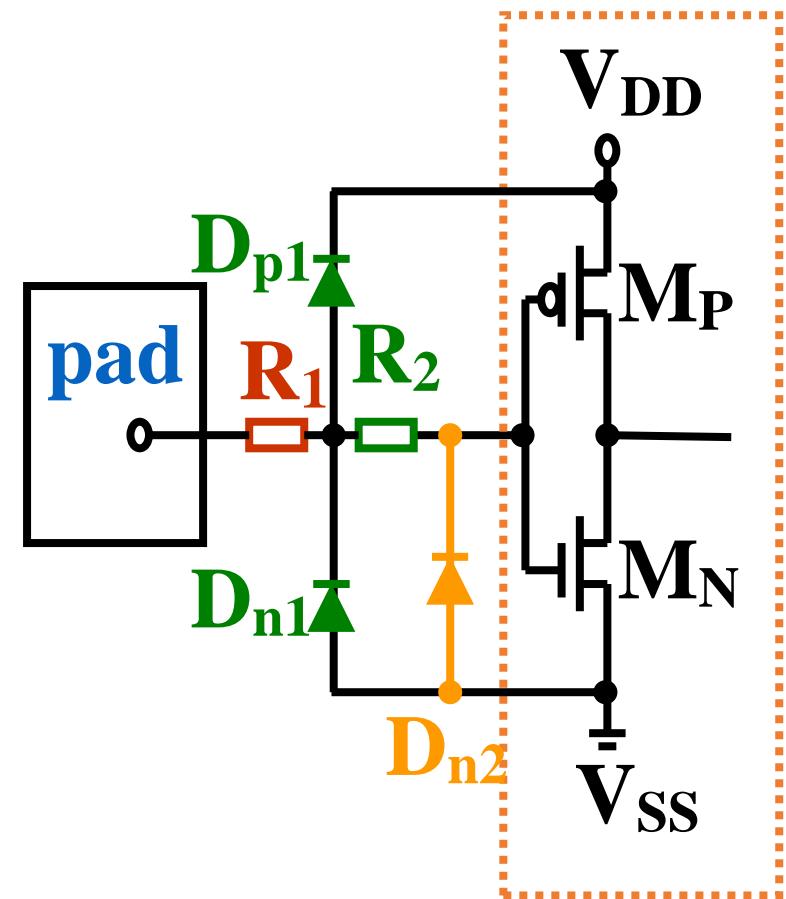
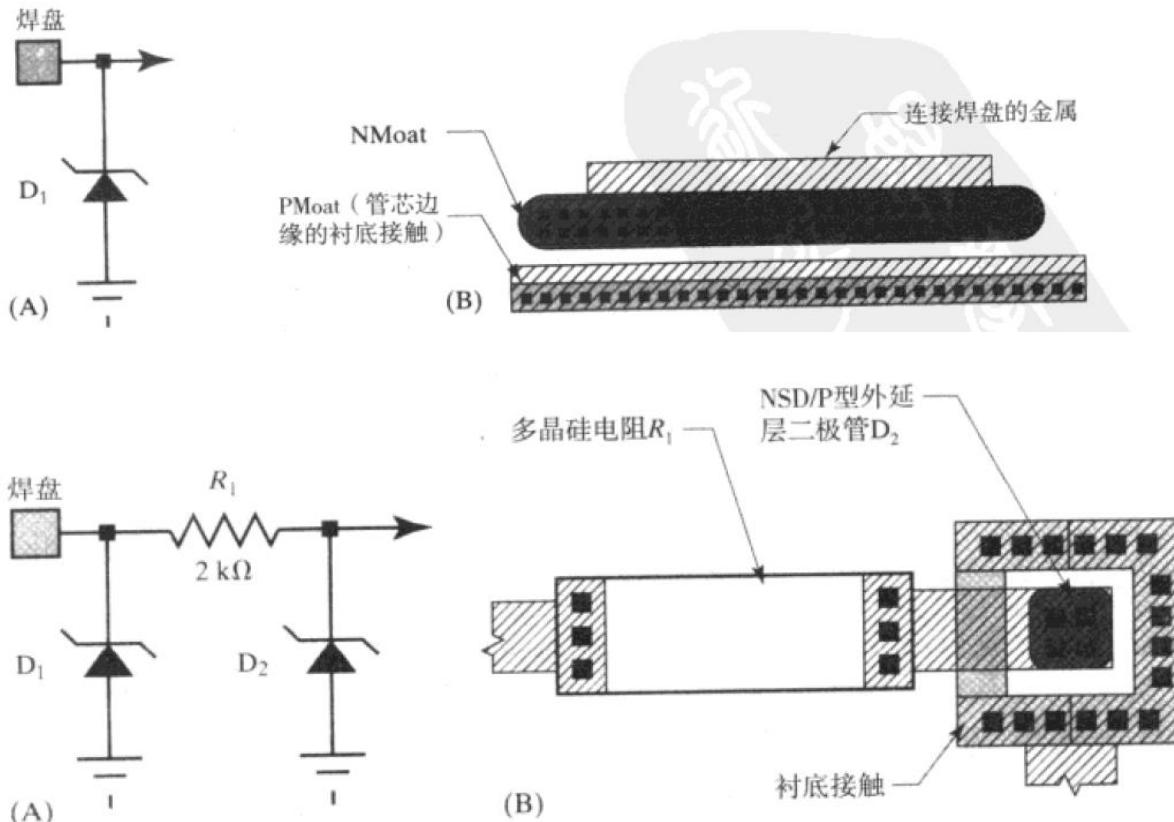
- 工艺概述
 - 基本工艺
 - 器件制造
 - 版图概述
 - 设计规则
 - 版图设计技术
 - 失效机制
-

失效机制-电过应力

- 器件被施加了过大的电压或电流引起的失效
 - 静电泄露-静电击穿
 - 电迁徙-大电流
 - 介质击穿-大电压引起的绝缘体退化
 - 天线效应-累积电荷引起的介质击穿
-

失效机制-电过应力

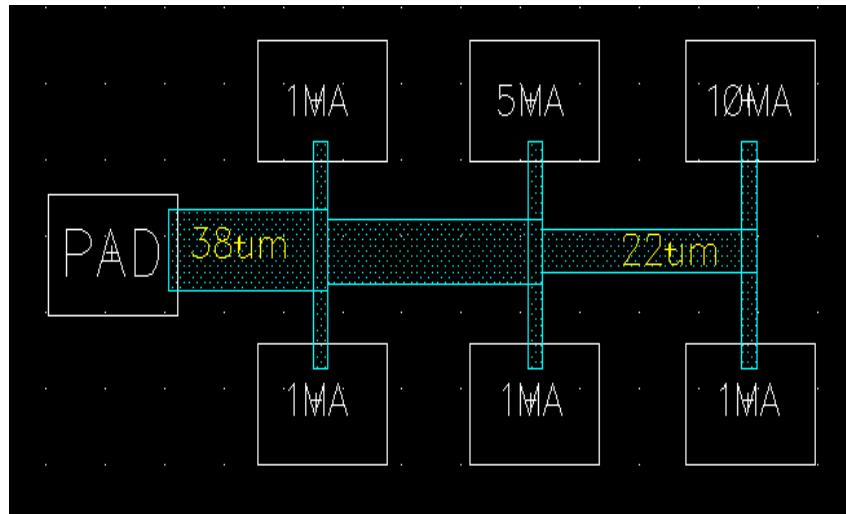
● ESD保护



D_{p1} 、 D_{n1} 是用N+、P+扩散区分别与阱和衬底形成的二极管，起电压箝位和电荷泄放作用。面积一般设计为1000 μm^2 左右，并采用抗闩锁的保护环结构。

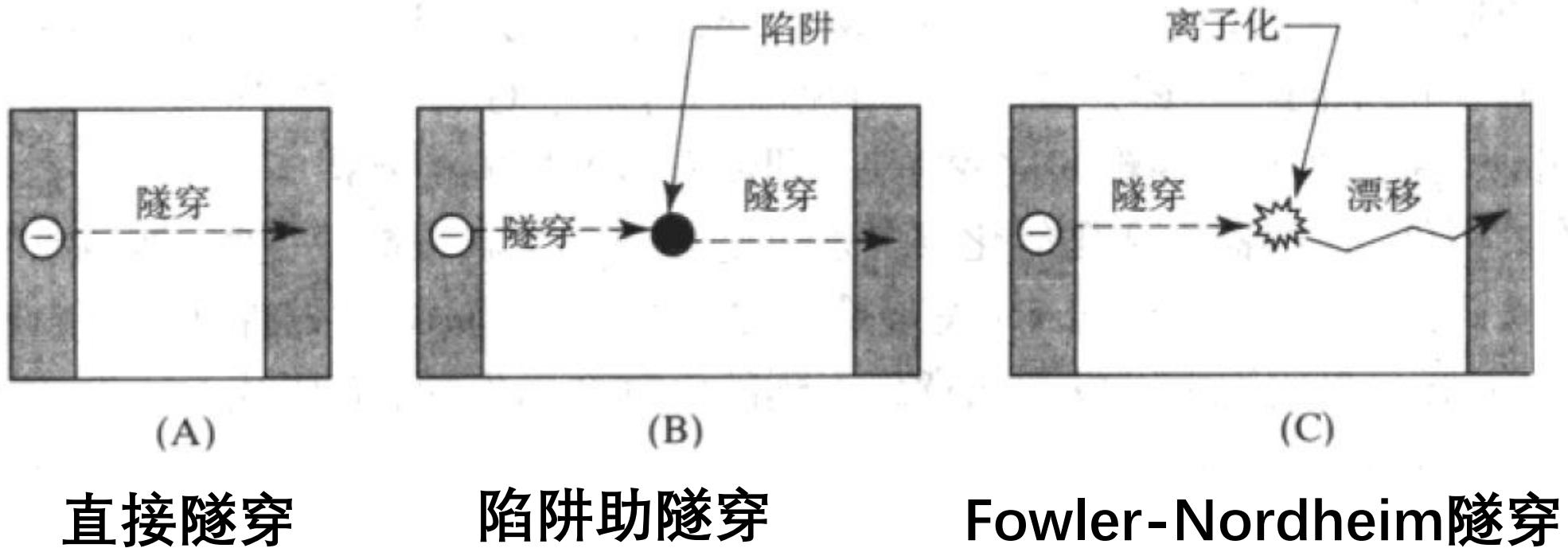
失效机制-电过应力

- 电迁徙—极高电流密度引起的慢性损耗现象
- 工艺改善：铝线→掺铜→纯铜线
- 限流：单位线宽电流密度 $\text{mA}/\mu\text{m}$



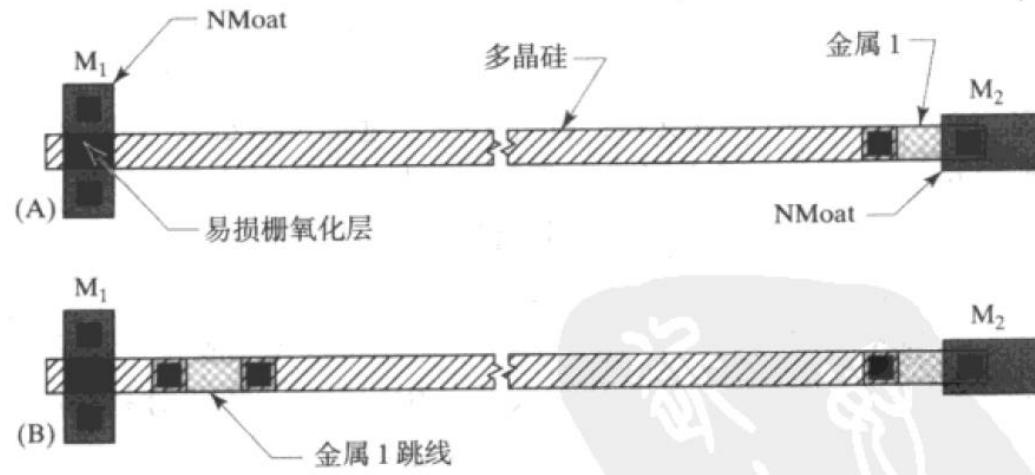
失效机制-电过应力

● 介质击穿—隧穿效应

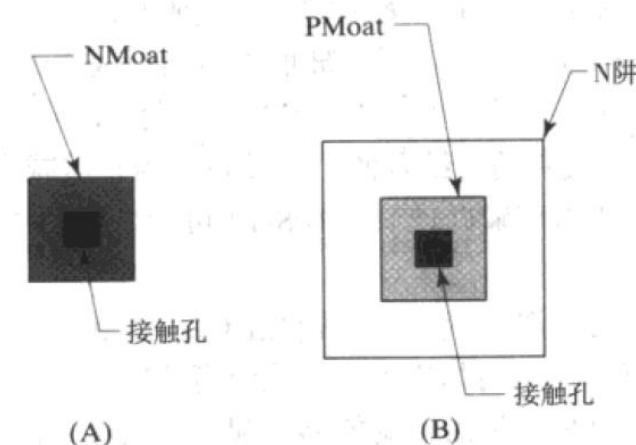


失效机制-电过应力

- 天线效应—电荷累积对晶体管的栅极造成击穿



金属跳线



泄放二极管

其他失效机制

失效类型	具体名称	原因	解决方法
沾污	湿气腐蚀	干法刻蚀引起的水汽进入芯片内部	减少开窗
	可移动离子	外界渗入	保护层；保护环
表面效应	热载流子注入	强场引起的载流子进入氧化层，改变阈值电压	(1) 改变掺杂； (2) 重新设计器件； (3) 改变工作条件。
	负偏置温度不稳定性 (NBTI)	在高温下对PMOSFET施加负栅压而引起的一系列电学参数的退化，常温下会引起阈值电压的逐渐漂移	改进工艺
	寄生沟道和电荷分散	硅表面的导体诱生寄生沟道	沟道终止
寄生效应	衬底去偏置	衬底横向电流引起隔离结正偏	(1) 良好的衬底接触； (2) 工艺改善
	电路闩锁	少子注入引起寄生管导通，引起大电流	工艺改善，增大间距，保护环，增加衬底接触

本章结束