



**计算机组成原理(汇编与接口) 课 程 设 计**

团队（个人）实验报告

|  |  |
| --- | --- |
| 学 院 | 计算机学院 |
| 专 业 |  |
| 指导老师 |  |
| 组 长 |  |
| 组 员 |  |
| 组长联系方式 |  |

二O二一年 月

目 录

备注：团队与个人报告均使用此模板，红色字体供参考，请根据实际情况填写，黑色框架部分请勿修改。个人报告不需要分工介绍。

# 项目简述

如：实现经典五级流水线CPU，支持41条MIPS指令，包含冒险冲突处理，结合汇编与接口设计实验，设计测试用例，并下板验证成功。请紧扣计分点总结完成的项目功能、性能，并且突出特色。

# 组员分工（团队报告，个人报告不需要）

小组分工见表2.1 小组分工。

|  |  |
| --- | --- |
| **组员** | **分工任务** |
| 组长 |  |
| 组员1 |  |
| 组员2 |  |
| 组员3 |  |

表2.1 小组分工

# 设计目的

# 设计环境

|  |  |
| --- | --- |
| 操作系统 |  |
| 编程语言 |  |
| EDA工具 |  |
| 汇编语言 |  |
| 汇编程序编辑器 |  |

请标注版本号

# 设计原理及内容

## CPU整体架构

本流水线CPU覆盖X条指令(见表5.1-1)，下面将从数据通路和控制逻辑阐述设计思路。

示例：列出自己设计的CPU支持的指令。

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 序号 | 指令 | opcode | function | 功能 |
| 1 | ADD | 000000 | 100000 | rd=rs+rt |
| 2 | ADDU | 000000 | 100001 | rd=rs+rt (无符号数) |
| 3 | ADDI | 001000 | / | rd=rs+im |
| 4 | ADDIU | 001001 | / | rd=rs+im（无符号数） |
| 5 | SUB | 000000 | 100010 | rd=rs-rt |
| 6 | SUBU | 000000 | 100011 | rd=rs-rt (无符号数) |
| 7 | SLT | 000000 | 101010 | rd=(rs<rt)?1:0 |
| 8 | SLTI | 001010 | / | rd=(rs<im)?1:0 |
| 9 | SLTU | 000000 | 101011 | rd=(rs<rt)?1:0 (无符号数) |
| 10 | SLTIU | 001011 | / | rd=(rs<im)?1:0（无符号数） |
| 11 | AND | 000000 | 100100 | rd=rs&rt |
| 12 | ANDI | 001100 | / | rd=rs&im |
| 13 | NOR | 000000 | 100111 | rd=!(rs|rt) |
| 14 | OR | 000000 | 100101 | rd=rs|rt |
| 15 | ORI | 001101 | / | rd=rs|im |
| 16 | XOR | 000000 | 100110 | rd=rs xor rd |
| 17 | XORI | 001110 | / | rd=rs xor im |
| 18 | SLL | 000000 | 000000 | rd=rt<<shamt |
| 19 | SLLV | 000000 | 000100 | rd=rt<<rs |
| 20 | SRL | 000000 | 000010 | rd=rt>>shamt |
| 21 | SRLV | 000000 | 000110 | rd=rt>>rs |
| 22 | SRA | 000000 | 000011 | rd=rt>>shamt（符号位保留） |
| 23 | SRAV | 000000 | 000111 | rd=rt>>rs（符号位保留） |
| 24 | LUI | 001111 | / | rt=im\*65536 |
| 25 | CLZ | 011100 | 100000 | clz rd,rs |
| 26 | CLO | 011100 | 100001 | clo rd,rs |
| 27 | BEQ | 000100 | / | PC=(rs==rt)?PC+im<<2:PC |
| 28 | BNE | 000101 | / | PC=(rs!=rt)?PC+im<<2:PC |
| 29 | BGTZ | 000111 | / | PC=(rs>0)?PC+im<<2:PC |
| 30 | BLEZ | 000110 | /(rt) | PC=(rs<=0)?PC+im<<2:PC |
| 31 | BGEZ | 000001 | /(rt) | pc = (rs>=0)pc+offset<<2:pc |
| 32 | BLTZ | 000001 | / | pc = (rs<0)pc+offset<<2:pc |
| 33 | J | 000010 | / | PC={(PC+4)[31,28],addr,00} |
| 34 | JAL | 000011 | / | $31=PC;PC={(PC+4)[31,28],addr,00} |
| 35 | JR | 000000 | 001000 | PC=rs |
| 36 | LB | 100000 | / | LB rt, offset(base) |
| 37 | LH | 100001 | / | LH rt, offset(base) |
| 38 | LW | 100011 | / | LW rt, offset(base) |
| 39 | SB | 101000 | / | SB rt, offset(base) |
| 40 | SH | 101001 | / | SH rt, offset(base) |
| 41 | SW | 101011 | / | SW rt, offset(base) |

表5.1-1 41条指令

### 数据通路

数据通路文字描述和图示。

图5.1.1-1 X级流水线CPU数据通路，

### 控制逻辑

内容不限定以下内容：

示例：分析实现控制逻辑采用的方式：组合逻辑？微程序等。

控制信号列表，控制信号取值的含义，控制信号编码、时序分配、控制存储器内容，微指令编码等。

## 流水线冒险问题以及解决方案

## Cache的设计（可选）

## 中断的设计（可选）

## 其他特色（可选）

# 设计与实现

# 测试

## 仿真测试用例、结果以及分析

功能性测试

性能测试

下板测试

# 问题及解决方法

# 心得体会及总结

# 参考文献有价值的资源推荐