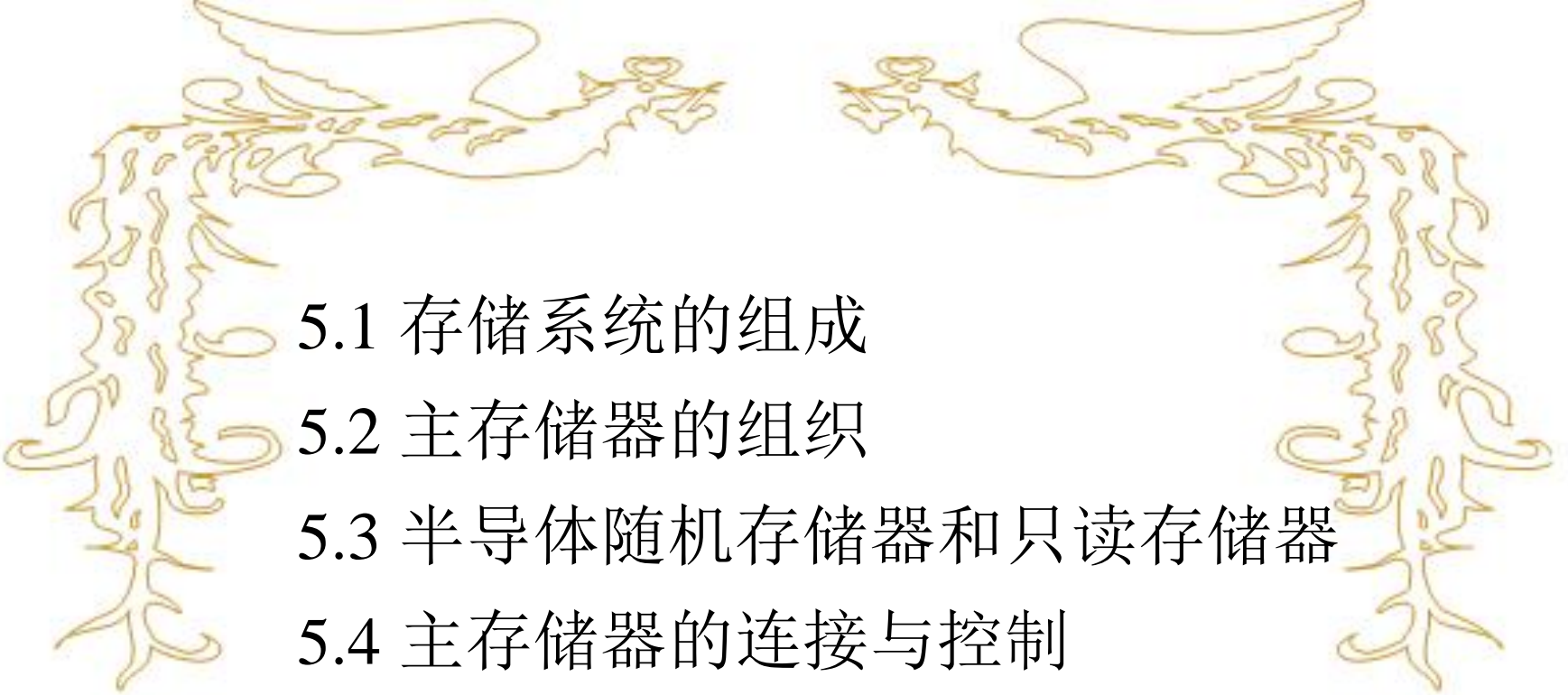



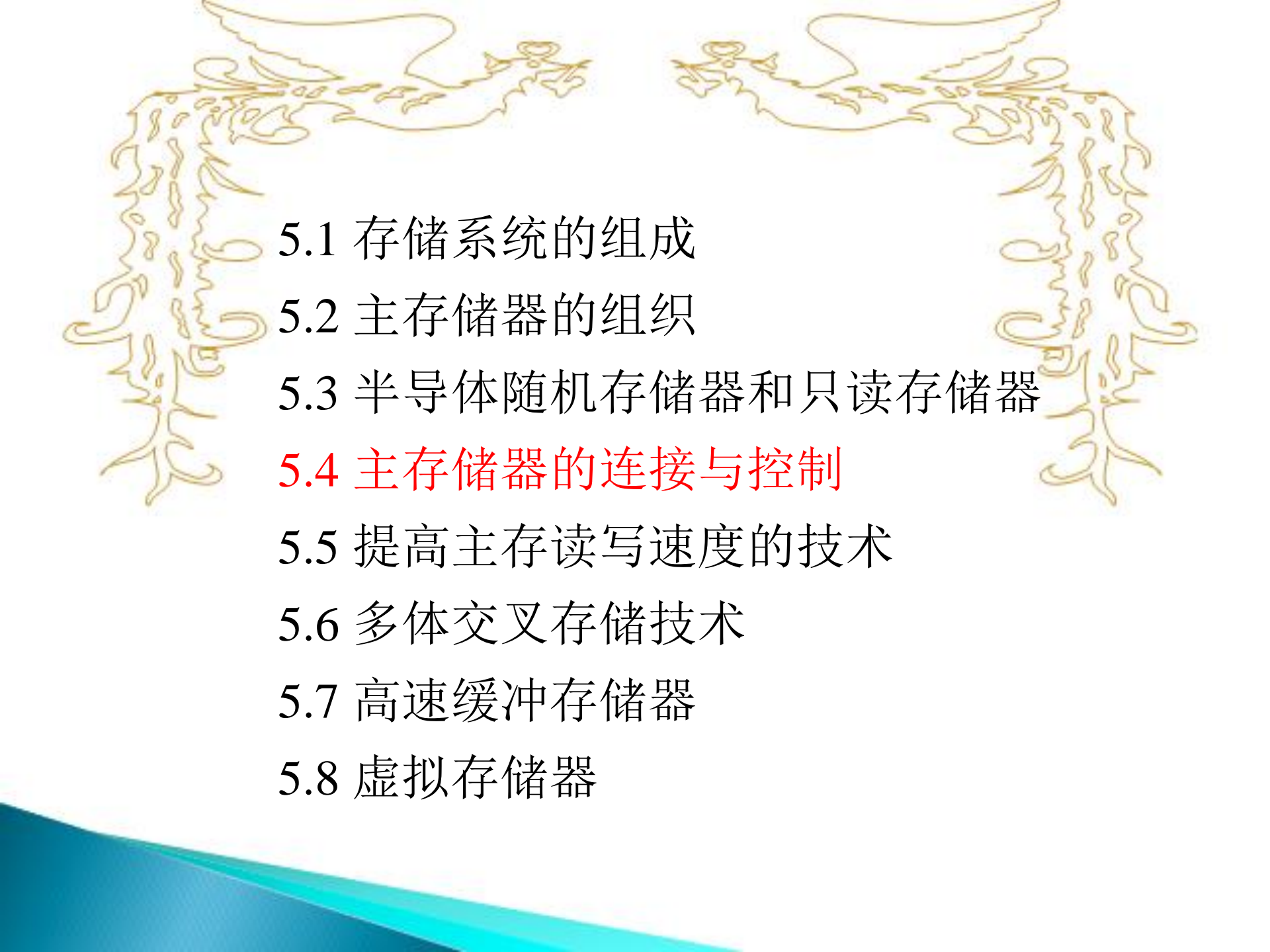


河北师范大学软件学院  
Software College of Hebei Normal University

# 计算机组成原理

## 第五章 存储系统和结构

- 
- 5.1 存储系统的组成
  - 5.2 主存储器的组织
  - 5.3 半导体随机存储器和只读存储器
  - 5.4 主存储器的连接与控制
  - 5.5 提高主存读写速度的技术
  - 5.6 多体交叉存储技术
  - 5.7 高速缓冲存储器
  - 5.8 虚拟存储器
- 



5.1 存储系统的组成

5.2 主存储器的组织

5.3 半导体随机存储器和只读存储器

5.4 主存储器的连接与控制

5.5 提高主存读写速度的技术

5.6 多体交叉存储技术

5.7 高速缓冲存储器

5.8 虚拟存储器

# 5.4 主存储器的连接与控制

## 5.4.1 主存容量的扩展

要组成一个主存，首先要考虑选片的问题，然后就是如何把芯片连接起来的问题。根据存储器所要求的容量和选定的存储芯片的容量，就可以计算出总的芯片数，即

$$\text{总片数} = \frac{\text{总容量}}{\text{芯片容量}}$$

例如：存储器容量为  $8K \times 8$ ，若选用  $1K \times 4$  的存储芯片，则需要：

$$\frac{8K \times 8}{1K \times 4} = 8 \times 2 \text{ 片} = 16 \text{ 片}$$

将多片组合起来常采用位扩展法、字扩展法、字和位同时扩展法。

## 5.4 主存储器的连接与控制

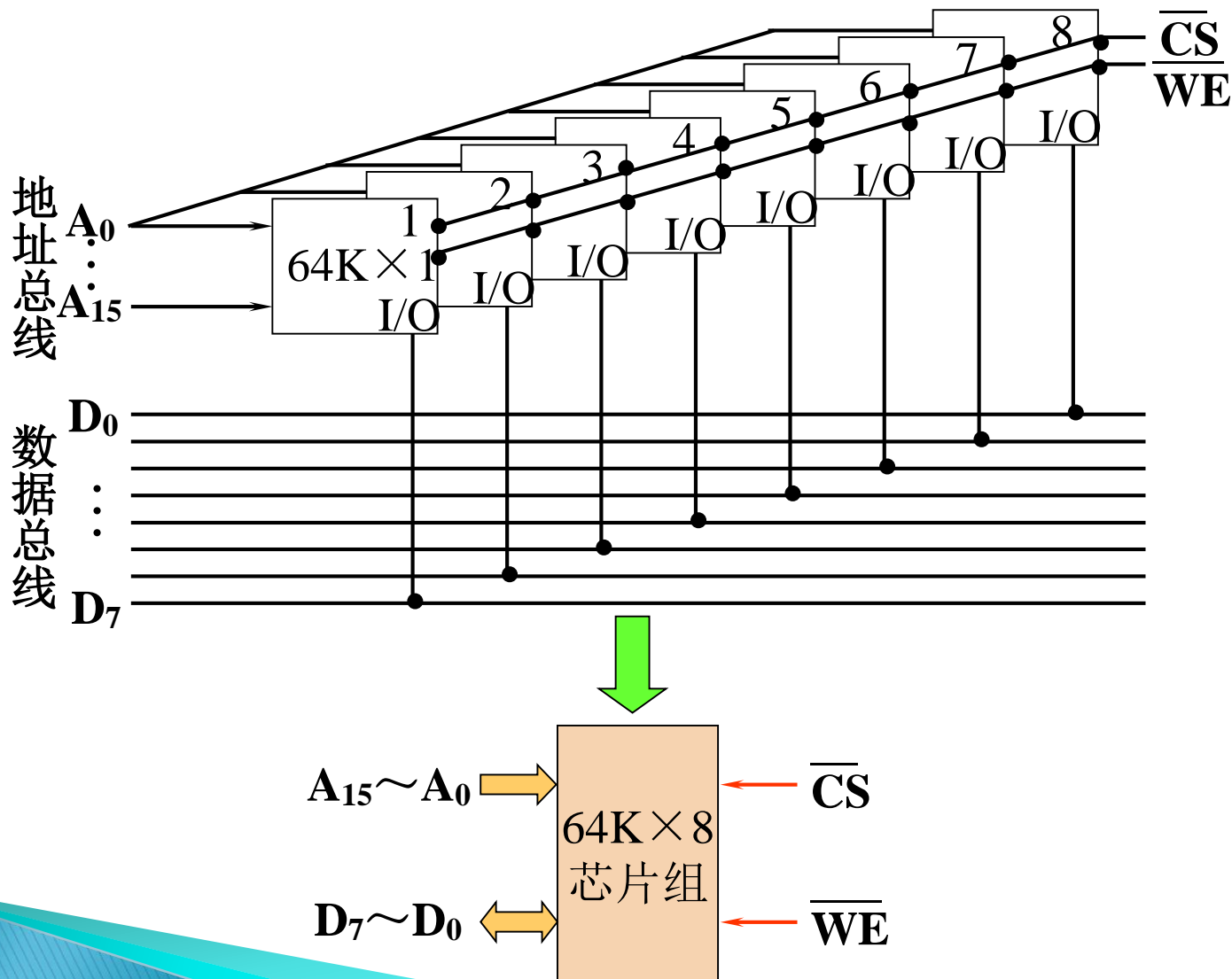
### 1. 位扩展

位扩展指只在**在位数方向扩展**（加大字长），而芯片的字数和存储器的字数是一致的。。

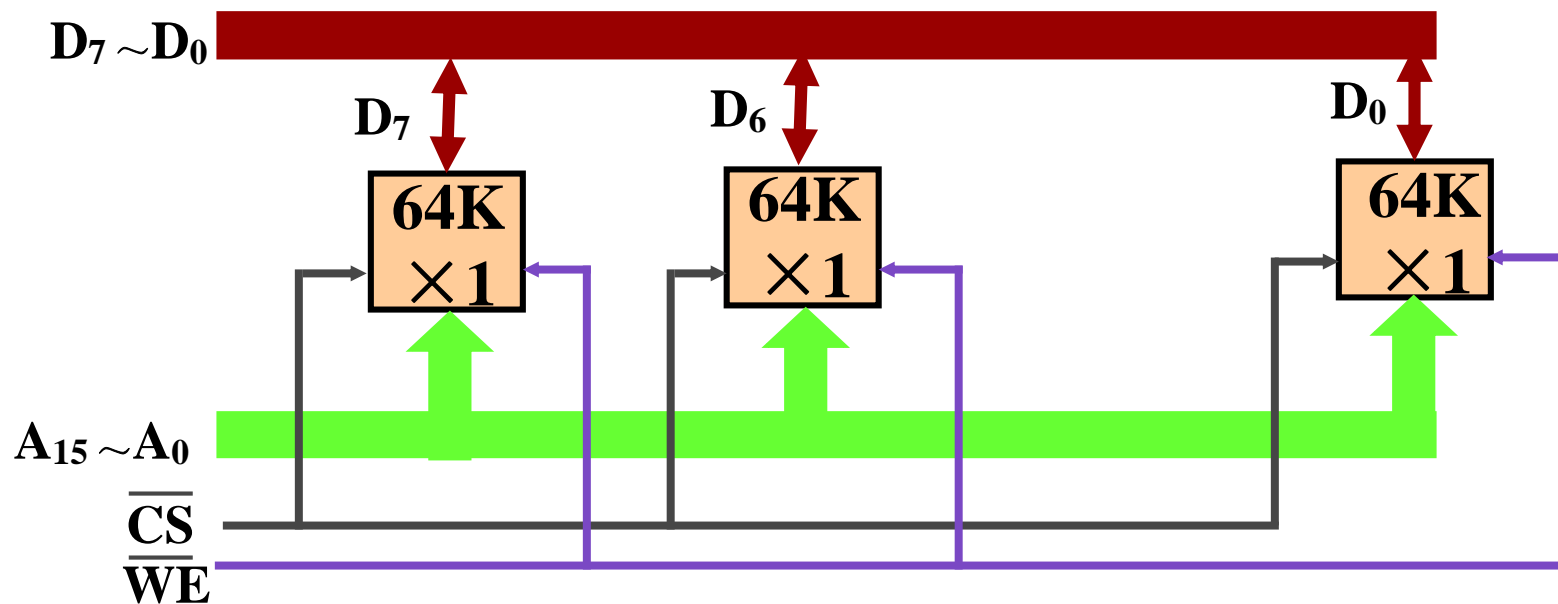
如用 $64\text{K} \times 1$ 的SRAM芯片组成 $64\text{K} \times 8$ 的存储器，需要8个芯片。

	容量	地址	数据
存储器	$64\text{K} \times 8$	16	8
存储芯片	$64\text{K} \times 1$	16	1

## 5.4 主存储器的连接与控制



## 5.4 主存储器的连接与控制



## 5.4 主存储器的连接与控制

### 2. 字扩展

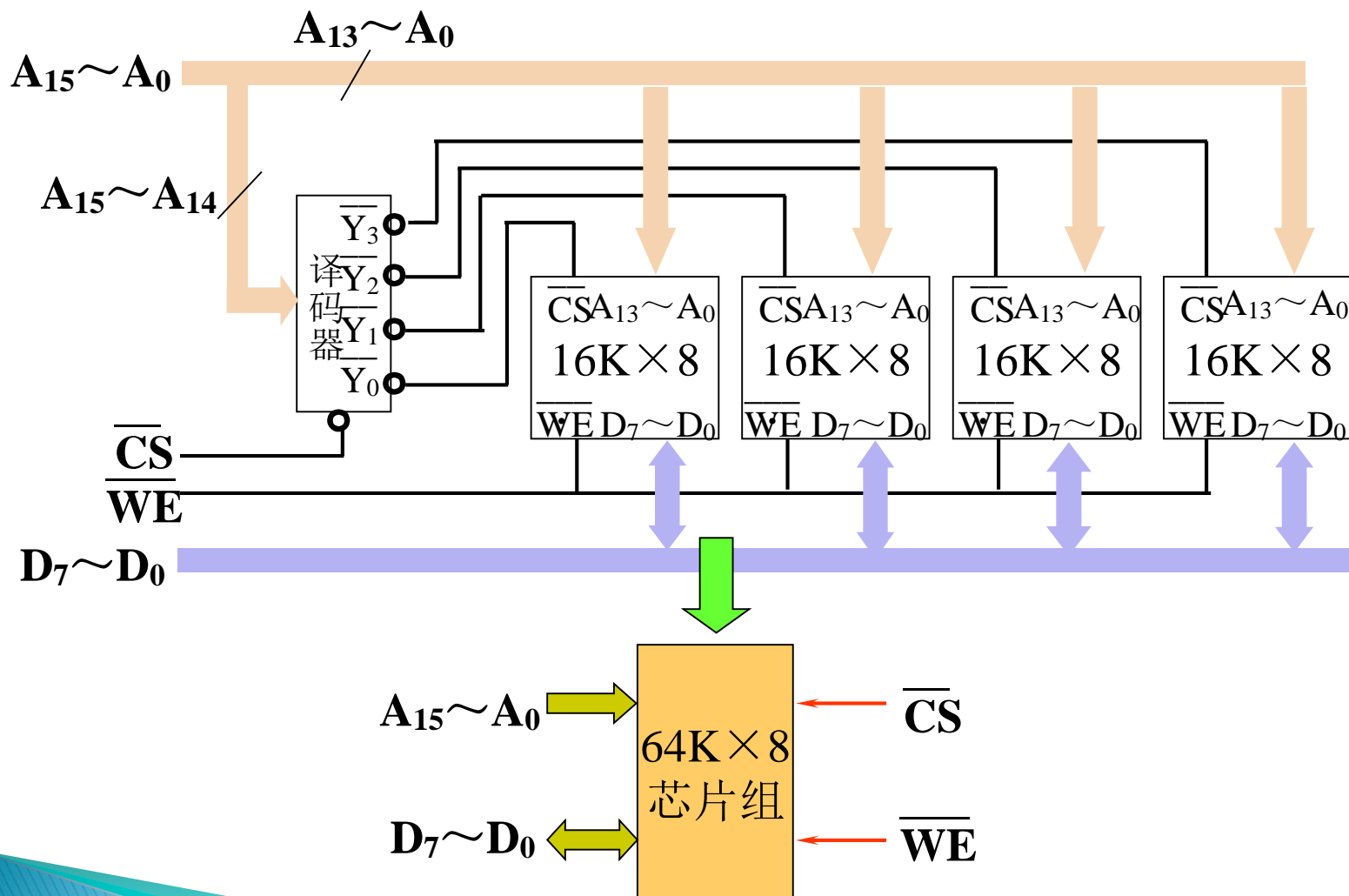
字扩展是指**仅在字数方向扩展，而位数不变。**

如用 $16\text{K} \times 8$ 的SRAM组成 $64\text{K} \times 8$ 的存储器，需要4个芯片。

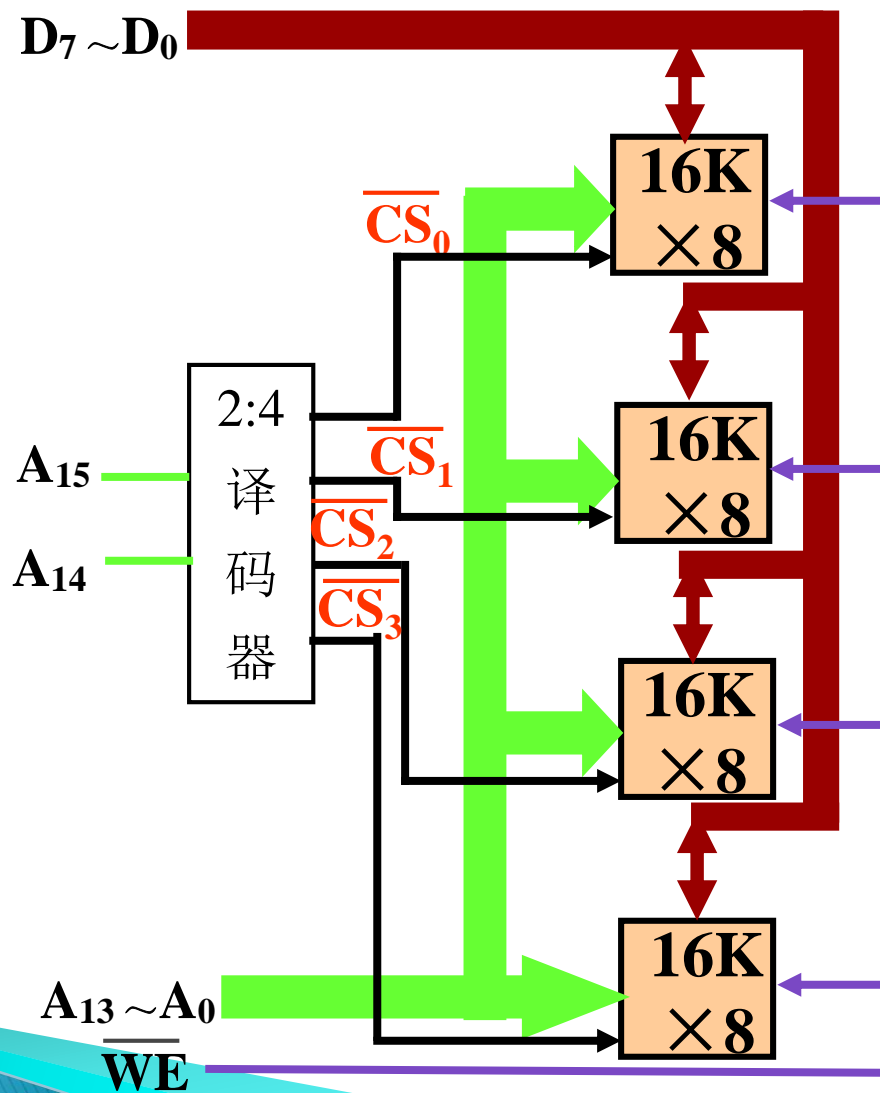
	容量	地址	数据
存储器	$64\text{K} \times 8$	16	8
存储芯片	$16\text{K} \times 8$	14	8



## 5.4 主存储器的连接与控制



## 5.4 主存储器的连接与控制



## 5.4 主存储器的连接与控制

在同一时间内四个芯片中只能有一个芯片被选中。  
四个芯片的地址分配如下：

第一片 最低地址 0000H

最高地址 3FFFH

第二片 最低地址 4000H

最高地址 7FFFH

第三片 最低地址 8000H

最高地址 BFFFH

第四片 最低地址 C000H

最高地址 FFFFH

## 5.4 主存储器的连接与控制

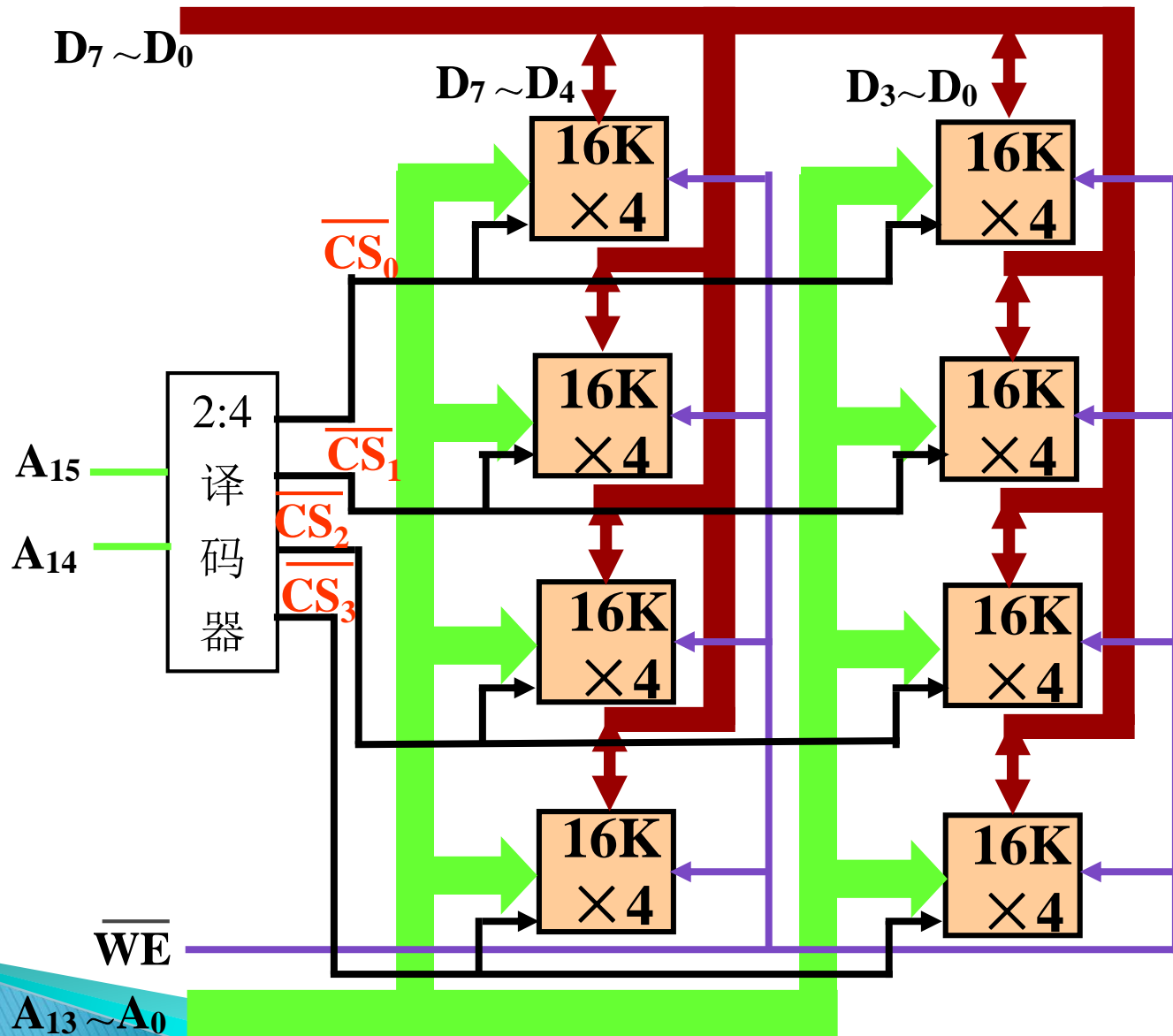
### 3. 字和位同时扩展

当构成一个容量较大的存储器时，往往需要在**字数方向和位数方向上同时扩展**。

如用 $16\text{K} \times 4$ 的SRAM组成 $64\text{K} \times 8$ 的存储器，需要8个芯片。

	容量	地址	数据
存储器	$64\text{K} \times 8$	16	8
存储芯片	$16\text{K} \times 4$	14	4

## 5.4 主存储器的连接与控制



## 5.4 主存储器的连接与控制

### 5.4.2 存储芯片的地址分配和片选

片内的字选是由CPU送出的N条低位地址线完成的，地址线直接接到所有存储芯片的地址输入端（N由片内存储容量 $2^N$  决定），而片选信号则是通过高位地址得到的。

## 5.4 主存储器的连接与控制

### 5.4.2 存储芯片的地址分配和片选

实现片选的方法:

- 线选法
- 全译码法
- 部分译码法。

## 5.4 主存储器的连接与控制

### 1. 线选法

线选法就是用除片内寻址外的高位地址线直接分别接至各个存储芯片的片选端，当某地址线信息为“0”时，就选中与之对应的存储芯片。



## 5.4 主存储器的连接与控制

芯片	$A_{14} \sim A_{11}$	$A_{10} \sim A_0$	地址范围
0#	1 1 1 0	00...0 11...1	7000~ 77FFH
1#	1 1 0 1	00...0 11...1	6800~ 6FFFH
2#	1 0 1 1	00...0 11...1	5800~ 5FFFH
3#	0 1 1 1	00...0 11...1	3800~ 3FFFH

## 5.4 主存储器的连接与控制

### 2.全译码法

全译码法将片内寻址外的全部高位地址线作为地址译码器的输入，把经译码器译码后的输出作为各芯片的片选信号，将它们分别接到存储芯片的片选端，以实现存储芯片的选择。

## 5.4 主存储器的连接与控制

芯片	$A_{19} \sim A_{13}$	$A_{12}$	$A_{11}$	$A_{10} \sim A_0$	地址范围
0#	0 ... 0	0	0	00...0 11...1	00000~ 007FFH
1#	0 ... 0	0	1	00...0 11...1	00800~ 00FFFH
2#	0 ... 0	1	0	00...0 11...1	01000~ 017FFH
3#	0 ... 0	1	1	00...0 11...1	01800~ 01FFFH

## 5.4 主存储器的连接与控制

### 3.部分译码

所谓部分译码即用片内寻址外的高位地址的一部分来译码产生片选信号。

## 5.4 主存储器的连接与控制

### 3.部分译码

如用4片 $2K \times 8$ 的存储芯片组成 $8K \times 8$ 存储器，需要四个片选信号，因此只要用两位地址线来译码产生。

## 5.4 主存储器的连接与控制

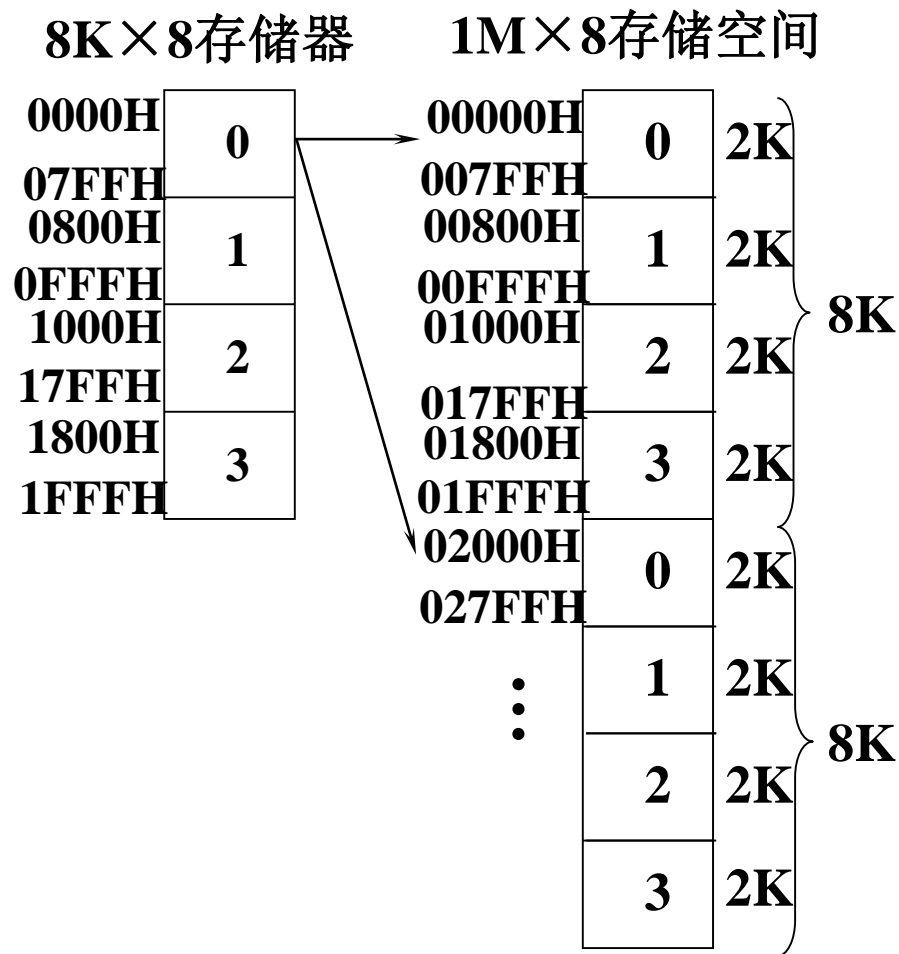
### 3.部分译码

设地址总线有20位 ( $A_{19} \sim A_0$ )，则寻址 $8K \times 8$ 存储器时，无论 $A_{19} \sim A_{13}$  取何值，只要 $A_{12} = A_{11} = 0$ ，而均选中第一片，只要 $A_{12} = 0$ ， $A_{11} = 1$ ，均选中第二片，.....。

也就是说，8K RAM中的任一个存储单元，都对应应有 $2^{(20-13)} = 2^7$  个地址，这种一个存储单元出现多个地址的现象称地址重叠。

## 5.4 主存储器的连接与控制

从地址分布来看，这  
8KB存储器实际上占用  
了CPU全部的空间  
(1MB)。每片 $2K \times 8$   
的存储芯片有  
 $1/4M=256K$ 的地址重  
叠区。



用2114 ( $1K \times 4$ ) SRAM芯片组成容量为 $4K \times 8$ 的存储器。地址总线A15~A0 (低), 双向数据总线D7~D0 (低), 读/写信号线 $R/\bar{W}$ 。给出芯片地址分配与片选逻辑, 并画出M框图。

(1) 先扩展位数, 再扩展单元数。

$$\begin{array}{l} 2\text{片 } 1K \times 4 \longrightarrow 1K \times 8 \\ 4\text{组 } 1K \times 8 \longrightarrow 4K \times 8 \end{array} > \text{8片}$$

(2) 先扩展单元数, 再扩展位数。

$$\begin{array}{l} 4\text{片 } 1K \times 4 \longrightarrow 4K \times 4 \\ 2\text{组 } 4K \times 4 \longrightarrow 4K \times 8 \end{array} > \text{8片}$$



存储器寻址逻辑 { 芯片内的寻址系统  
芯片外的地址分配与片选逻辑

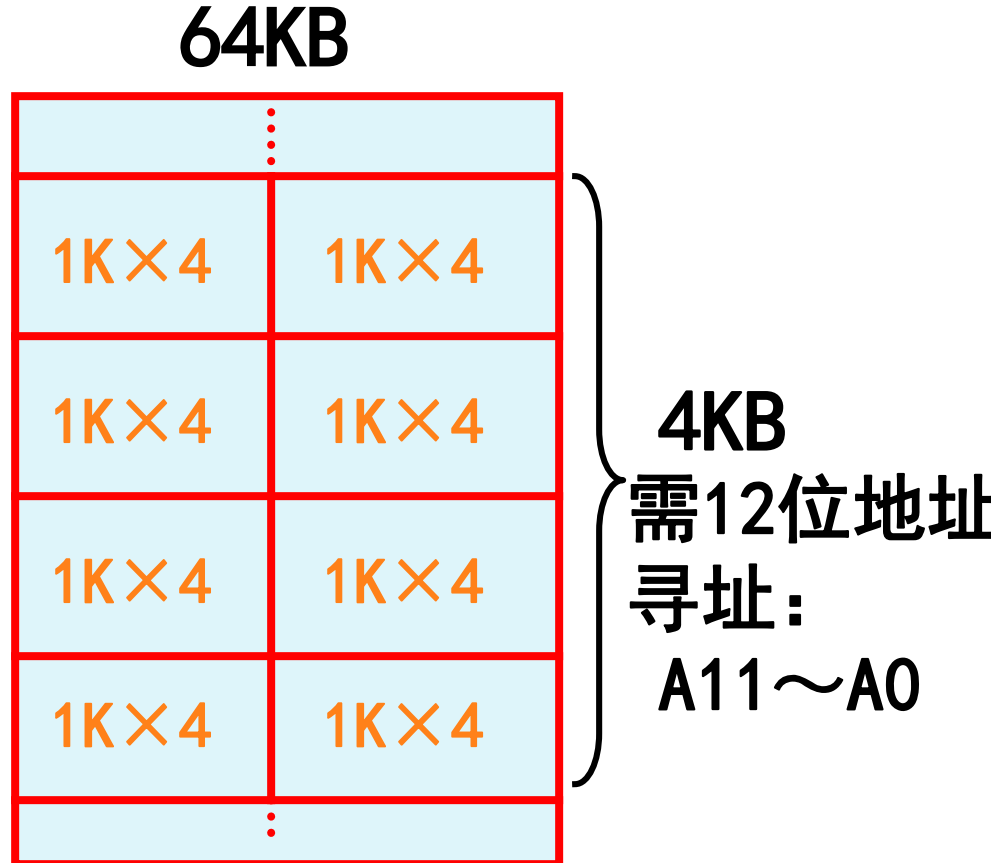
为芯片分配哪几位地址，  
以便寻找片内的存储单元

由哪几位地址形成芯片选择逻辑，  
以便寻找芯片

存储空间分配：

4KB存储器在16位地址空间（64KB）中占据  
任意连续区间。

任意值	片选		芯片地址			
A15...A12	A11	A10	A9	.....	A0	
<	0	0	0	.....	0	
	0	0	1	.....	1	
<	0	1	0	.....	0	
	0	1	1	.....	1	
<	1	0	0	.....	0	
	1	0	1	.....	1	
<	1	1	0	.....	0	
	1	1	1	.....	1	



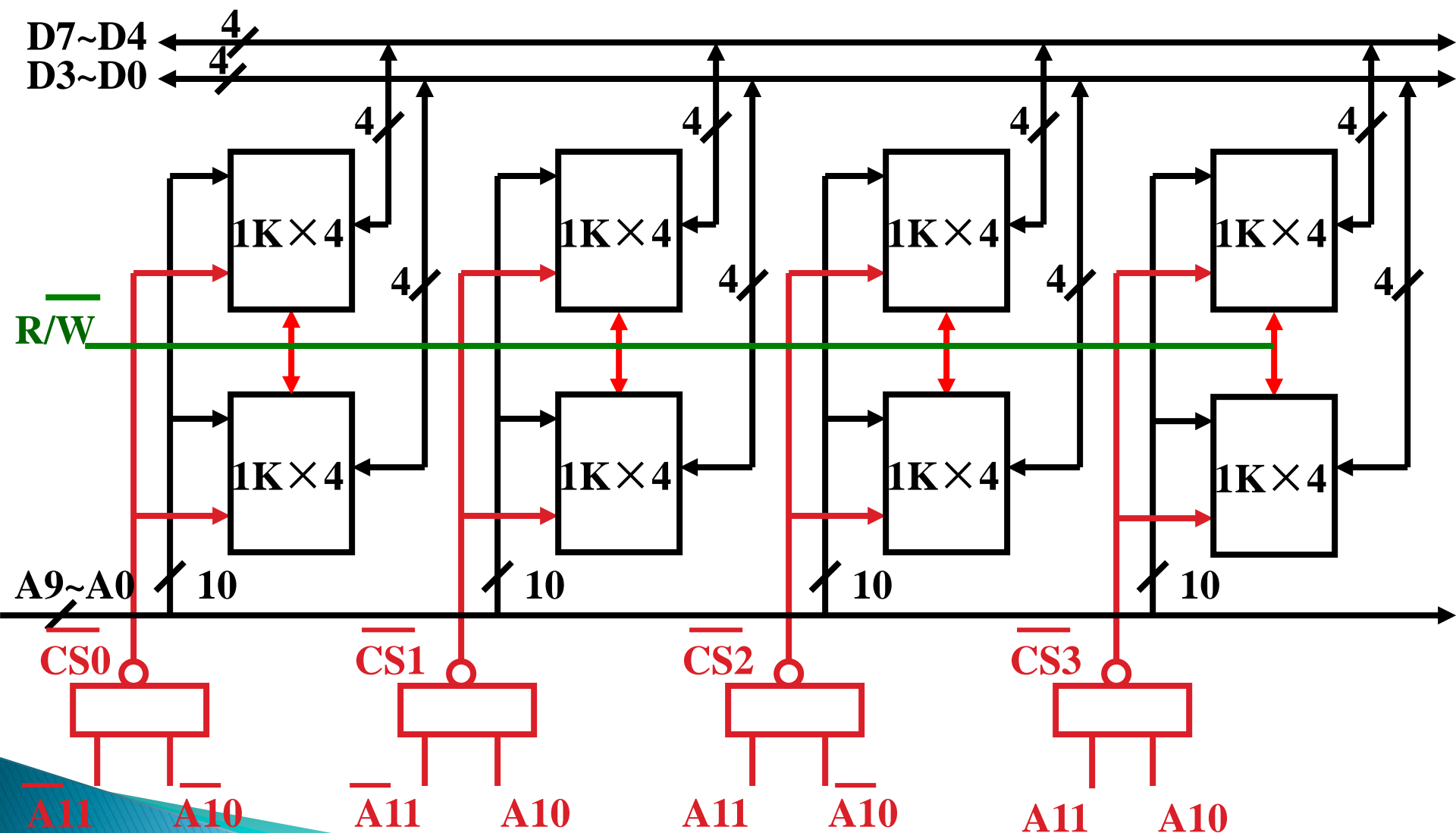
低位地址分配给芯片，高位地址形成片选逻辑。

芯片	芯片地址	片选信号	片选逻辑
1K	A9~A0	CS0	$\overline{A_{11}}\overline{A_{10}}$
1K	A9~A0	CS1	$\overline{A_{11}}A_{10}$
1K	A9~A0	CS2	$A_{11}\overline{A_{10}}$
1K	A9~A0	CS3	$A_{11}A_{10}$

(1) 扩展位数

(2) 扩展单元数

(3) 连接控制线



(4) 形成片选逻辑电路

某半导体存储器容量 $4K \times 8b$ 。其中固化区2KB选用EPROM芯片2716 ( $2K \times 8b$ )；工作区2KB，选用RAM芯片2114 ( $1K \times 4b$ )。地址总线A15~A0 (低)，双向数据总线D7~D0 (低)，读/写信号线R/W。

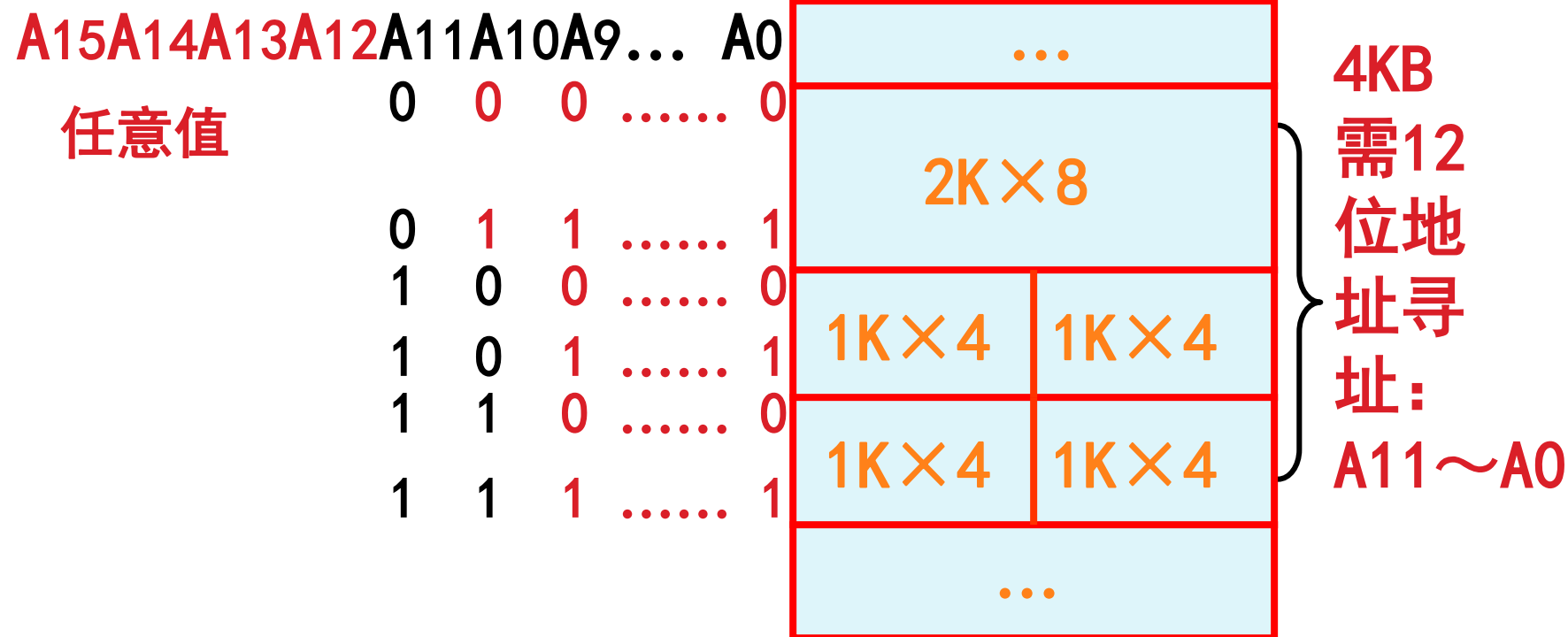
## 1. 计算容量和芯片数

ROM区：2KB

RAM区：2KB 共5片

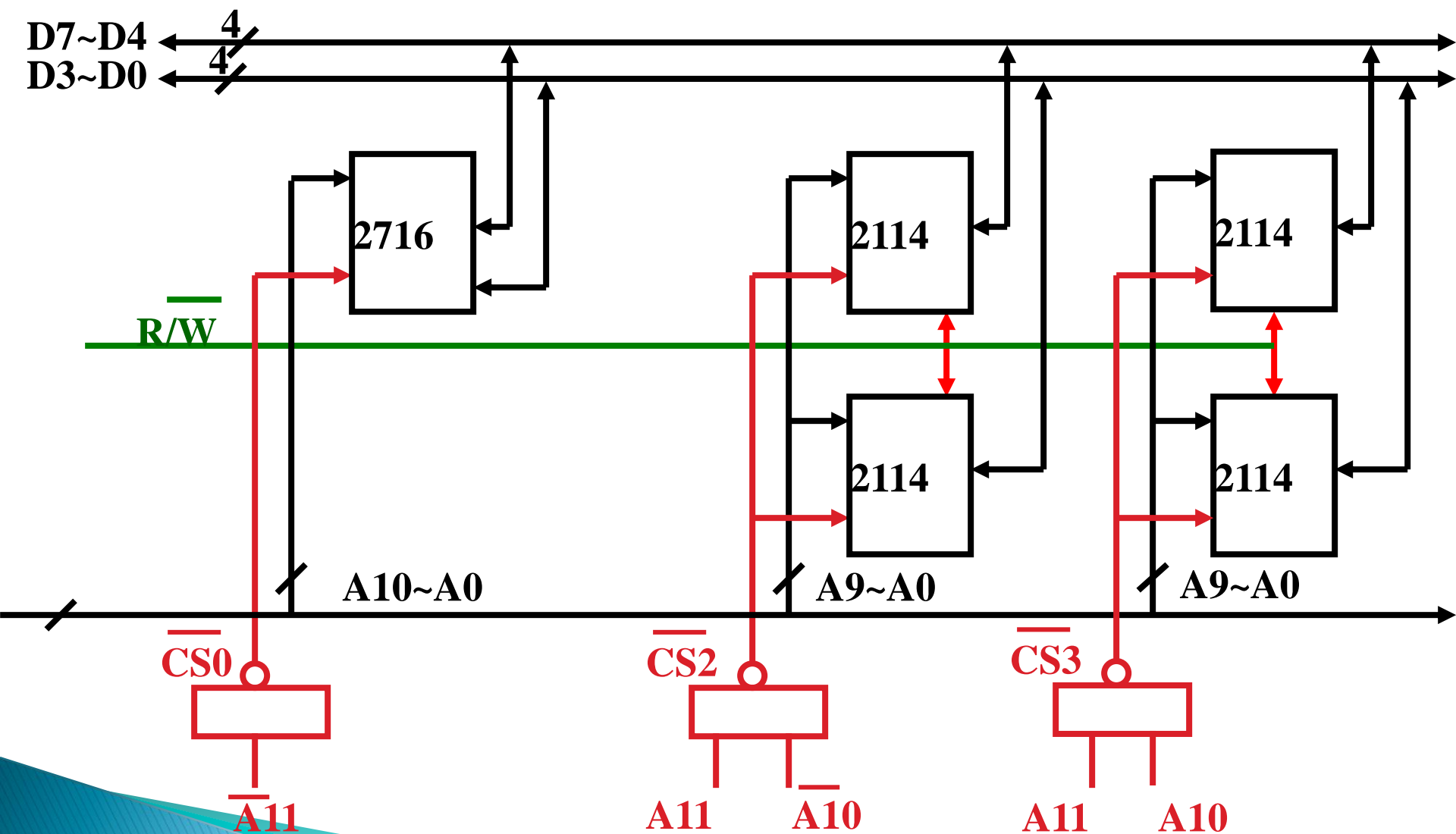
存储空间分配：先安排大容量芯片（放地址低端），再安排小容量芯片。  
便于拟定片选逻辑。

4K × 8b



低位地址分配给芯片，高位地址形成片选逻辑。

芯片	芯片地址	片选信号	片选逻辑
2K	A10 ~ A0	CS0	$\overline{A_{11}}$
1K	A9 ~ A0	CS1	$A_{11} \overline{A_{10}}$
1K	A9 ~ A0	CS2	$A_{11} A_{10}$



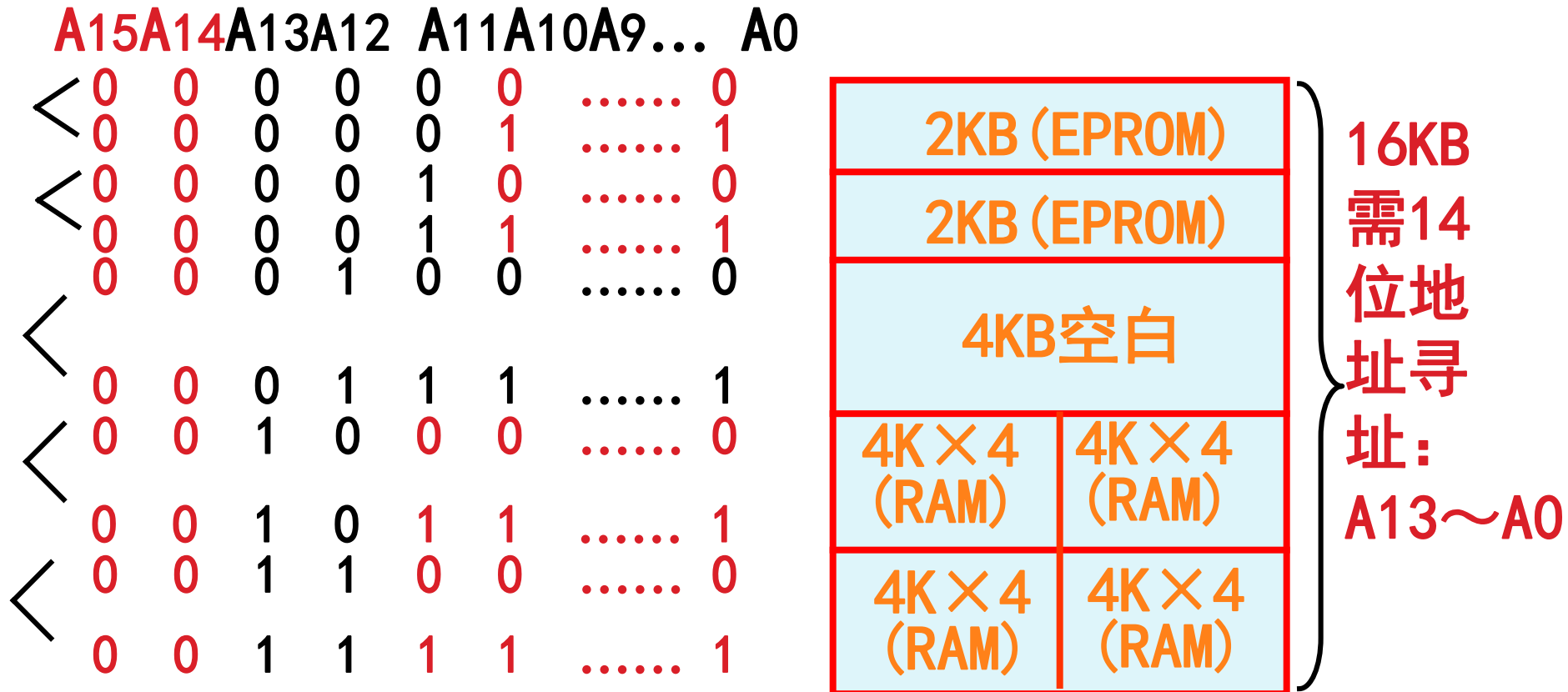
设计一个容量为16KB (按字节编址) 的存储器, 从低地址向高地址依次为4KB固化区 (选用2KB/片的EPROM芯片)、4KB的空区 (无存储芯片)、8KB的随机读/写区 (选用4K×4位的RAM芯片)。CPU的地址总线为A15~A0 (低), 双向数据总线为D7~D0 (低), 读/写控制信号为R/W, 访存请求信号为MREQ。请设计出该存储器, 并与CPU连接。

## 1. 芯片的选择

固化区: 4KB (2片) 随机读/写区: 8KB (4片)

共6片

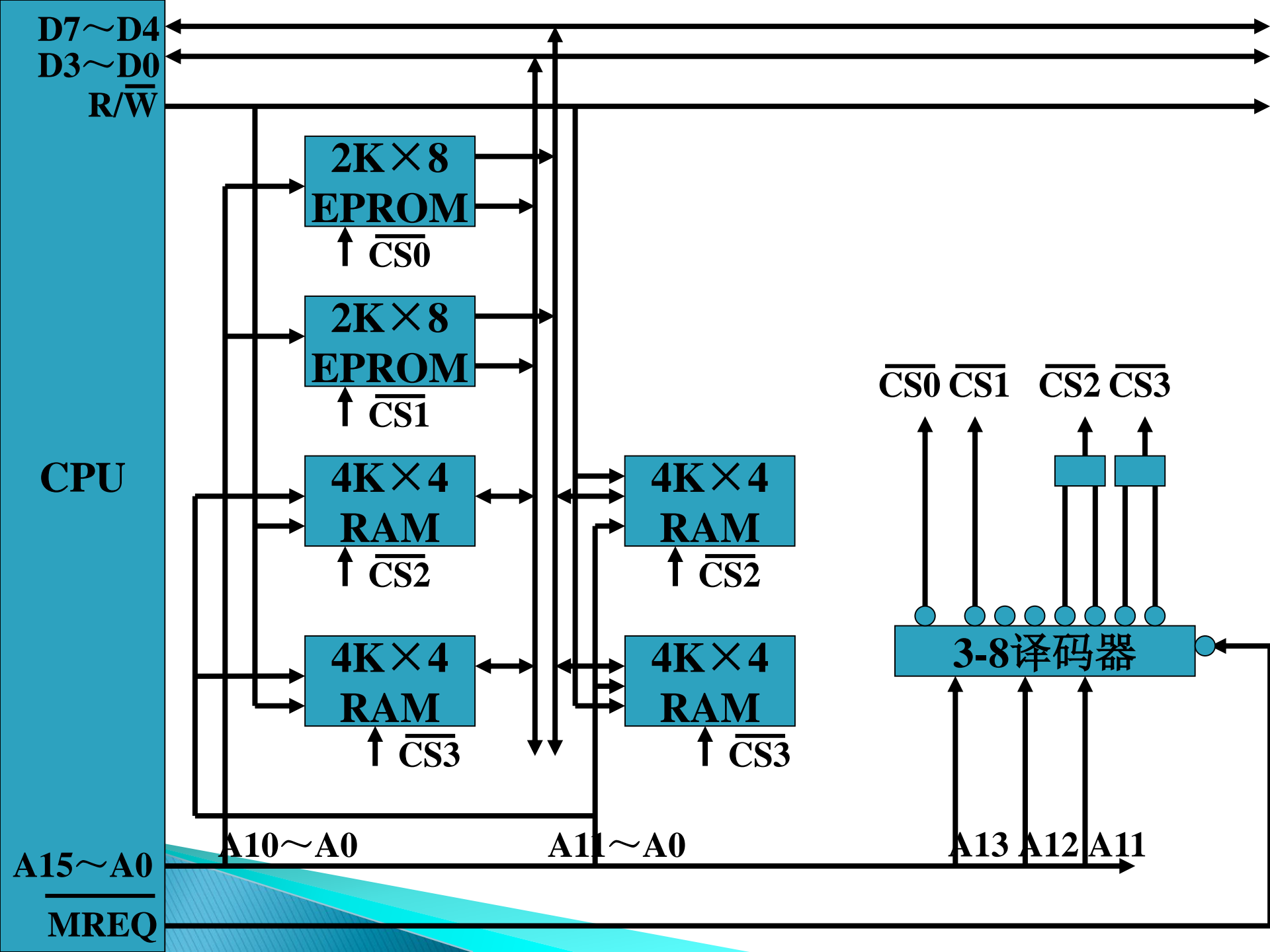
## 2. 地址分配与片选逻辑



低位地址分配给芯片，高位地址形成片选逻辑。

芯片	芯片地址	片选信号	片选逻辑
2K	A10~A0	CS0	$\overline{A13}\overline{A12}\overline{A11}$
2K	A10~A0	CS1	$\overline{A13}\overline{A12}A11$
4K	A11~A0	CS2	$A13\overline{A12}$
4K	A11~A0	CS3	$A13A12$



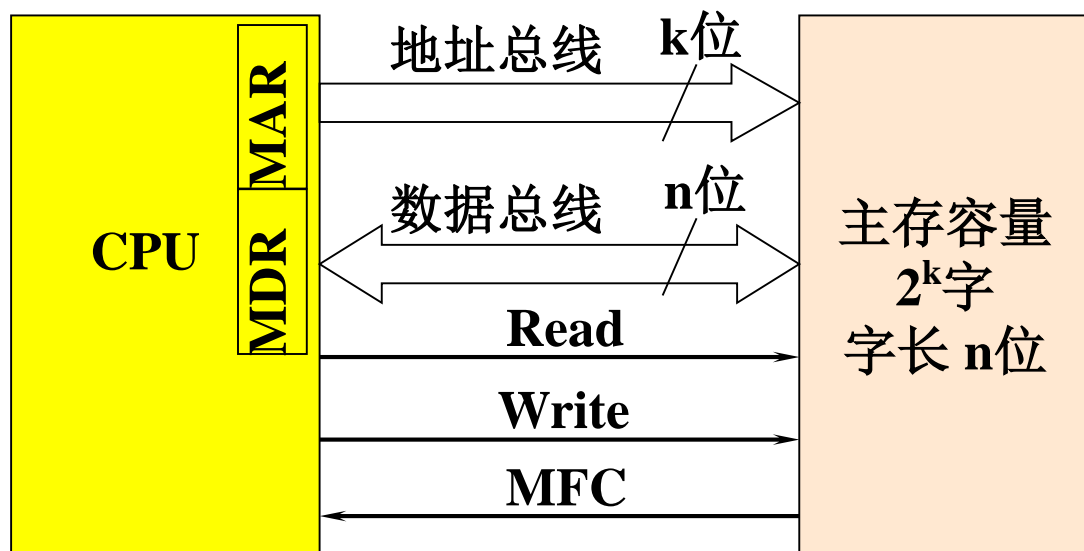


## 5.4 主存储器的连接与控制

### 5.4.3 主存储器和CPU的连接

#### 1. 主存和CPU之间的硬连接

主存与CPU的硬连接有三组连线：地址总线（AB）、数据总线（DB）和控制总线（CB）。



# 5.4 主存储器的连接与控制

## 2.CPU对主存的基本操作

CPU与主存的硬连接是两个部件之间联系的物理基础，而两个部件之间还有软连接，即CPU向主存发出的读或写命令，这才是两个部件之间有效工作的关键。

## 5.4 主存储器的连接与控制

### (1)读

读操作是指从CPU送来的地址所指定的存储单元中取出信息，再送给CPU，其操作过程是：

地址→MAR→AB      CPU将地址信号送至地址总线

Read                  CPU发读命令

Wait for MFC          等待存储器工作完成信号

((MAR))→DB→MDR    读出信息经数据总线送至CPU

## 5.4 主存储器的连接与控制

### (2)写

写操作是指将要写入的信息存入CPU所指定的存储单元中，其操作过程是：

地址→MAR→AB CPU将地址信号送至地址总线

数据→MDR→DB CPU将要写入的数据送至数据总线

Write CPU发写命令

Wait for MFC 等待存储器工作完成信号

## 5.4 主存储器的连接与控制

### 5.4.4 PC系列微机的存储器接口

数据总线一次能并行传送的位数，称为总线的数据通路宽度，常见的有8位、16位、32位、64位几种。但大多数主存储器常采取字节编址，每次访问允许读/写8位，以适应对字符类信息的处理。

## 5.4 主存储器的连接与控制

### 5.4.4 PC系列微机的存储器接口

#### 1.8位存储器接口

如果数据总线为8位（如微机系统中的PC总线），而主存按字节编址，则匹配关系比较简单。一个总线周期中读/写8位。

## 5.4 主存储器的连接与控制

### 2.16位存储器接口

对于16位的微处理器8086（或80286），在一个总线周期内可读/写两个字节，即先送出偶地址，然后同时读/写这个偶地址单元和随后的奇地址单元，用低8位数据总线传送偶地址单元的数据，用高8位数据总线传送奇地址单元的数据，这样读/写的字（16位）被称为**规则字**。

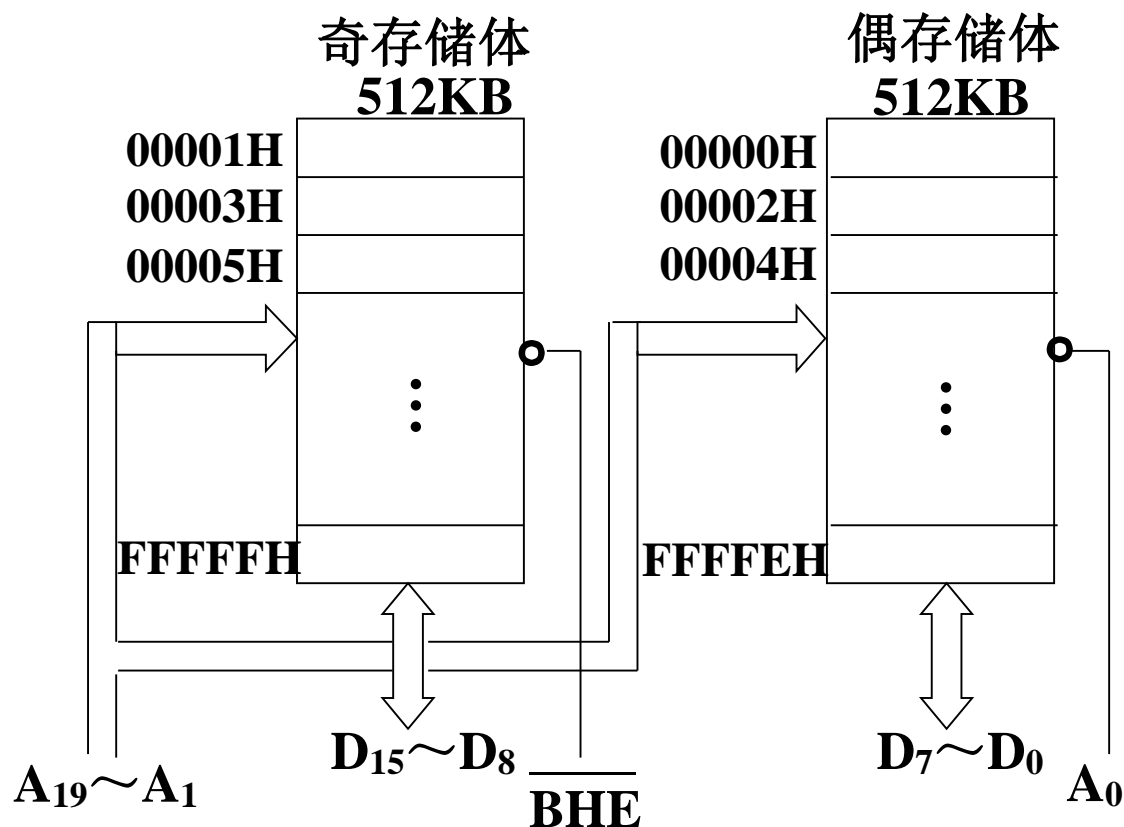


## 5.4 主存储器的连接与控制

如果读/写的是非规则字，即是从奇地址开始的字，这时需要安排两个总线周期才能实现。

8086微处理器的地址线 $A_{19} \sim A_1$ 同时送至两个存储体， $\overline{BHE}$ （高位存储体）和最低位地址线 $A_0$ 用来选择一个或两个存储体进行数据传送。

## 5.4 主存储器的连接与控制



## 5.4 主存储器的连接与控制

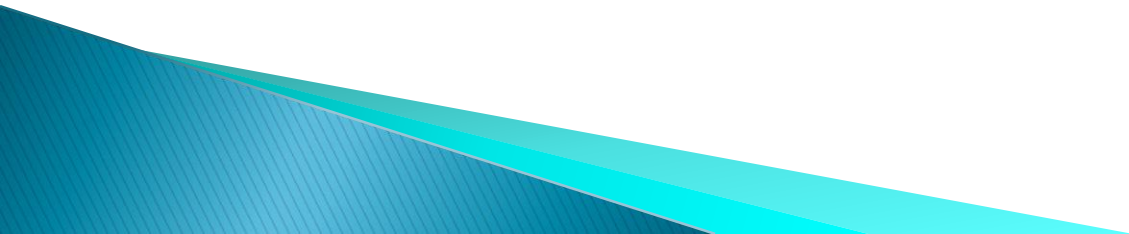
8086微处理器的地址线 $A_{19} \sim A_1$ 同时送至两个存储体， $\overline{BHE}$ （高位存储体）和最低位地址线 $A_0$ 用来选择一个或两个存储体进行数据传送。

$\overline{BHE}$	$A_0$	特征
0	0	全字（规则字）传送
0	1	在数据总线高8位上进行字节传送
1	0	在数据总线低8位上进行字节传送
1	1	备用

# 5.4 主存储器的连接与控制

3.32位存储器接口

4.64位存储器接口





5.1 存储系统的组成

5.2 主存储器的组织

5.3 半导体随机存储器和只读存储器

5.4 主存储器的连接与控制

**5.5 提高主存读写速度的技术**

5.6 多体交叉存储技术

5.7 高速缓冲存储器

5.8 虚拟存储器



## **5.5 提高主存读写速度的技术**

### **5.5.1 RAM与CPU速度的匹配**

### **5.5.2 FPM DRAM（快速页模式随机存储器）**

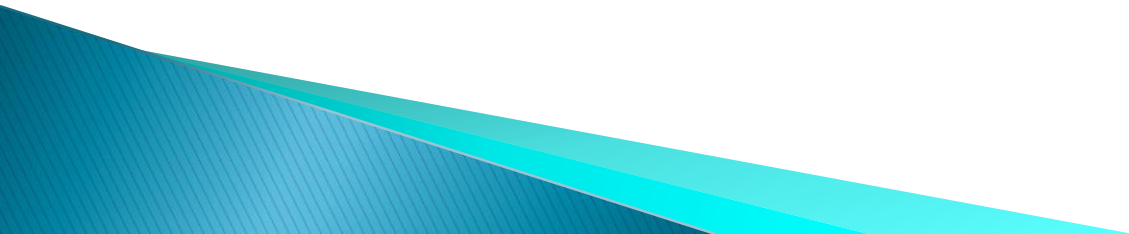
### **5.5.3 EDO DRAM（扩展数据输出 DRAM）**


### **5.5.4 SDRAM（同步DRAM）**

### **5.5.5 DDR SDRAM（双数据传输率同步动态随机存储器）**

### **5.5.6 DDR2 SDRAM和DDR3 SDRAM**

### **5.5.7 Rambus DRAM**





5.1 存储系统的组成

5.2 主存储器的组织

5.3 半导体随机存储器和只读存储器

5.4 主存储器的连接与控制

5.5 提高主存读写速度的技术

**5.6 多体交叉存储技术**

5.7 高速缓冲存储器

5.8 虚拟存储器



## 5.6 多体交叉存储技术

### 5.6.1 并行访问存储器

常规的主存是单体单字存储器，只包含一个存储体。在高速的计算机中，普遍采用并行主存系统，即在一个存取周期内可以并行读出多个字，依靠整体信息吞吐率的提高，以解决CPU与主存之间的速度匹配问题。



## 5.6 多体交叉存储技术

### 5.6.1 并行访问存储器

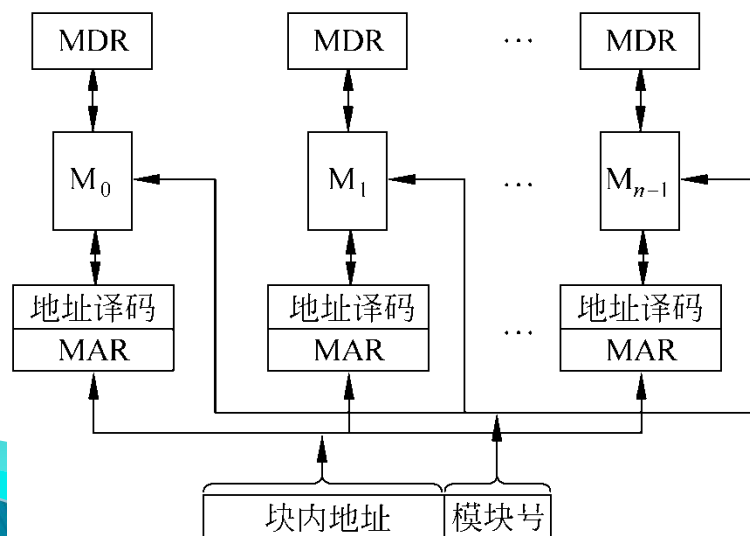
多个并行工作的存储器共有一套地址寄存器和译码电路，按同一地址并行地访问各自的对应单元。

并行访问存储器按地址在一个存取周期内可读出 $n \times w$ 位的指令或数据，使主存带宽提高 $n$ 倍。

# 5.6 多体交叉存储技术

## 5.6.2 交叉访问存储器

交叉访问存储器中有多个容量相同的存储模块（存储体），而且各存储模块具有各自独立的地址寄存器、读写电路和数据寄存器，这就是多体系统。各个存储体能并行工作，又能交叉工作。



1.有一个  $16\text{K} \times 16$  位的存储器，由  $1\text{K} \times 4$  位的 DRAM 芯片构成（芯片是  $64 \times 64$  结构）。问：

(1)共需要多少 RAM 芯片？

(2)存储体的组成框图。

2.某半导体存储器容量  $7\text{K} \times 8\text{b}$ 。其中固化区  $4\text{K} \times 8\text{b}$  可选 EPROM 芯片：  $2\text{K} \times 8\text{b}/\text{片}$ ；随机读写区  $3\text{K} \times 8\text{b}$ ，可选 SRAM 芯片  $2\text{K} \times 4\text{b}/\text{片}$ 、  $1\text{K} \times 4\text{b}/\text{片}$ 。地址总线  $A_{15} \sim A_0$  (低)，双向数据总线  $D_{7} \sim D_0$  (低)，R/W 控制读/写。另有控制信号 MREQ，低电平是允许存储器工作。设计并画出存储器逻辑图。