第2次小测

一、填空题

1. 1个全加器可进行 1 位的加法运算。进位产生函数是 Gi=AiBi ，进位传递函数是 Pi=AiBi 。

2. 影响并行加法器运算速度的关键因素是 进位信号的产生与传递 ，组合逻辑电路的基本元器件是 门电路 。

溢出判断有3种方法 采用单符号位 、采用变形补码（双符号位补码）、 采用进位位 ，第2种方法 双符号位不同 时表示发生溢出， 01 表示发生正溢， 10 表示发生负溢。

4. 设机器字长8位（含1位符号位），若机器数0BAH为原码，则算术左移一位的结果是 0F4H ，其补码形式算术右移一位的结果是 0E3H 。

5. 如果采用末位恒置1法进行舍入处理，则0.01010110011舍去最后一位后，结果为 0.0101011001 。

6. 定点原码乘法运算中，假设参加运算的数据有效位为4位，则需进行 4 次加法操作和 4 次移位操作，若当前判断条件为cn=1，部分和为Ax，被乘数为B，乘数为C，则应该进行的操作可表示为 1/2(Ax+B) 。

7. 定点补码乘法运算（Booth乘法）中，进行运算之前，首先必须要在C寄存器末尾 补0 ，下步执行何种操作的判断条件是 CnCn+1 ， 10 时执行1/2(A补－Y补)操作， 00或11 执行1/2(A补)操作。假设参加运算的数据有效位为4位，则需进行 5 次加法操作和 4 次移位操作。

8. 浮点数加减运算的步骤包括 对阶 、 尾数相加减 、 尾数规格化 、 舍入 、 溢出判断 。尾数为 00.0XX…X 和 11.1XX…X 形式时，需进行左规处理，尾数为 01.XXX…X 和 10.XXX…X 形式时，需进行右规处理。

9. 为缓解速度、容量、位价格的矛盾，将存储器设计为Cache存储系统和虚拟存储系统，其中Cache存储系统是为解决 主存速度不足 问题而设计的，虚拟存储系统是为解决 主存容量不足 问题而设计的。

10.小端方案的特点是 低字节数据存储在低位地址空间，高字节数据存储在高位地址空间 大端方案的特点是低字节数据存储在高位地址空间，高字节数据存储在低位地址空间。假设某数据为0ABCDH，存储在0C0H起始的单元中，已知存储器采用大端方案，字节编址方式，则0C1H单元中存储的数据为 0CDH 。

11.刷新的目的是 给电容补充电荷，以保证数据不受破坏 ，刷新方法有 集中式 、 分散式 、 异步式 3种，最大刷新间隔是 2ms 。

12.SRAM集成度 低 ，功耗 高 ，存取速度 快 ，常用来构成 Cache 存储器；DRAM集成度 高 ，功耗 低 ，存取速度 慢 ，常用来构成 主存 存储器。

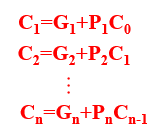
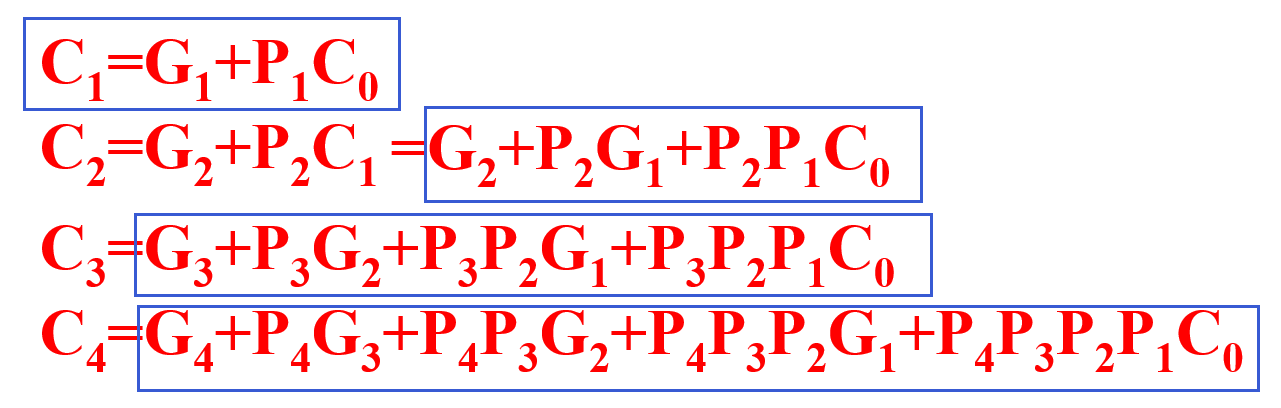
13.主存到Cache的地址映像方法包括 全相联映像 、 直接映像 、 组相联映像。

14.Cache命中率的公式h=Nc/(Nc+Nm)，平均访存时间的公式ta=htc+(1-h)tm，访问效率的公式是 e=tc/ta 。

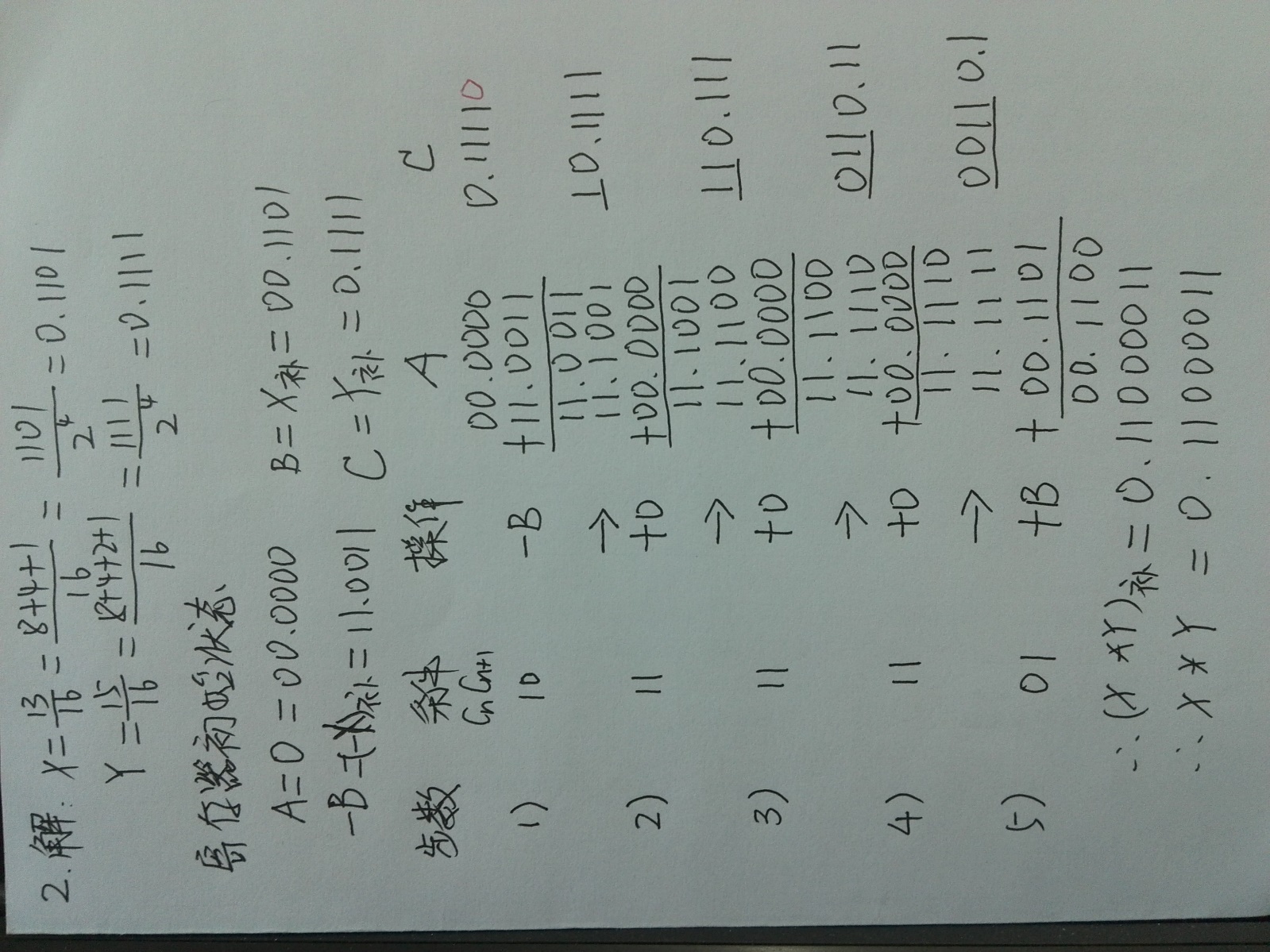
二、计算题

1. 某并行加法器，通常以4个加法器组成一个小组，组内的进位信号用A1、A2、A3、A4表示，请写出组内并行进位和串行进位的进位信号的逻辑表达式。

串行进位： 并行进位：

2. 使用Booth乘法计算(13/16)\*(15/16)。



3. P165页5-19，不用画MREQ信号，写出具体步骤：1）计算芯片数量、2）地址分配与片选逻辑、3）画图。

