

基于FPGA的RGB到YUV422的数字视频转换

·实用技术·

苏磊,张登福,刘涛
(空军工程大学 工程学院,陕西 西安 710038)

【摘要】设计了一种新的RGB和YUV的转换方法,用FPGA取代专用的视频处理芯片,用Verilog HDL编写了相关的程序,实现了视频信号格式由RGB到YUV422的转换,并且在Quartus II软件上进行了仿真验证,结构简单,有较高的实用价值和广阔的应用前景。

【关键词】RGB;YUV;数字视频;Verilog HDL

【中图分类号】TN941.3 **【文献标识码】**A

Digital Video Conversion from RGB to YUV422 Based on FPGA

SU Lei, ZHANG Deng-fu, LIU Tao
(Engineering College, Air Force Engineering University, Xi'an 710038, China)

【Abstract】 By introducing the structure of YUV422 and the steps of the conversion, the format of the video is changed from RGB to YUV422, which is designed by Verilog HDL. The experimental results show that the proposed approach can make up the shortcomings of the classical conversion scheme in digital video process, and it has broad prospect in video signal conversion.

【Key words】 RGB; YUV; digital video; Verilog HDL

1 引言

数字视频技术,在国民经济、国防建设以及科学实验等各个领域获得了广泛应用^[1-4],然而实际使用中有许多不同的视频格式,如RGB,YUV等^[5],为了对视频数据进行标准的处理、显示和记录等,对不同的格式进行相互转换,成为一个重要而有意义的问题。

针对这一问题,本文以Altera公司的一款FPGA EP2C8T144C8为载体,用Verilog HDL语言^[6]编写了相关

的程序,设计了一种从RGB到YUV422数字视频转换的方法,实现了数字视频信号色度空间的转换。

2 基本原理

2.1 YUV422的信号格式

YUV422信号的格式^[7]如表1所示,其中Y分量表示亮度信息,取值范围0~719;U和V分量表示色度信息,取值范围0,2,4,...,718;SAV(Start of Active Video)和EAV(End of Active Video)称作视频时间基准代码。

表1 YUV422信号格式

区间名称	消隐期(66)	SAV(2)	空白(40)	YUV422数据信号(640)	空白(40)	EAV(2)	消隐期(67)
代码格式	...00,00	FF,00,00,XY	...00,00...	U0, Y0, V0, Y1, U2, Y2, ..., U718, Y719	...00,00...	FF,00,00,XY	00,00...
时间(共857)	0~65	66,67	68~107	108~747	748~787	788,789	790~856

SAV和EAV是YUV422中的两个重要信号。SAV和EAV均为32 bit,用十六进制表示为“FF,00,00,XY”,它们的前24 bit相同,而后8 bit(即XY)包含有场信号的区分标志和保护字等信息。

2.2 RGB转换成YUV的原理

由RGB转换成YUV的公式^[1-5]如下所示

$$\begin{cases} Y=0.299R+0.587G+0.114B \\ U=-0.147R-0.289G+0.436B \\ V=0.615R-0.515G-0.100B \end{cases} \quad (1)$$

观察式(1)可以发现,3个分量的转换均需要乘加运

算,并且公式中用到了小数,为了便于进行数字转换,对系数进行放大,式(1)转换为式(2),如下所示

$$\begin{cases} Y=(306R+601G+117B)/1\ 024 \\ U=(-151R-296G+446B)/1\ 024 \\ V=(630R-527G-103B)/1\ 024 \end{cases} \quad (2)$$

3 程序设计

由于传送的RGB信号为640×480(即每行640个像素点,每场480行),位数为16位,而YUV422的传送格式为720×480,位数为8位,故首先需要将得到的信号分

成两部分,即用奇偶场的方式,将信号分成两部分来传送,其次对于传送的每一帧 YUV422 图像,需要在两边各加上 40 个时钟的消息时间,从而将 640 个像素点变换成 720 个像素点,这也是程序的关键步骤。

程序的总体流程图如图 1 所示,图 2 即根据图 1 在 Quartus II 软件中设计的程序的顶层模块。

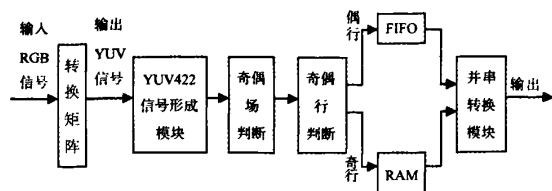


图 1 程序总体流程图

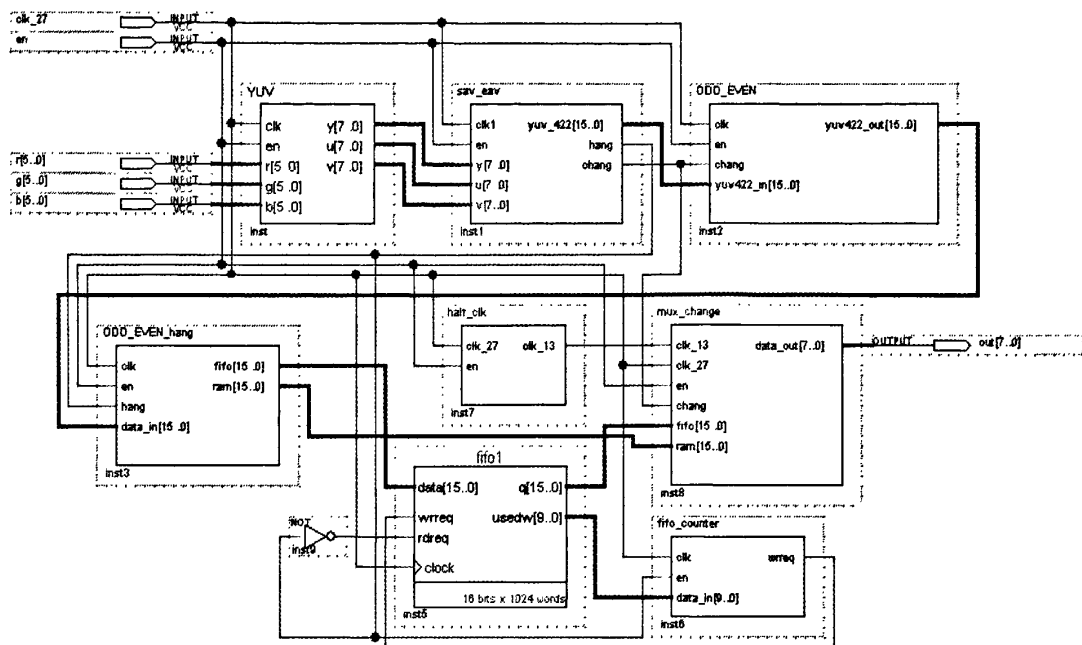


图 2 顶层设计

3.1 转换矩阵设计

由外界送入 FPGA 内部的 18 位 RGB 信号,首先根据式(2),经过转换矩阵的作用,转换成 24 位的 YUV 并行信号。转换矩阵的逻辑运算表示为一组乘法器和加法器,EP2C8T144C8 有 36 个 9 bit 的增强型乘法器,可以保证快速、高精度完成这一转换^[9]。

3.2 YUV422 信号形成模块

经过第一步转换矩阵,得到的是 24 位并行 YUV 信号,需要按照 YUV422 的数据格式,插入视频时间基准代码 SAV 和 EAV 及消隐期的空白填充信号,从而转换成 16 位的 YUV422 格式的信号(如表 1 所示)。

用 Verilog HDL 编写此部分的程序 sav_eav,考虑到接下来要对数据的奇偶场和奇偶行进行处理,故在此程序中设置了 3 个计数器 i,j,k,分别用来确定 uy_vy 的格式和输出奇偶场信号 chang 和奇偶行信号 hang,用 0 表示奇场(行),1 表示偶场(行)。

图 3 是用 Quartus II 软件对程序 sav_eav 进行仿真的结果。由仿真波形可以明显看到形成的 YUV422 格式的信号 yuv_422 以及奇偶场判断信号 chang 和奇偶行判

断信号 hang。

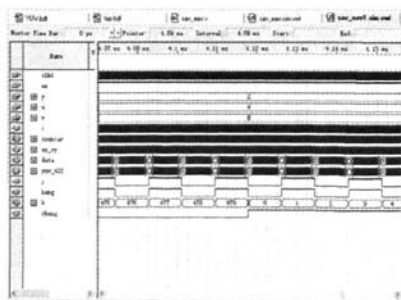


图 3 sav_eav 的仿真结果

3.3 奇偶场和奇偶行判断模块

考虑到实际应用中对图像分辨率的要求,并不是所有 RGB 像素都是必须的,而是只要每两场图像中截取一场就可以了,而且还可以节省带宽、提高图像的传输速率。故在此设置了一个奇偶场判断模块,只传输奇场信号,而将偶场信号舍弃。然后再让奇场信号(480×720×16 bit)进入奇偶行判断模块,分作奇行(240×720×16)和

(下转第 115 页)

控制字为 $M=4096$, 系统的时钟频率为 $f_c=100\text{ MHz}$, 先在 Quatus II 软件中对用 Verilog HDL 所写的程序进行功能仿真, 其结果如图 4 所示。

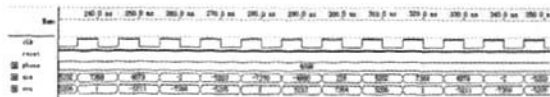


图 4 Quatus II 功能仿真结果

在 Quatus II 软件将 VWF 文件转换成 TBL 文件并用 Matlab 进行仿真, 其波形如图 5 所示。

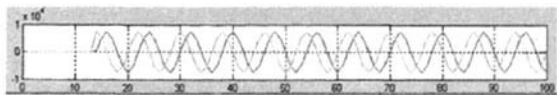


图 5 Matlab 仿真波形图

6 小结

设计 NCO 的方法有很多种, 本文讨论的是一种在 FPGA 中采用流水线结构 CORDIC 算法设计 NCO 的方法, 该算法不但结构简单, 耗费资源少, 而且其移位相加

(上接第 106 页)

偶行 ($240 \times 720 \times 16$), 分别存入 256 Kbyte 的 RAM 和 $720 \times 16\text{ bit}$ 的 FIFO, 运用乒乓操作的原理进行传输。

3.4 存储器模块

存储器模块是依照乒乓操作的需要, 对输入的信号进行暂时的存放。偶行经过 FIFO 直接往下传输, 奇行信号先暂时存入 RAM, 在一场偶行信号读取完成之后再行读取, 即占用的是变为空白的偶场信号的时间。

3.5 并串转换模块

并串转换模块是信号处理的最后一个模块, 它首先类似一个二选一的数据选择器, 在不同的时间段循环接收来自 FIFO 和 RAM 的信号, 然后再将 16 位的并行信号转换成 8 位的串行传输信号, 输出最终所要传输的 YUV422 的 8 位串行信号。

图 4 为并串转换程序 max_change 的仿真波形, 在图中, fifo 的数据被设为“40E8, 7FED”循环, ram 的数据被设为“0702, 8FC7”循环, chang 为奇偶场信号, chang 等于 0 时, 来自 fifo 的数据被输出, chang 等于 1 时, 来自 ram 的数据被输出, 依次交替进行, 可以清楚的看到, 在奇场条件下, 输出信号为“E8, 40, ED, 7F”, 在偶场条件下, 输出信号为“02, 07, C7, 8F”, 即将 16 位的并行数据转换成 8 位的串行数据, 从而可以进行后续的处理。

4 小结

笔者将 Verilog 硬件描述语言应用于数字视频处理中, 设计了一个基于 FPGA 的 RGB 到 YUV422 数字频转换的实现方法, 创新点在于在单片的 FPGA 上即实现了

结构非常适合在 FPGA 中实现, 随着数字信号处理技术的日趋发展, 基于流水线结构 CORDIC 算法设计的 NCO 必将在 FPGA 设计中获得越来越广泛的应用。

参考文献:

- [1] 姜宇柏, 游思晴. 软件无线电原理与工程应用[M]. 北京: 机械工业出版社, 2007.
- [2] 王宁琛, 于东海, 费益俊. 基于 CORDIC 算法的数控制振荡器的 FPGA 设计[J]. 电子设计应用, 2007(12): 15-18.
- [3] 王梦源, 王书省, 陈星. 流水线双模 CORDIC 算法的 FPGA 实现[J]. 电子测量技术, 2007(9): 184-185.
- [4] 郑瑾, 葛临东. 基于流水线 CORDIC 算法的数字下变频实现[J]. 现代雷达, 2006(10): 62-64.

作者简介:

黄少俊(1970-), 硕士, 从事数字图像处理、地面数字电视技术研究及应用;

郝禄国(1968-), 博士生, 主研数字信息处理、视频编码技术。

责任编辑: 任健男

收稿日期: 2009-03-24

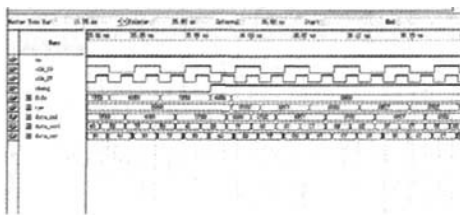


图 4 max_change 仿真波形

数字视频的转换, 而不需要专用的视频处理芯片, 简化了硬件结构, 具有广泛的应用领域和较高的经济价值。

参考文献:

- [1] 海因维希·郎格. 色度学与彩色电视[M]. 张永辉, 译. 北京: 中国电影出版社, 1985.
- [2] 夏宇闻. Verilog 数字系统设计教程[M]. 北京: 北京航空航天大学出版社, 2003.
- [3] 胡伏原. 肤色检测研究[C]//第三届信号与信息处理全国联合学术会议论文集. 四川, 雅安: 中国电视学学会, 2004: 58-63.
- [4] 阮秋琦. 数字图像处理学[M]. 北京: 电子工业出版社, 2001.
- [5] 刘清堂, 王忠华, 陈迪. 数字媒体技术导论[M]. 北京: 清华大学出版社, 2008.
- [6] 白宗元, 胡宝霞. 基于 SoPC 的视频编解码 IP 核的实现[D]. 哈尔滨: 哈尔滨理工大学计算机学院, 2007.

作者简介:

苏磊(1985-), 硕士生, 主研图像处理与模式识别;

张登福(1968-), 教授, 研究方向为图像处理、图像分析、数据压缩;

刘涛(1986-), 硕士生, 主研图像处理与模式识别。

责任编辑: 任健男

收稿日期: 2009-03-16