



(12) 发明专利

(10) 授权公告号 CN 102164250 B

(45) 授权公告日 2014. 04. 30

(21) 申请号 201110046568. 3

US 2008/0150057 A1, 2008. 06. 26, 全文.

(22) 申请日 2011. 02. 17

US 2009/0109307 A1, 2009. 04. 30, 全文.

CN 1437388 A, 2003. 08. 20, 全文.

(30) 优先权数据

12/708, 330 2010. 02. 18 US

审查员 王从雷

(73) 专利权人 美商豪威科技股份有限公司

地址 美国加利福尼亚州

(72) 发明人 W·郑 戴幸志 钱胤 H·李

H·E·罗兹

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

代理人 毛力

(51) Int. Cl.

H04N 5/374 (2011. 01)

H04N 5/3745 (2011. 01)

H04N 5/367 (2011. 01)

(56) 对比文件

US 2004/0051124 A1, 2004. 03. 18, 全文.

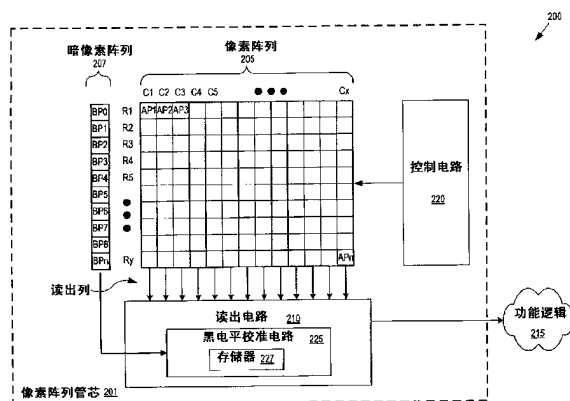
权利要求书3页 说明书7页 附图10页

(54) 发明名称

具有改良式黑电平校准的图像传感器

(57) 摘要

本发明公开一种能够进行黑电平校准的成像系统,该成像系统包括成像像素阵列、至少一个黑基准像素以及周边电路。该成像像素阵列包括各自经耦合以捕获图像数据的多个有效像素。该黑基准像素经耦合以产生用于校准该图像数据的黑基准信号。光透射层设置于包括该成像系统的像素阵列管芯的第一面上,且覆盖至少该成像像素阵列和黑基准像素。光屏蔽层设置于该像素阵列管芯的该第一面上,且覆盖光透射层的一部分和该黑基准像素而不覆盖该成像像素阵列。



1. 一种成像系统,包括:

成像像素阵列,其集成于像素阵列管芯上,所述成像像素阵列包括各自耦合以捕获图像数据的多个有效像素;

至少一个黑基准像素,其集成于所述像素阵列管芯上,所述至少一个黑基准像素耦合以产生用于校准所述图像数据的黑基准信号;

周边电路,其集成于所述像素阵列管芯上,所述周边电路经耦合以接收所述图像数据和所述黑基准信号;

多个抗反射层,所述抗反射层设置于所述像素阵列管芯的第一面上,且至少覆盖所述成像像素阵列和所述至少一个黑基准像素;以及

光屏蔽层,其设置于所述像素阵列管芯的所述第一面上,且覆盖所述多个抗反射层的一部分和所述至少一个黑基准像素而不覆盖所述成像像素阵列。

2. 如权利要求1所述的成像系统,其特征在于,所述成像系统包括互补金属一氧化物一半导体(“CMOS”)背面照明式成像系统,且所述第一面包括所述像素阵列管芯的背面。

3. 如权利要求2所述的成像系统,其特征在于,所述多个抗反射层包括第一和第二抗反射层,所述光屏蔽层直接设置在所述第一和第二抗反射层中的一个抗反射层上,且所述光屏蔽层使用湿法蚀刻工艺进行图案化和蚀刻。

4. 如权利要求2所述的成像系统,其特征在于,所述光屏蔽层包括金属层,所述金属层覆盖所述至少一个黑基准像素和所述周边电路的至少一部分。

5. 如权利要求4所述的成像系统,其特征在于,所述周边电路包括经耦合以从所述成像像素阵列读出成像数据的读出电路,以及用于控制所述成像像素阵列的操作的控制电路。

6. 如权利要求4所述的成像系统,其特征在于,还包括设置于所述光屏蔽层与所述多个抗反射层之间的应力调整层,其中所述应力调整层包括具有内应力的材料层,所述内应力抵消由所述光屏蔽层施加的应力以减少在所述成像像素阵列中的第一像素与所述至少一个黑基准像素之间所产生的暗电流差,其中所述应力调整层不覆盖所述成像像素阵列。

7. 如权利要求2所述的成像系统,其特征在于,还包括设置于所述光屏蔽层与所述多个抗反射层之间的缓冲层,其中所述缓冲层包括绝缘材料,所述绝缘材料覆盖所述周边电路的至少一部分,但不覆盖所述至少一个黑基准像素或所述成像像素阵列。

8. 如权利要求7所述的成像系统,其特征在于,所述缓冲层包括相对于所述多个抗反射层中的邻近抗反射层具有蚀刻选择性的材料。

9. 如权利要求7所述的成像系统,其特征在于,还包括应力调整层,所述应力调整层沿着所述应力调整层的第一部分设置于所述光屏蔽层与所述缓冲层之间,且沿着所述应力调整层的第二部分设置于所述光屏蔽层与所述多个抗反射层之间,其中所述应力调整层包含具有内应力的材料层,所述内应力抵消由所述缓冲层或所述光屏蔽层中的至少一者施加的应力。

10. 如权利要求7所述的成像系统,其特征在于,所述多个抗反射层包括第一抗反射层和第二抗反射层,所述成像系统还包括第三抗反射层,所述第三抗反射层具有接触所述第二抗反射层的覆盖所述成像像素阵列的第一部分,以及覆盖所述光屏蔽层的第二部分。

11. 如权利要求7所述的成像系统,其特征在于,还包括设置于所述光屏蔽层中的间

隙,所述间隙使设置于所述周边电路下方的光屏蔽层的第一部分与在所述至少一个黑基准像素下方的光屏蔽层的第二部分分离。

12. 如权利要求 1 所述的成像系统,其特征在于,还包括:

彩色滤光片层,其设置于所述多个抗反射层与所述光屏蔽层之间,其中所述光屏蔽层包括设置于所述彩色滤光片层的第一部分上的不透明聚合物材料、不透明有机材料或不透明无机材料中的至少一者;以及

微透镜阵列,其设置在所述彩色滤光片层的位于所述成像像素阵列下方的第二部分上。

13. 如权利要求 1 所述的成像系统,其特征在于,还包括:

彩色滤光片层,其设置于所述多个抗反射层的第一部分上且覆盖所述成像像素阵列;以及

微透镜阵列,其设置于所述彩色滤光片层的所述第一部分上且与所述成像像素阵列对准,

其中所述光屏蔽层包括设置于所述多个抗反射层的第二部分上且覆盖所述至少一个黑基准像素的不透明聚合物材料、不透明有机材料或不透明无机材料中的至少一者,并且

所述多个抗反射层的第一部分覆盖所述成像像素阵列,并且所述多个抗反射层的第二部分覆盖所述至少一个黑基准像素。

14. 如权利要求 1 所述的成像系统,其特征在于,所述至少一个黑基准像素包括设置于邻近所述成像像素阵列的所述像素阵列管芯的一部分上的暗像素阵列。

15. 如权利要求 2 所述的成像系统,其特征在于,还包括:

像素电路,其设置于所述成像像素阵列内;以及

金属叠层,其设置于所述像素阵列管芯的正面上,所述金属叠层包括在所述成像像素阵列上方的用于重新分配信号的至少两个金属层,

其中所述周边电路包括经耦合以接收所述图像数据和所述黑基准信号的黑电平校准逻辑,所述黑电平校准逻辑经耦合以至少部分地基于所述黑基准信号对所述图像数据进行电平校正。

16. 如权利要求 1 所述的成像系统,其特征在于,由所述多个抗反射层和所述光屏蔽层施加于所述成像像素阵列和所述至少一个黑基准像素上的物理应力经调整以减少所述成像像素阵列与所述至少一个黑基准像素之间的暗电流失配。

17. 一种背面照明式图像传感器,包括:

成像像素阵列,其包括各自经耦合以捕获图像数据的多个有效像素;

至少一个黑基准像素,其经耦合以产生用于校准所述图像数据的至少一个黑基准信号;

周边电路,其包括经耦合以接收所述图像数据和所述黑基准信号且利用所述至少一个黑基准信号对所述图像数据进行电平校正的黑电平校准电路;

多个抗反射层,所述抗反射层设置于所述背面照明式图像传感器的光接收侧上,且覆盖所述成像像素阵列和所述至少一个黑基准像素;以及

光屏蔽层,其设置于所述多个抗反射层的一部分上,且覆盖所述至少一个黑基准像素而不覆盖所述成像像素阵列。

18. 如权利要求 17 所述的背面照明式图像传感器,其特征在于,所述光屏蔽层直接设置于所述多个抗反射层中之一上,且所述光屏蔽层使用湿法蚀刻工艺进行图案化和蚀刻。

19. 如权利要求 17 所述的背面照明式图像传感器,其特征在于,还包括设置于所述光屏蔽层与所述多个抗反射层之间的缓冲层,其中所述缓冲层包括绝缘材料,所述绝缘材料覆盖所述周边电路的至少一部分,但不覆盖所述至少一个黑基准像素或所述成像像素阵列。

20. 如权利要求 19 所述的背面照明式图像传感器,其特征在于,还包括应力调整层,所述应力调整层沿着所述应力调整层的第一部分设置于所述光屏蔽层与所述缓冲层之间,且沿着所述应力调整层的第二部分设置于所述光屏蔽层与所述多个抗反射层之间,其中所述应力调整层包括具有内应力的材料层,所述内应力抵消由所述缓冲层或所述光屏蔽层中的至少一者施加的应力。

21. 如权利要求 19 所述的背面照明式图像传感器,其特征在于,还包括设置于所述光屏蔽层中的间隙,其中所述间隙使设置于所述周边电路下方的所述光屏蔽层的第一部分与在所述至少一个黑基准像素下方的所述光屏蔽层的第二部分分离。

22. 如权利要求 17 所述的背面照明式图像传感器,其特征在于,还包括:

彩色滤光片层,其设置于所述多个抗反射层与所述光屏蔽层之间,其中所述光屏蔽层包括设置于所述彩色滤光片层的第一部分上的不透明聚合物材料、不透明有机材料或不透明无机材料中的至少一者;以及

微透镜阵列,其设置于所述彩色滤光片层的第二部分上且与所述成像像素阵列对准。

23. 如权利要求 17 所述的背面照明式图像传感器,其特征在于,还包括:

彩色滤光片层,其设置于所述多个抗反射层的第一部分上且覆盖所述成像像素阵列;以及

微透镜阵列,其设置于所述彩色滤光片层的所述第一部分上且与所述成像像素阵列对准,

其中所述光屏蔽层包含设置于所述多个抗反射层的第二部分上且覆盖所述至少一个黑基准像素的不透明聚合物材料、不透明有机材料或不透明无机材料中的至少一者。

具有改良式黑电平校准的图像传感器

技术领域

[0001] 本发明一般涉及图像传感器,且具体但非排他地涉及用于 CMOS 图像传感器的黑电平校准。

背景技术

[0002] 互补金属-氧化物半导体 (“CMOS”) 图像传感器 (“CIS”) 会因为像素自身中的暗电流以及像素间暗电流电平的变化而产生不准确的图像数据。CIS 阵列的每一像素提供根据入射于像素上的光而变化的输出电压。不幸的是,暗电流加至输出电压且使成像系统提供的图像降级。为了产生准确的图像数据,需要估计暗电流且对其进行电平校正。

[0003] 现代 CMOS 成像器通常包括某一种类的反馈回路以在输出中自动地设定黑电平。可通过读取“黑基准像素”来获得与“真”黑色相关联的模拟电压。黑基准像素通常经排列成紧邻有效图像阵列。在正面照明式 (“FSI”) 图像传感器中,正面金属叠层内的金属层中之一屏蔽黑基准像素,以便阻挡任何入射光。FSI 图像传感器内的电路接着参照来自这些黑基准像素的输出值来偏移有效像素的电压输出。这些黑基准像素用于产生低计数值或通常将被显示为黑色的使用者指定设定点值。传统地,将相机设定至略高于读取噪声的黑电平设定点。接着设定相机增益以获得合适的图像。设定适当黑电平在以极低信号电平工作或在低周围光环境中工作时尤其重要。若将黑电平设定得过低,则暗淡对象将被箝位且不被显示。若将黑电平设定得过高,则图像对比度将受损失。

[0004] 图 1A 示出 FSI 图像传感器阵列的常规有效像素 100,而图 1B 示出 FSI 图像传感器阵列的常规黑基准像素 105。像素 100 或 105 的正面为衬底 110 的设置有效像素电路且其上形成有用于重新分配信号的金属叠层 115 的面。在有效像素 100 中,金属层 (例如,金属层 M1 及 M2) 经图案化成使得产生一光学通路,入射于有效像素 100 的正面上的光可通过该光学通路到达光敏光电二极管 (“PD”) 区域 120。与此对比,黑基准像素 105 的光学通路被金属层 M3 故意地阻挡且覆盖。

[0005] CMOS FSI 成像器利用暗像素 (具有光阻挡层的像素) 来估计像素阵列的暗电流且将该估计与曝露像素数据组合以产生准确的图像数据。对于背面照明式 (“BSI”) CIS,制造光阻挡像素更困难且昂贵。除了增加费用以外,在此成像器的背侧上形成金属图案亦可引起蚀刻损坏且导致缺陷。另外,与金属光阻挡层相关联的绝缘膜可在暗像素与成像像素之间产生应力差,此应力差导致两种类型的像素显示不同的暗电流特性。在该情况下,黑电平校准可能不会如实地表示成像阵列的黑电平。

附图说明

[0006] 参看附图来描述本发明的非限制性且非穷举的实施例,在附图中,除非另有指定,否则相同附图标记在各视图中指代相同部分。

[0007] 图 1A (现有技术) 为常规正面照明式 (“FSI”) 有效像素的横截面图。

[0008] 图 1B (现有技术) 为常规 FSI 黑基准像素的横截面图。

[0009] 图 2 为示出根据一实施例的背面照明式 (“BSI”) 成像系统的功能框图, 该系统包括黑基准像素及黑电平校准电路。

[0010] 图 3 为示出根据一实施例在 BSI 成像系统内的两个 4T 像素的像素电路的电路图。

[0011] 图 4 为根据一实施例的 BSI 有效成像像素的混合横截面 / 电路图示。

[0012] 图 5 为根据一实施例的 BSI 黑基准像素的混合横截面 / 电路图示。

[0013] 图 6 为根据第一实施例的 BSI 图像传感器的横截面图, 其示出成像像素阵列、暗像素阵列及与光屏蔽层有关的周边电路。

[0014] 图 7 为根据第二实施例的 BSI 图像传感器的横截面图, 其示出成像像素阵列、暗像素阵列及与光屏蔽层有关的周边电路。

[0015] 图 8 为根据第三实施例的 BSI 图像传感器的横截面图, 其示出成像像素阵列、暗像素阵列及与光屏蔽层有关的周边电路。

[0016] 图 9 为根据第四实施例的 BSI 图像传感器的横截面图, 其示出成像像素阵列、暗像素阵列及与光屏蔽层有关的周边电路。

[0017] 图 10A 为根据第五实施例的 BSI 图像传感器的横截面图, 其示出成像像素阵列、暗像素阵列及与光屏蔽层有关的周边电路。

[0018] 图 10B 为根据第五实施例的 BSI 图像传感器的平面图, 其示出成像像素阵列、暗像素阵列及与光屏蔽层有关的周边电路。

[0019] 图 11 为根据第六实施例的 BSI 图像传感器的横截面图, 其示出成像像素阵列、暗像素阵列及与光屏蔽层有关的周边电路。

[0020] 图 12 为根据第七实施例的 BSI 图像传感器的横截面图, 其示出成像像素阵列、暗像素阵列及与光屏蔽层有关的周边电路。

具体实施方式

[0021] 本文中描述用于具有黑基准像素的背面照明式 (“BSI”) 成像系统的系统及制造方法的实施例, 这些黑基准像素如实地产生用于偏移有效成像像素的黑基准电平。在以下描述中, 陈述众多特定细节以提供对这些实施例的透彻理解。然而, 本领域普通技术人员将认识到, 可在不利用这些特定细节中的一或多者的情况下实践本文中所描述的技术, 或可利用其它方法、组件、材料等等实践这些技术。在其它情况下, 不详细地展示或描述公知的结构、材料或操作以避免混淆某些方面。

[0022] 在本说明书通篇中对 “一个实施例” 或 “一实施例” 的引用意味着: 结合该实施例所描述的特定特征、结构或特性包括于本发明的至少一个实施例中。因此, 本说明书通篇中各处出现的词组 “在一个实施例中” 或 “在一实施例中” 的出现未必皆指代同一实施例。此外, 一给定实施例的特定特征、结构或特性可以任何合适方式与其它实施例中的任一者组合。预期到, 下文结合实施例 1 至 7 所描述的特征可以各种不同组合形式加以组合。

[0023] 图 2 为示出根据本发明的一实施例的 BSI 成像系统 200 的功能框图。BSI 成像系统 200 的所示出实施例包括成像像素阵列 205、黑基准像素阵列 207、读出电路 210、功能逻辑 215 及控制电路 220。读出电路 210 的所示出实施例包括黑电平校准电路 225 及存储器 227。在所示出实施例中, 像素阵列 205、暗像素阵列 207、读出电路 210 及控制电路 220 都集成至像素阵列管芯 201 上。

[0024] 像素阵列 205 为 BSI 成像传感器像素（例如，AP1、AP2、...、APn）的二维（“2D”）阵列，且黑基准像素阵列 207 可为光屏蔽像素（例如，BP0、BP1、...、BP9）的一维或二维阵列。在一实施例中，每一成像像素为有效像素传感器（“APS”），诸如互补金属-氧化物-半导体（“CMOS”）成像像素。在一实施例中，黑基准像素包括与其对应有效像素类似或相同的结构，但存在至少一例外，亦即，光阻挡层阻止黑基准像素接收光。应了解，本发明的实施例也可在电荷耦合器件（“CCD”）成像器中实现。

[0025] 如图所示，每一有效像素被排列成行（例如，行 R1 至 Ry）及列（例如，列 C1 至 Cx）以获取人、地点或对象的图像数据，该图像数据接着可用以呈现人、地点或对象的图像。像素阵列 207 包括用于输出黑基准信号的一个或多个黑基准像素，这一个或多个黑基准像素可用于校准有效像素的黑电平设定点。

[0026] 黑电平校准电路 225 经耦合以接收黑基准信号，该黑基准信号最终用于调整、偏移或以其它方式校准成像传感器（亦即，APS）的黑电平设定点，藉此解决（例如）暗电流的热变化。

[0027] 尽管图 2 将黑电平校准电路 225 示出为在读出电路 210 内部，但应了解，黑电平校准电路 225 可集成在与像素阵列 205 相同的管芯（例如，被示出为像素阵列管芯 201）上的其它功能区块中。举例而言，黑电平校准电路 225 可实现为用于执行嵌入式逻辑的专用电路，或执行嵌入管芯上的别处的固件的通用处理器。或者，通过黑电平校准电路 225 执行的功能可实现为在功能逻辑 215 内的软件逻辑且在管芯外执行。在一实施例中，仅固件 / 软件逻辑可储存于管芯外且在启动时导入至黑电平校准电路 225 中。

[0028] 在所示出实施例中，像素阵列 205 包括沿着像素阵列 205 的边缘向下以单列对准的黑基准像素 BP0 至 BP9。像素阵列 205 与像素阵列 207 可共享共同行。在此状况下，每一黑基准像素可用于校准其行内的有效像素。因此，在一实施例中，将每一黑基准像素与一或多个成像像素逻辑地分组以校准其关联有效像素的黑电平设定点。由于对每一有效像素的黑电平设定点的许多影响具有局部变化，因此可能需要分配黑基准像素以更好地解决这些局部变化。这些局部影响中的一些影响可包括温度、寄生电容、结构设计差异、晶格结构缺陷或类似。因此，像素阵列 205 可包括以各种不同图案（例如，在该阵列的周边周围、在该阵列的角落、以一行或多列、以一行或多行、以一簇或多簇、以棋盘形图案、以不规则分布或以其它方式）在整个像素阵列 205 中分配的任何数目的黑基准像素。

[0029] 在操作期间，每一有效像素获取图像数据或图像电荷，该图像数据或图像电荷通过读出电路 210 读出并转移至功能逻辑 215。在一实施例中，在将图像数据输出芯片外之前，在读出电路 210 内执行图像数据的黑电平校准。在一替代实施例中，将黑基准信号随同未经校正的图像数据转移至芯片外而进入系统软件或芯片外的硬件校准逻辑中。在这些替代实施例之一中，参照经按比例调整的黑基准信号在系统软件中使用后图像处理而在芯片外执行电平校准。在又一替代实施例中，将温度信号（来自设置于像素阵列管芯 201 上的温度传感器）及黑基准信号连同图像数据一起读出，且使用后处理以对黑基准信号进行温度按比例调整，从而使用黑基准信号对图像数据进行电平校正。

[0030] 读出电路 210 可包括放大电路、模数转换电路或其它。在所示出实施例中，读出电路 210 包括用于调整或校准每一有效像素的黑电平设定点的黑电平校准电路 225。黑电平设定点为从每一有效像素所输出的信号电平，在此信号电平下，该像素被视为已捕获“真”

黑图像。黑电平校准电路 225 参照来自每个有效像素的对应黑基准像素的输出值来按比例调整（例如，偏移、线性地按比例调整、非线性地按比例调整，或其某一组合）每一有效像素的电压输出。黑基准像素产生低计数值或通常将被显示为黑色的使用者指定设定点值。传统上，将相机设定至略高于读取噪声的黑电平设定点。若将黑电平设定点设定得过低，则暗淡对象将被箝位且不被显示。若将黑电平设定点设定得过高，则图像对比度将受损失。

[0031] 在一实施例中，读出电路 210 可沿着读出列线而一次读出一行图像数据（已示出），或可使用各种其它技术来读出图像数据（未示出），诸如，串行读出或同时完全并行读出所有像素。一旦读出图像数据，功能逻辑 215 随即可简单地储存图像数据或甚至通过应用后图像效果（例如，修剪、旋转、去红眼、调整亮度、调整对比度或以其它方式）来操纵图像数据。

[0032] 控制电路 220 耦合至像素阵列 205 以控制像素阵列 205 的操作特性。举例而言，控制电路 220 可产生用于控制图像获取的快门信号。在一实施例中，该快门信号为用于在单一获取窗期间同时使像素阵列 205 内的所有像素能够同时捕获其各自图像数据的全局快门信号。在一替代实施例中，该快门信号为一滚动快门信号，藉以在连续获取窗期间依序地启用每一行、每一列或每一组像素。

[0033] 图 3 为示出根据本发明的一实施例在 BSI 成像阵列内的两个四晶体管（“4T”）有效像素的像素电路 300 的电路图。像素电路 300 为用于实现图 2 的像素阵列 200 内的每一有效像素的一个可能像素电路架构。然而，应了解，本发明的实施例不限于 4T 像素架构；相反地，受益于本发明的本领域普通技术人员应理解，当前示教也适用于 3T 设计、5T 设计、各种其它像素架构甚至 CCD 架构。

[0034] 在图 3 中，像素 Pa 和 Pb 经配置成两行和一系列。每一像素电路 300 的所示出实施例包括光电二极管 PD、转移晶体管 T1、重置晶体管 T2、源极跟随器（“SF”）晶体管 T3 及选择晶体管 T4。在操作期间，转移晶体管 T1 接收转移信号 TX，转移信号 TX 将累积于光电二极管 PD 中的电荷转移至浮置扩散节点 FD。

[0035] 重置晶体管 T2 耦合于供电轨 VDD 与浮置扩散节点 FD 之间以在重置信号 RST 的控制下重置（例如，将 FD 放电或充电至预设电压）。浮置扩散节点 FD 耦合以控制 SF 晶体管 T3 的栅极。SF 晶体管 T3 耦合于供电轨 VDD 与选择晶体管 T4 之间。SF 晶体管 T3 用作提供从像素输出的高阻抗的源极跟随器。最后，选择晶体管 T4 在选择信号 SEL 的控制下选择性地将像素电路 300 的输出耦合至读出列线。

[0036] 图 4 为 BSI 有效像素 400 的混合横截面 / 电路图示。有效像素 400 为像素阵列 205 内的有效像素 AP1 至 APn 的一个可能实现。有效像素 400 的所示出实施例包括衬底 405、抗反射层 475 及 478、彩色滤光片 410、微透镜 415、包括掺杂 PD 420 及掺杂互连扩散区域 425 的 PD 区域 421、像素电路层 435 及金属叠层 440。像素电路层 435 的所示出实施例包括设置于扩散阱 445 上方的 4T 像素架构（可以其它像素设计进行取代）。浮置扩散 450 设置于扩散阱 445 内且耦合至转移晶体管 T1、重置晶体管 T2 及 SF 晶体管 T3 的栅极。金属叠层 440 的所示实施例包括通过金属间介电层 441 及 443 分离的两个金属层 M1 及 M2。尽管图 4 仅示出两层金属叠层，但金属叠层 440 可包括在像素阵列 205 正面之上的用于路由信号的更多或更少层（例如，三个金属层）。在一实施例中，钝化或钉扎层 470 设置于互连扩散区域 425 上方且电接地。最后，浅沟槽隔离（“STI”）使有效像素 400 与邻近像素（未示出）绝

缘。应理解,衬底 405 意欲表示块状衬底层的残料与在块状衬底层上生长的外延层的组合,或仅表示外延层(“epi 层”)(若块状衬底在制造期间已被完全去除)。

[0037] 如图所示,有效像素 400 对入射于其半导体管芯的背面上的光 480 具有光敏性。抗反射层 475 与抗反射层 478 组合以减少光 480 从管芯背面的反射。浮置扩散 450 掺杂有导电类型与扩散阱 445 相反的掺杂剂,以在扩散阱 445 内产生 p-n 结且藉此使浮置扩散 450 电隔离。类似地,光电二极管 420 经掺杂以与周围的外延层(被示为衬底 /epi 层 405)形成 p-n 结以响应于光 480 而累积图像电荷。在一个实施例中,衬底和 / 或 epi 层 405 掺杂有 P 型掺杂剂。在此情况下,衬底和 / 或在衬底上生长的外延层可被称作 P 型衬底 405。在 P 型衬底实施例中,扩散阱 445 为 P+ 阱注入,而 PD 420、互连扩散区域 425 及浮置扩散 450 为 N 型掺杂。在衬底 405 为 N 型的实施例中,扩散阱 445 也是 N 型掺杂的,而 PD 420、互连扩散区域 425 及浮置扩散 450 具有相反的 P 型导电性。

[0038] 图 5 是示出 BSI 黑基准像素 500 的混合横截面 / 电路。黑基准像素 500 为暗像素阵列 207 内的黑基准像素 BP1 至 BPn 的一个可能实现。在一实施例中,黑基准像素 500 与有效像素 400 类似,其不同之处在于,黑基准像素 500 在微透镜 415 与 PD 420 之间的光学路径中包括缓冲层 579 和光屏蔽层 590 以阻挡光 480。黑基准像素 500 的抗反射层 576 及 577 替换有效像素 400 的单一抗反射层 478 且共同执行与层 478 相同的功能。光屏蔽层 590 通过缓冲层 579 与抗反射层 576 分离。缓冲层 579 提供蚀刻停止层以防止在用于在光屏蔽层 590 中形成图案的等离子体蚀刻处理期间损坏抗反射层 576 及 475,且在一些情况下甚至防止损坏光电二极管 420。在一个实施例中,缓冲层 579 由相对于其周围的抗反射层具有蚀刻选择性的材料形成(例如,存在将有效地蚀刻缓冲层 579 但不蚀刻邻近抗反射层的可用蚀刻剂)。缓冲层 579 可由诸如氧化物的任何绝缘材料形成。光屏蔽层 590 可使用诸如例如金属层的各种光学不透明材料形成。

[0039] 在光屏蔽层形成过程中,在光屏蔽层 590 上形成光刻限定图案,通过等离子体或干法蚀刻将光屏蔽层 590 蚀刻掉,此蚀刻过程可能会部分地损坏下方的缓冲层 579。随后利用形成于光屏蔽层 590 中的图案作为掩模而通过蚀刻剂过程来蚀刻缓冲层 579,该蚀刻剂过程相对于缓冲层 579 下方的抗反射层 576 具有高度选择性。用于常规光屏蔽层的常规等离子体或干法蚀刻工艺对常规抗反射层不具有高度选择性,且因此,若不存在缓冲层 579,则抗反射层 576 在层 590 的蚀刻期间可能会受到损坏。

[0040] 由于像素电路层 435 内的像素电路得以保留,因此黑基准像素 500 产生一基线或黑电平基准信号,可根据该基线或黑电平基准信号来校准光敏性有效像素 400 以偏移或消除其输出信号的非光学产生部分。因此,通过黑基准像素 500 产生的任何信号为一或多个泄漏信号、热产生信号或其它不想要的信号(例如,暗电流)的组合。通过保持黑基准像素 500 的余下方面(例如,像素大小、像素电路等等)尽可能地与有效像素 400 类似,将使由黑基准像素 500 产生的这些不想要的信号分量与由有效像素 400 产生的不想要的信号分量严密地匹配或近似。然而,应理解,如果准许黑基准像素 500 与有效像素 400 之间的其它偏差,则本发明的实施例在可接受的公差内仍然有效。

[0041] 图 6 为根据第一实施例的 BSI 图像传感器 600 的横截面图,其示出成像像素阵列、暗像素阵列及与光阻挡层有关的周边电路(即,在成像像素阵列周边的电路)。图 6 展示设置于至暗像素阵列 207 的光路中且在读出及控制电路 201、220 下方的光屏蔽层 590 及缓冲

层 579。图 6 进一步示出抗反射层 576 与抗反射层 577 在至像素阵列 205 的光路中如何再衔接以提供如图 4 所示的有效像素 400 的抗反射层 478 的等效功能。平坦化层 605 形成于像素阵列 205 的光路中,以便为彩色滤光片 410 及微透镜 415 的形成提供平坦表面。平坦化层 605 补偿了层 590 及 579 的附加厚度。在一个实施例中,平坦化层 605 由聚合物材料形成。

[0042] 已观察到,在暗像素阵列 207 中所测得的暗电流与在有效像素阵列 205 的对应行中所测得的暗电流不同。按推测,由抗反射层 475、576 及 577、缓冲层 579 及光屏蔽层 590 的组合施加于暗像素阵列 207 上的物理应力可能与由抗反射层 475、576 及 577 单独地施加于有效像素阵列 205 上的物理应力显著地不同。由这些层施加的物理应力可形成于这些层内,这取决于在制造期间的各种沉积工艺参数(诸如,气体压力及温度),且归因于膜厚度、材料组分因素及退火因素。余下实施例应用各种措施来调整施加于暗像素阵列 207 及有效像素阵列 205 上的物理应力差,以减少在暗像素与有效像素之间所观察到的暗电流差。

[0043] 图 7 为根据第二实施例的 BSI 图像传感器 700 的横截面图,其示出成像像素阵列 205、暗像素阵列 207 及与光屏蔽层 790 有关的周边电路(例如,读出电路 210 及控制电路 220)。图 7 示出缓冲层 779 如何不在暗像素阵列 207 下方延伸,而是保留于周边电路下方且继续充当光屏蔽层 790 被图案化及去除的区域中的蚀刻停止层。

[0044] 图 8 为根据第三实施例的 BSI 图像传感器的横截面图,其示出成像像素阵列 205、暗像素阵列 207 及与光屏蔽层 790 有关的周边电路。图 8 说明如何在暗像素阵列 207 下方移除缓冲层 779 的一部分,但在别处将其保持且在光屏蔽层 790 被去除的区域中继续充当蚀刻终止层。图 8 所示实施例进一步包括设置于光屏蔽层 790 上方且设置于缓冲层 779 及抗反射层 576 下方的应力调整层 892。应力调整层 892 在去除缓冲层 779 的选定部分的后被沉积,且位于光屏蔽层 790 的在光刻图案化之后保留的那些部分上方。在一个实施例中,应力调整层 892 由氧化硅或氮化硅形成。在制造期间,可控制这些层的性质,使得由应力调整层 892 赋予的应力抵消由周围材料层(例如,缓冲层 779 及光屏蔽层 790)施加的应力。在与图 8 的所说明实施例类似的替代实施例中,应力调整层 892 可替换缓冲层 779 作为蚀刻终止层。因此,在此替代实施例中,缓冲层 779 不像图 8 所示地存在。

[0045] 图 9 为根据第四实施例的 BSI 图像传感器的横截面图,其示出成像像素阵列 205、暗像素阵列 207 及与光屏蔽层 990 有关的周边电路。图 9 示出没有缓冲层的 BSI 图像传感器,且因此,将不存在归因于缓冲层 579 或 779 而在暗像素阵列 207 上引起的任何应力差。为了在不损坏抗反射层 576 的情况下完成光屏蔽层 990 的光刻图案化,采用了诸如湿法化学蚀刻的高度选择性的蚀刻工艺,而非更典型的干法蚀刻或等离子体蚀刻工艺。

[0046] 图 10A 及图 10B 示出根据第五实施例的 BSI 图像传感器 1000,其描绘成像像素阵列 205、暗像素阵列 207 及与光屏蔽层 790 有关的周边电路。图 10A 为 BSI 图像传感器 1000 的横截面图,而图 10B 为 BSI 图像传感器 1000 的平面图。BSI 图像传感器 1000 与图 7 所示的 BSI 图像传感器 700 类似,其不同之处在于,光屏蔽层 790 在其中包括间隙、通道、断裂或空隙 1005。在所示实施例中,间隙 1005 以光刻方式形成于光屏蔽层 790 中以使在周边电路(例如,读出电路 210 及控制电路 225)下方的光屏蔽层 790 的连续部分与在暗像素阵列 207 下方的光屏蔽层 790 的连续部分分离。通过分离光屏蔽层 790 的这两个部分,减小了在暗像素阵列 207 下方的与光屏蔽层 790 相关联的应力。间隙 1005 阻止由缓冲层 579 所

引起的在周边电路下方的光屏蔽层 790 上的应力传播至在暗像素阵列 207 下方的光屏蔽层 790 中。

[0047] 图 11 为根据第六实施例的 BSI 图像传感器的横截面图,其示出成像像素阵列 205、暗像素阵列 207 及与光屏蔽层 1190 有关的周边电路。图 11 的实施例减少成像像素阵列 205 与暗像素阵列 207 之间的上覆层的差异。光屏蔽层 1190 可为厚有机或无机不透明层(例如,聚合物),其在形成彩色滤光片 410 及微透镜 415 的后以光刻方式图案化。光屏蔽层 1190 可为光敏性的且能够进行直接图案化,或可协同使用单独的光致抗蚀剂图案以形成光屏蔽层 1190。光屏蔽层 1190 的厚度的范围可介于 1 微米与 3 微米之间。在不添加缓冲层(例如,缓冲层 579 或 779)的情况下,可减少施加于成像像素阵列 205 及暗像素阵列 207 上的应力差。

[0048] 图 12 为根据第七实施例的 BSI 图像传感器的横截面图,其示出成像像素阵列 205、暗像素阵列 207 及与光屏蔽层 1290 有关的周边电路。在图 12 的所示实施例中,在光屏蔽层 1290 下方不存在彩色滤光片 410,因此减少光屏蔽层 1290 在 BSI 图像传感器的背表面上方的高度。光屏蔽层 1290 可由与光屏蔽层 1190 相同的材料形成。

[0049] 本发明的所示实施例的以上描述(包括在说明书摘要中所描述的内容)不旨在为穷举的或将本发明限于所揭示的精确形式。本领域技术人员应认识到,虽然在本文中出于说明性目的描述了本发明的特定实施例及示例,但在本发明的范围内各种修改是可能的。

[0050] 可根据以上详细描述而对本发明进行这些修改。在所附权利要求书中所使用的术语不应被理解为将本发明限于本说明书中所揭示的特定实施例。相反地,本发明的范畴将完全由以下权利要求书确定,以下申请专利范围将根据权利要求解释的既定准则加以理解。

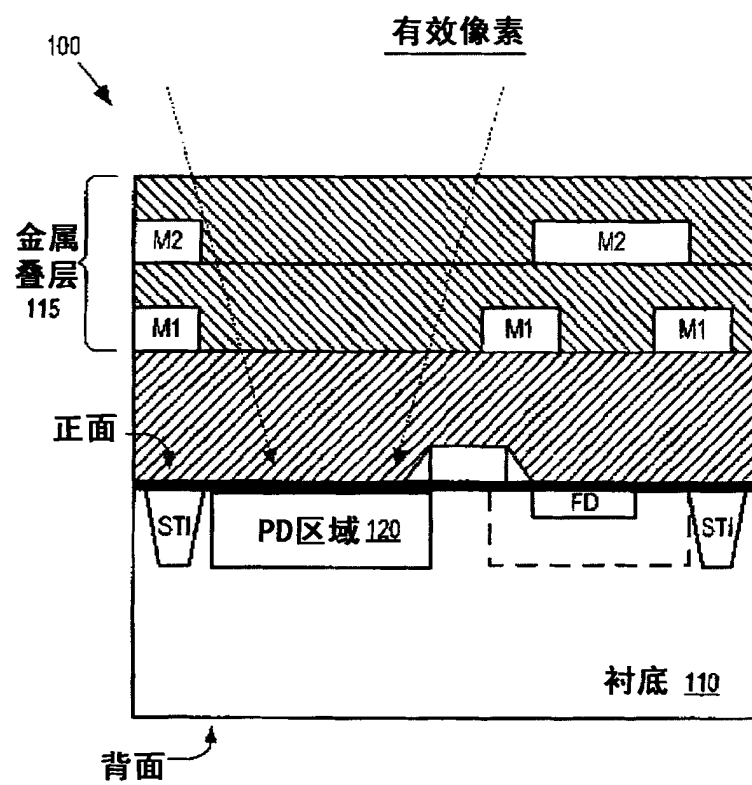


图 1A 现有技术

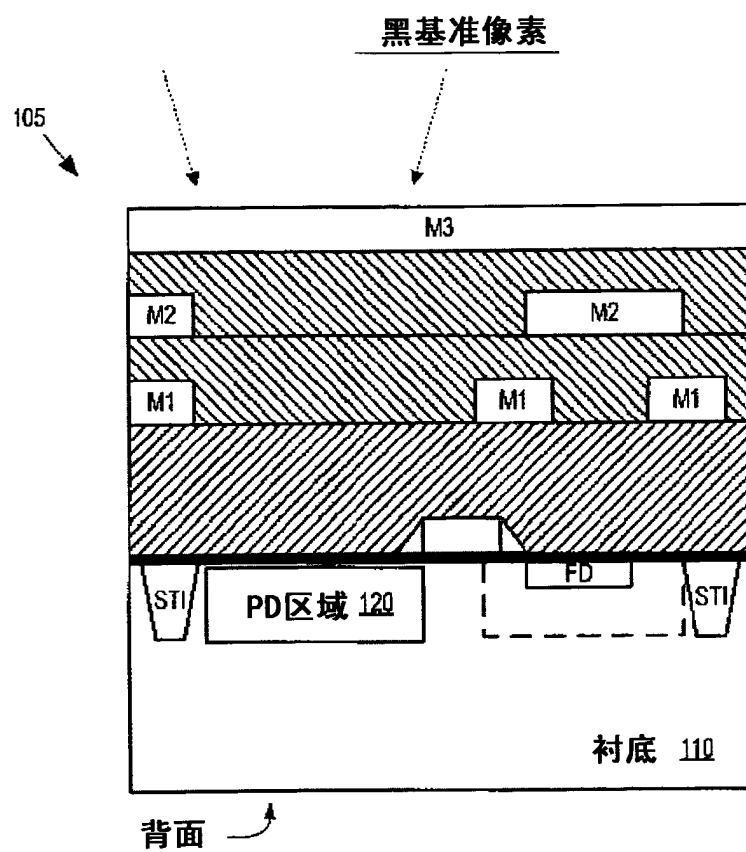


图 1B 现有技术

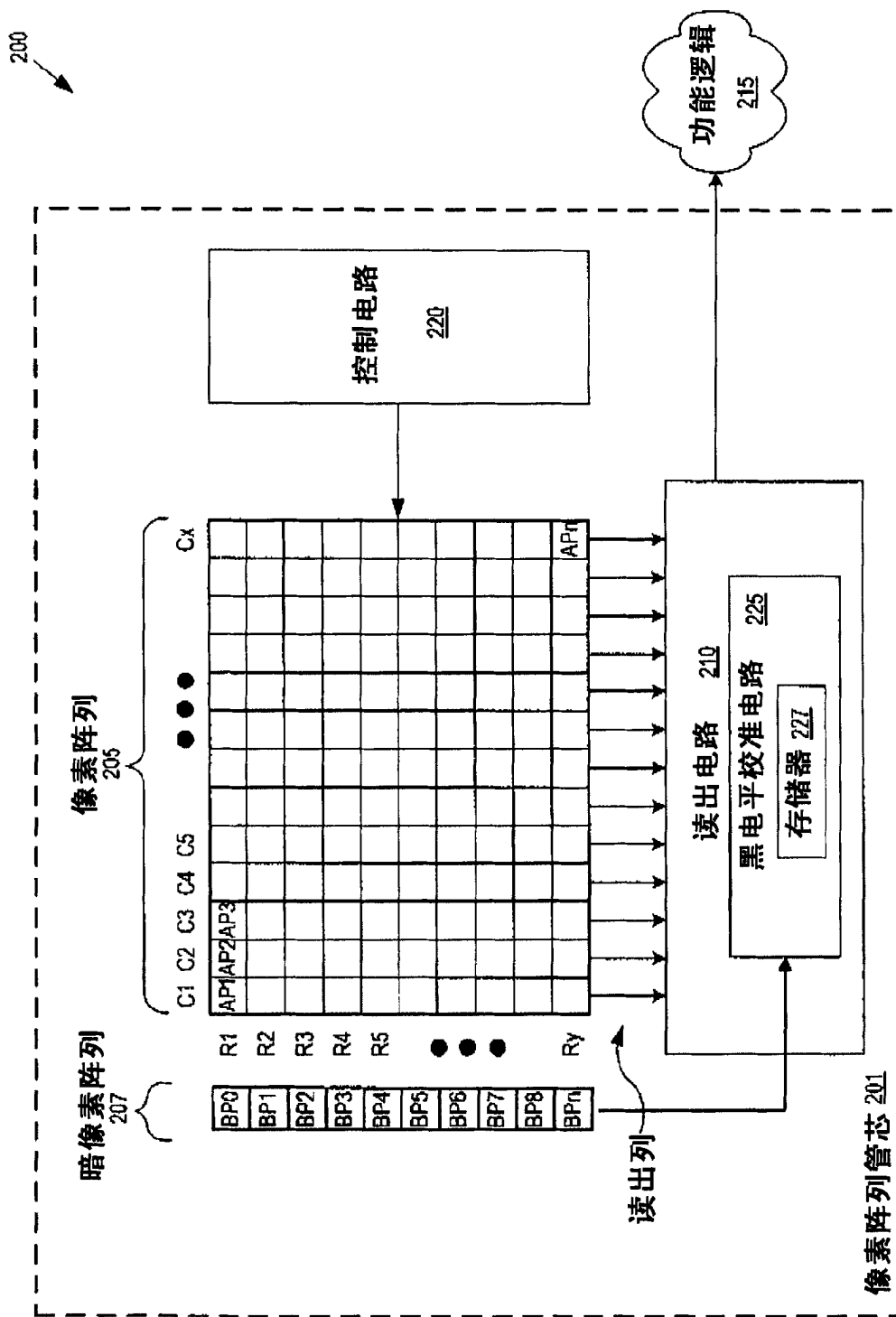


图 2

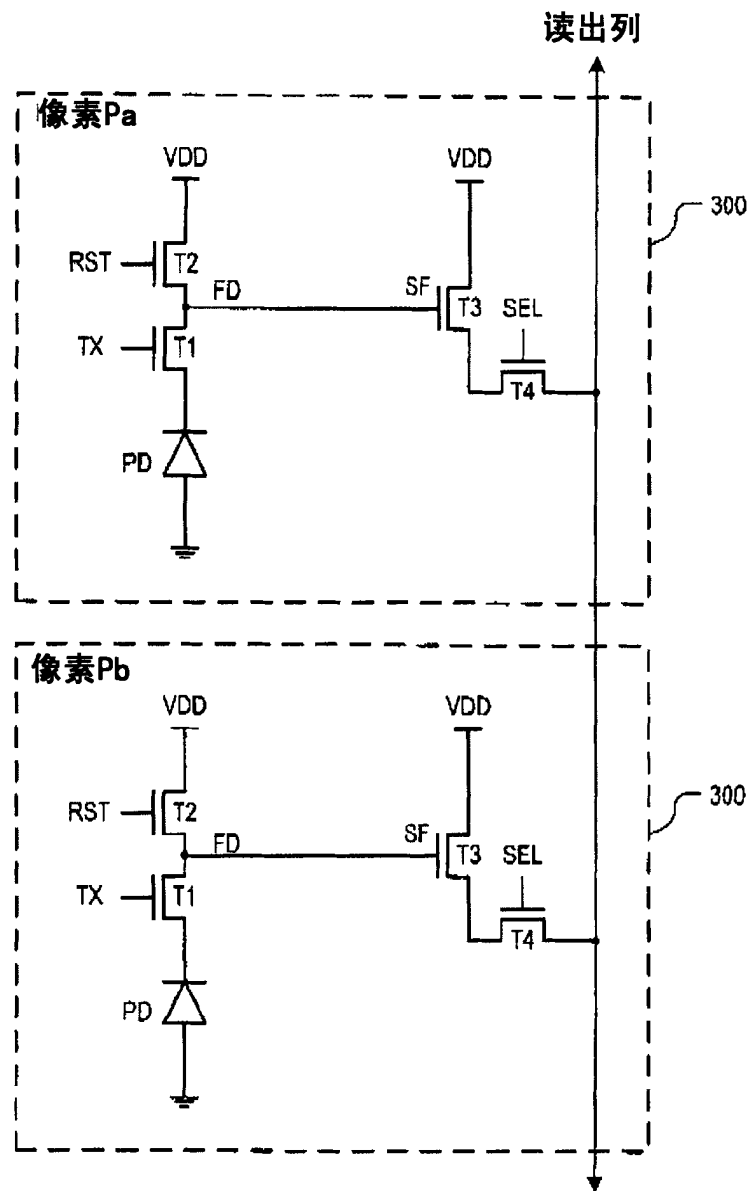


图 3

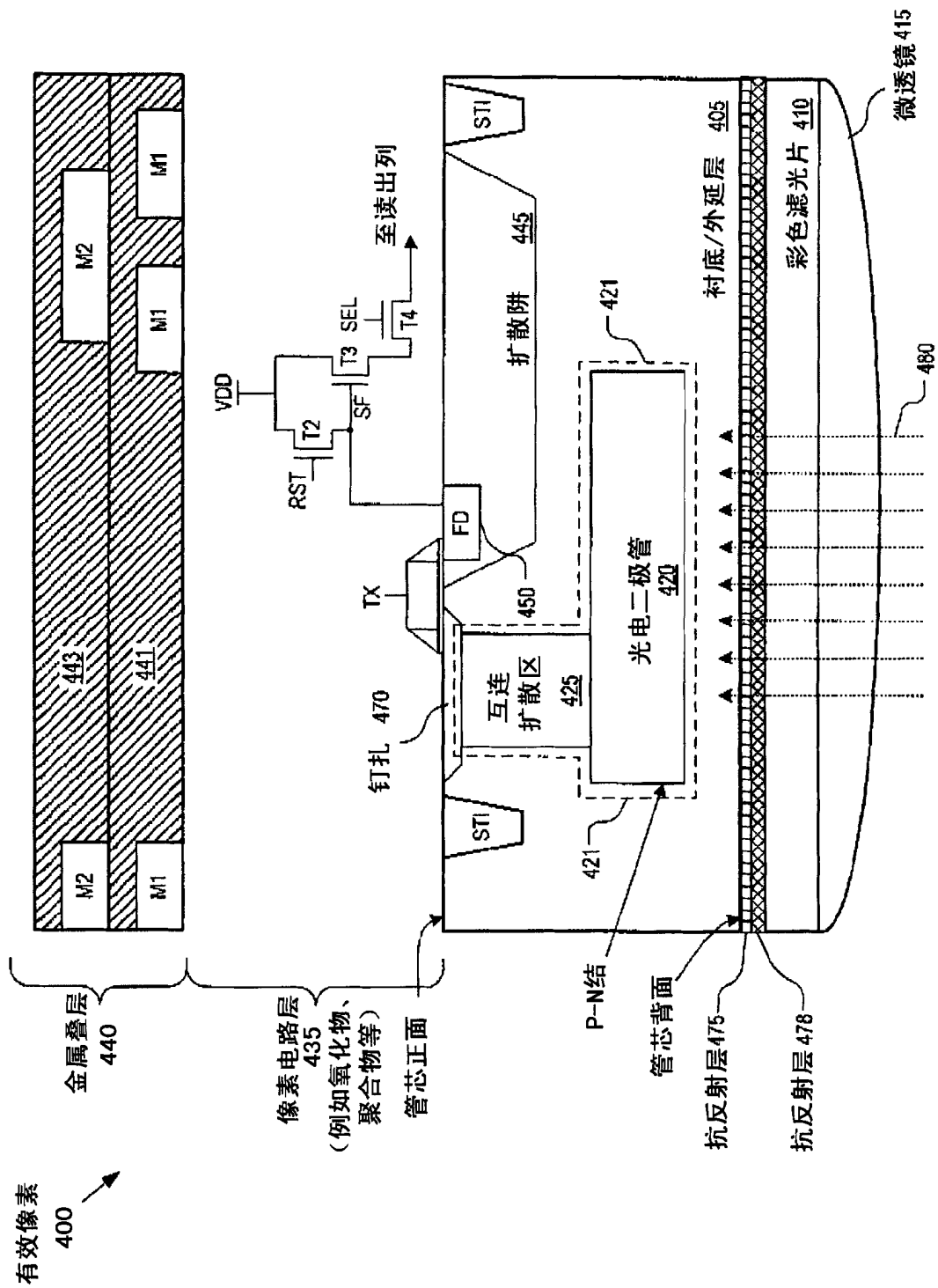


图 4

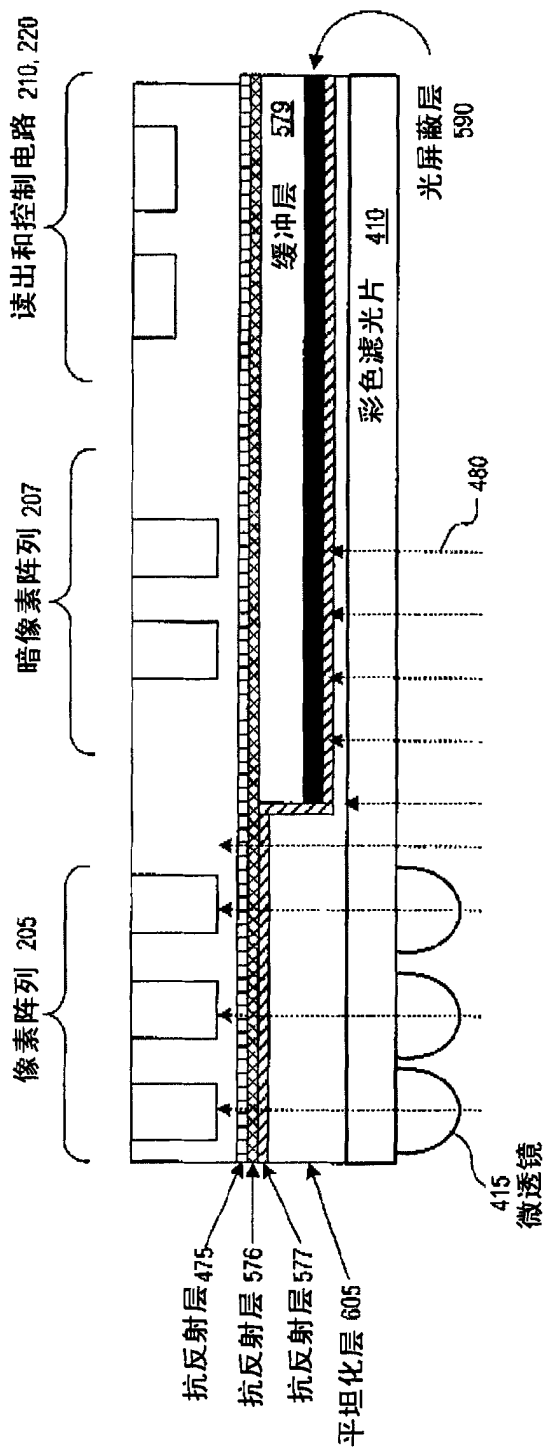


图 6

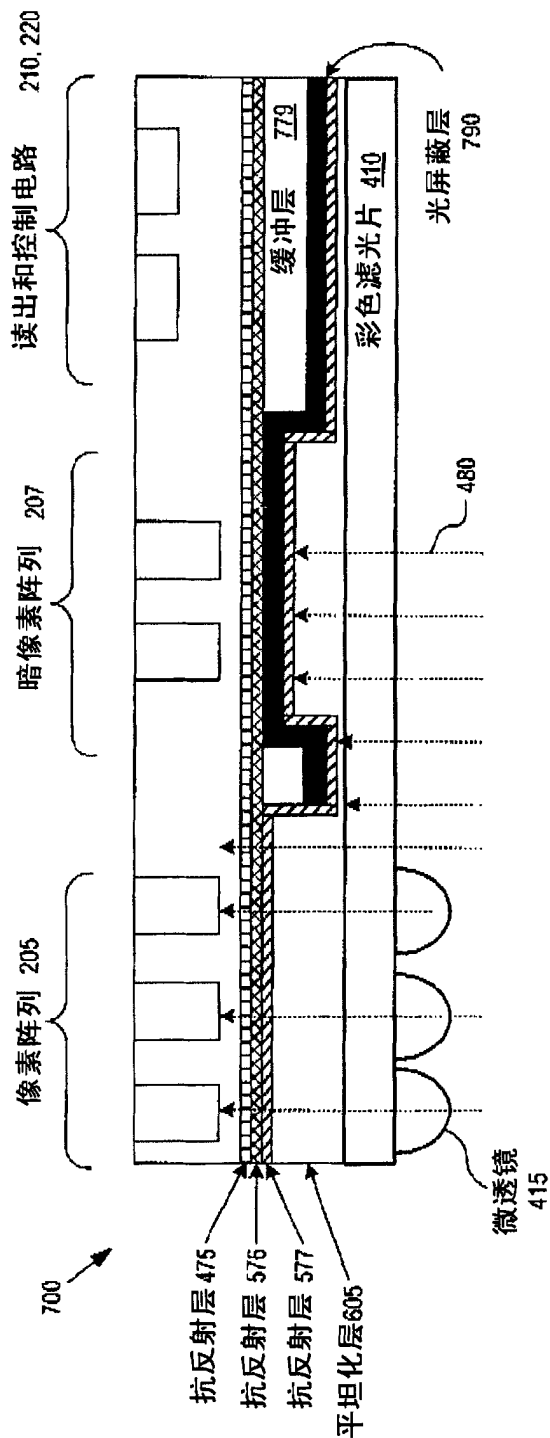


图 7

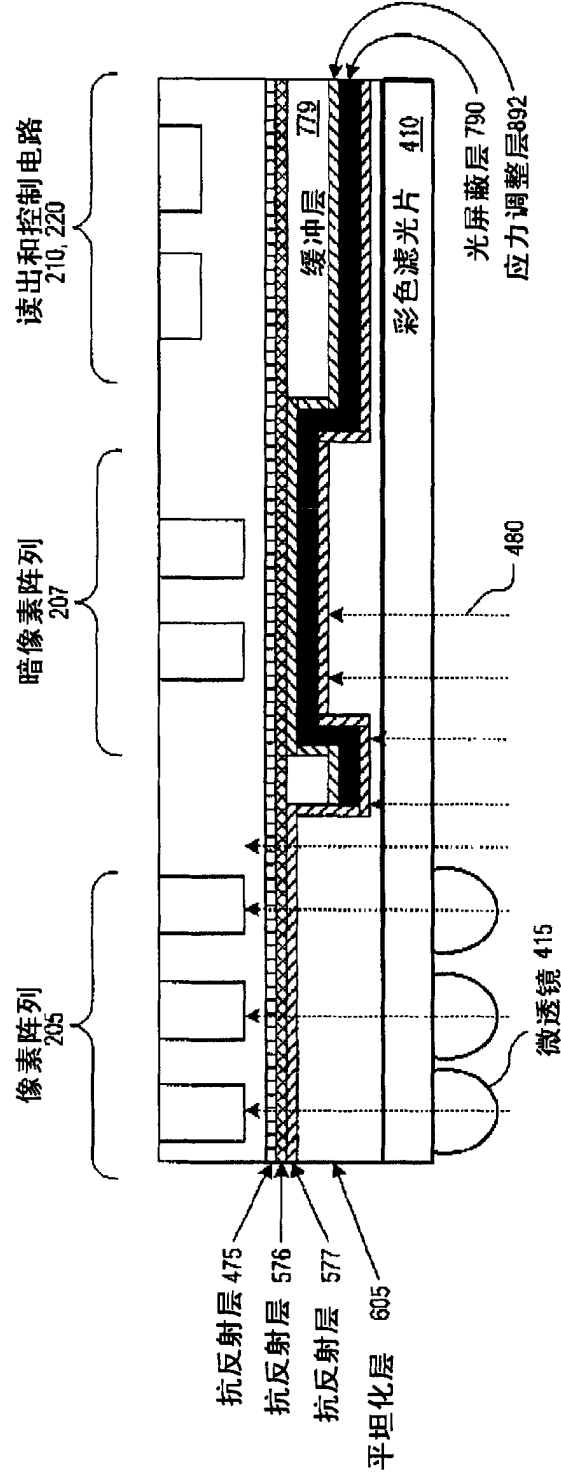


图 8

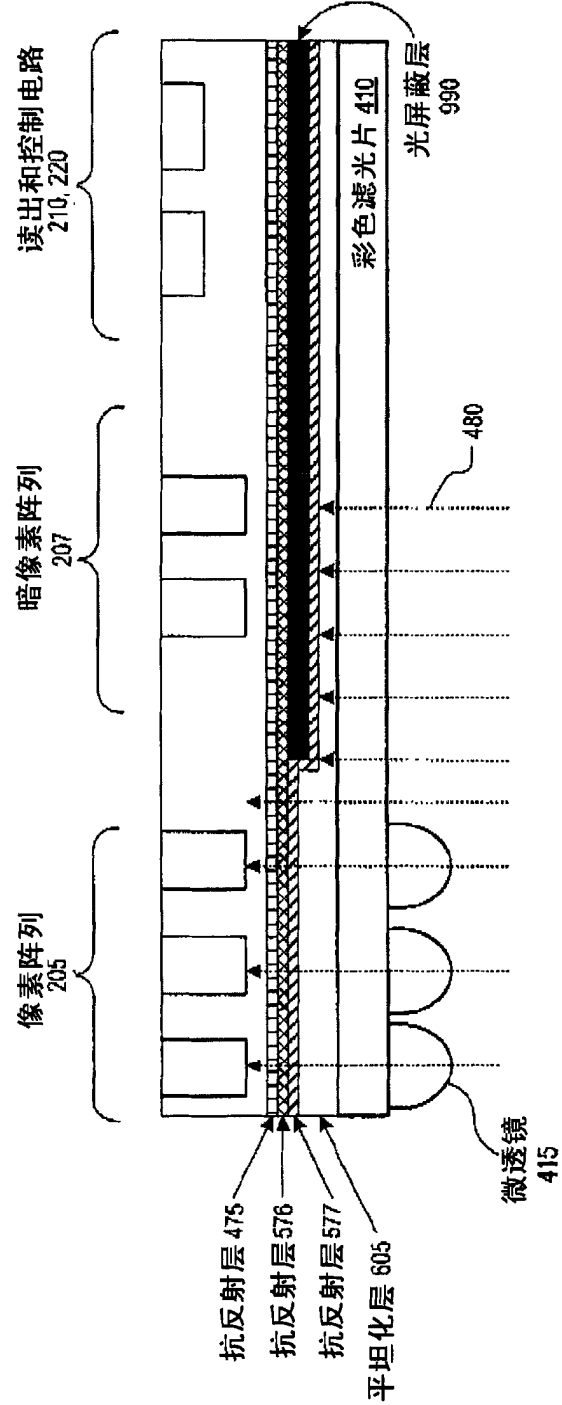


图 9

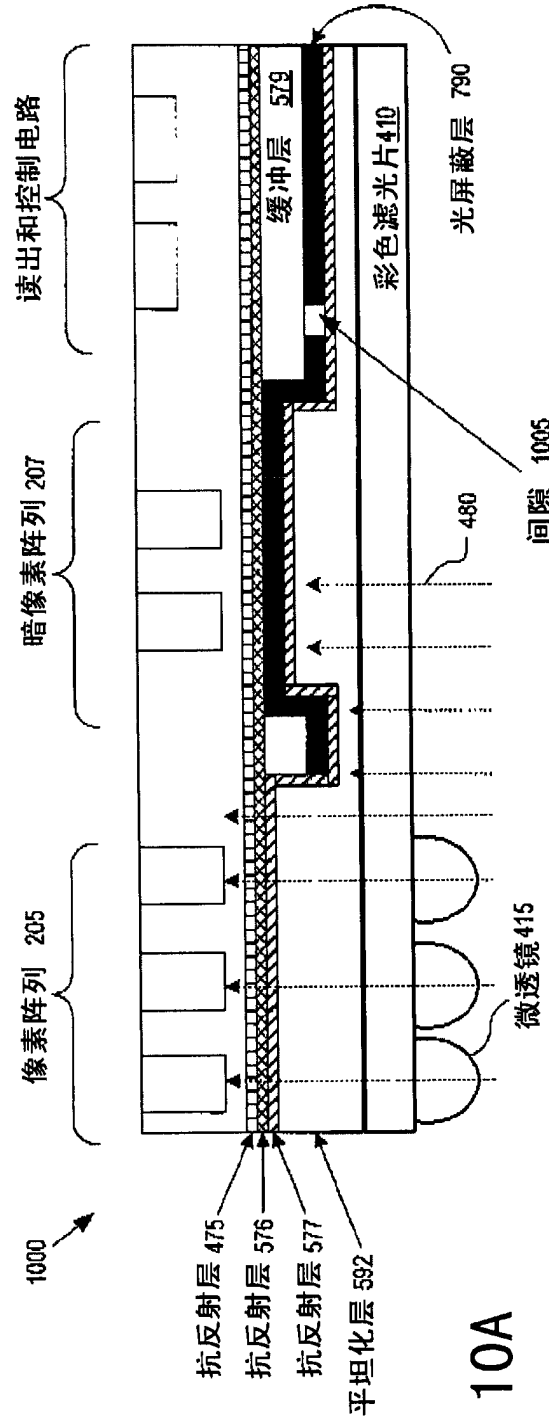


图 10A

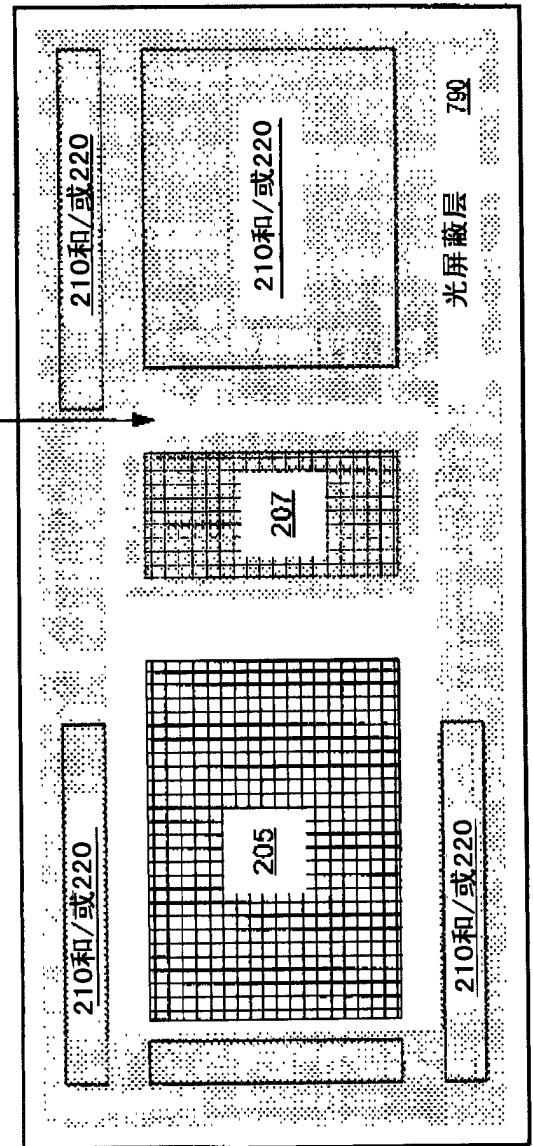


图 10B

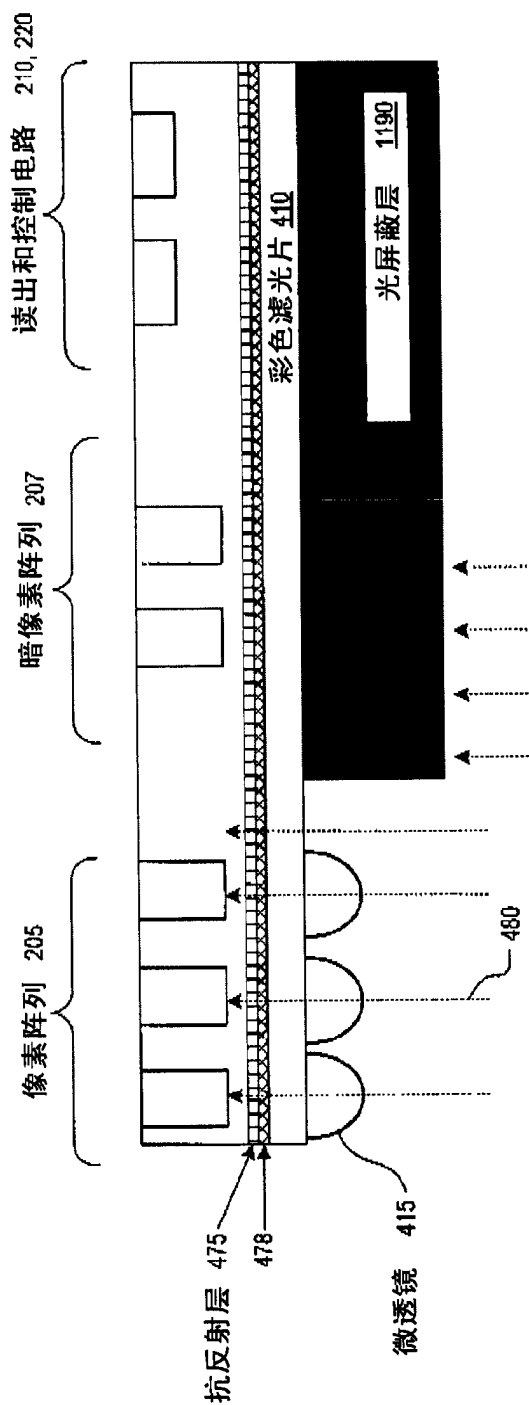


图 11

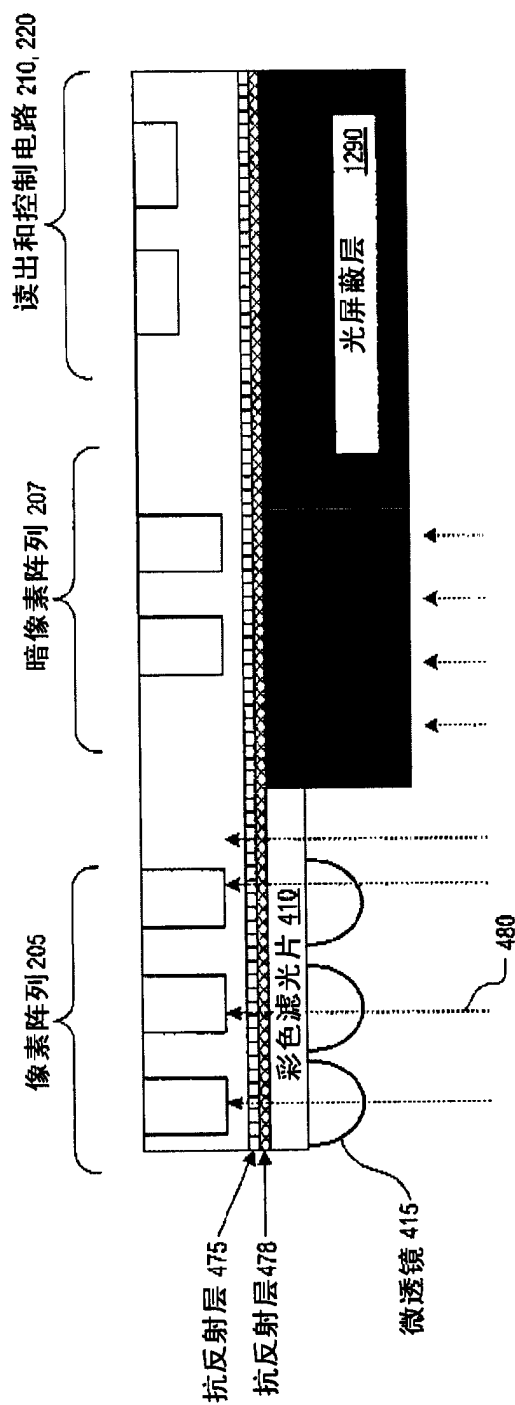


图 12