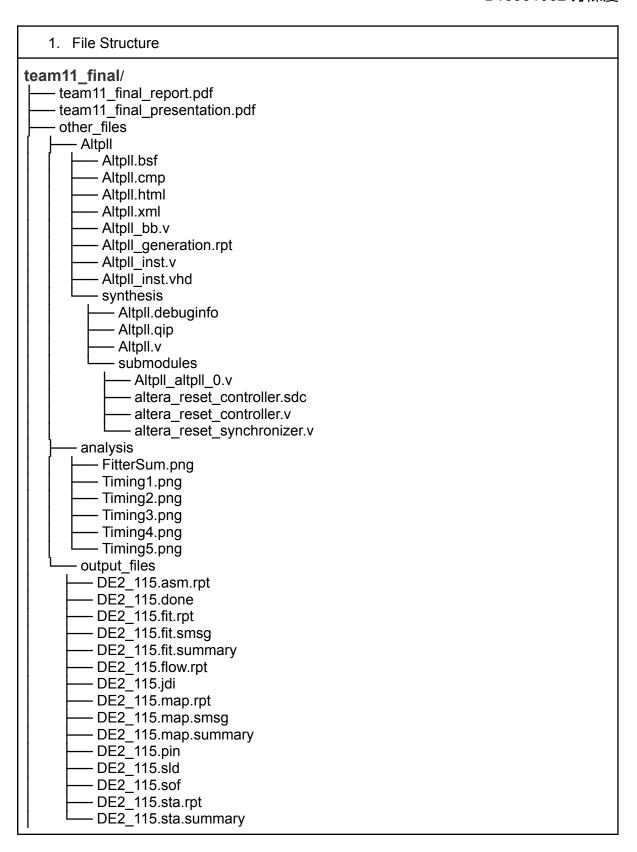
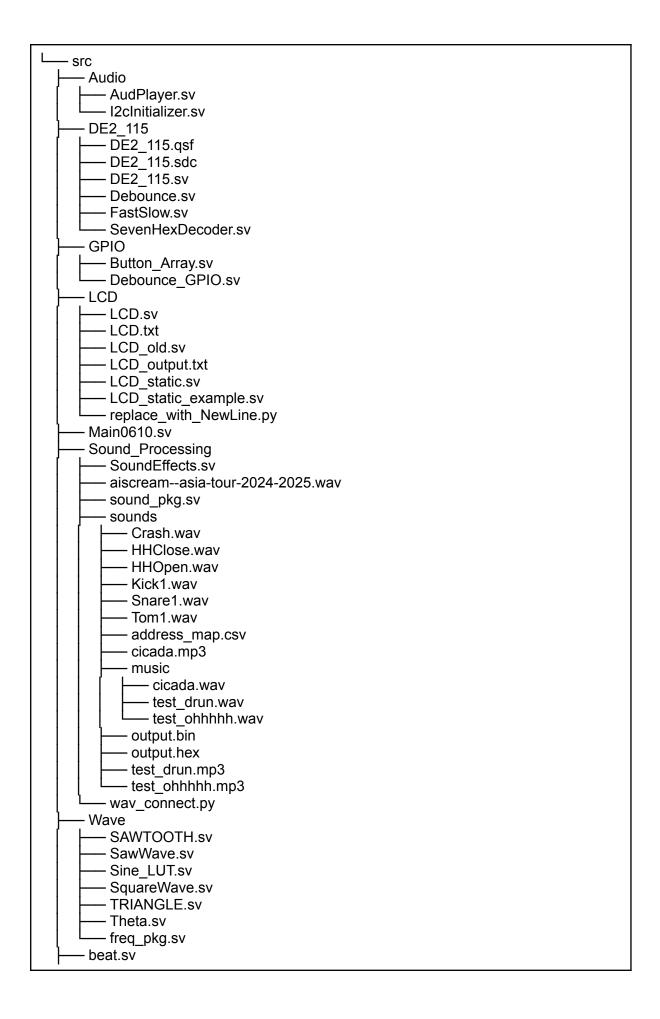
## Team11 Final Report

B10901010 劉又豪 B10901023 蔡仁揚 B10901062 方陳慶

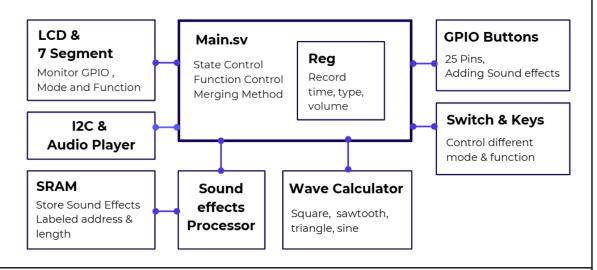




— percussion

#### 2. System Architecture

# **Architecture**



- 3. Sound Processing methodology
- → 在GPIO被觸發時, 會根據Switch設定的feature將訊息存入暫存器中。
- → 在每次輸出為右聲道時檢查"所有訊號",並且決定什麼音效該被提取。
- → 分別計算波的振幅或者是percussion在時段對應SRAM的address。
- → 合併音訊並適當處理以防爆音。
- → 在左聲道時撥出音效。
- → 同時將狀態顯示在LCD上。
- 4. GPIO Buttons
- 我們使用25個GPIO角位, 偵測按鈕訊號,並且為每一顆按鈕加入debounced 功能。
- 按鈕的電路設計則是採用上拉電阻,也就是在3.3V地方連接9k電阻,使的平時沒按下時偵測到的是高電位訊號,按下按鈕時則變為低電位訊號。
- 5. LCD Monitor
- 顯示SW狀態以及State。
- 6. Writing Percussion Sound
  - a. 我們使用Audacity將音效檔案轉換成為32kHz, 16bits單聲道音檔。
  - b. 將所有音檔用python程式(wav\_connect.py)將音檔連接、轉換成binary格式並輸出csv檔案標注各個音檔開頭的address.
  - c. 將binary透過control panel傳入DE2\_115中。
- 7. Data Storage
- 我們採用儲存音效ID、音效feature以及時間戳記的資料結構儲存音效。
- 跟直接合成比起來的好處是我們在可以對音效進行更改、復原、以及更多元的狀態 處理。

#### 8. Wave Calculation

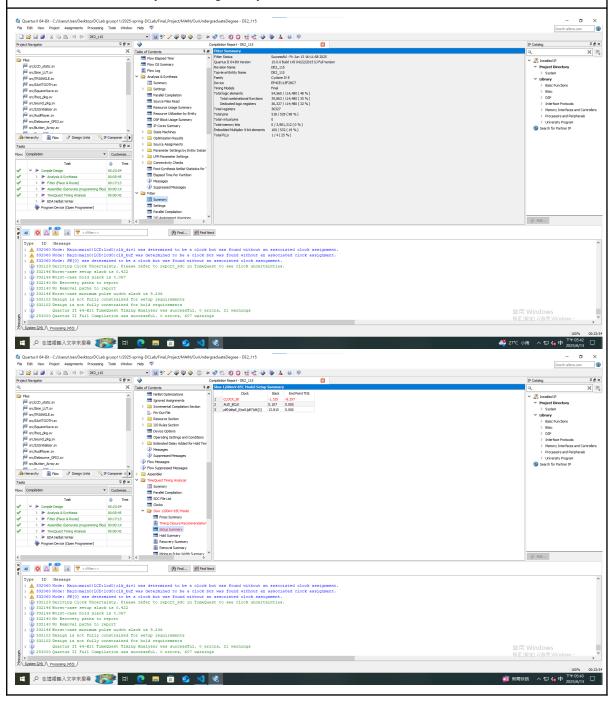
- → 先建立Theta檔案作為查表計算
- → 根據不同的wave做內插或是LUT

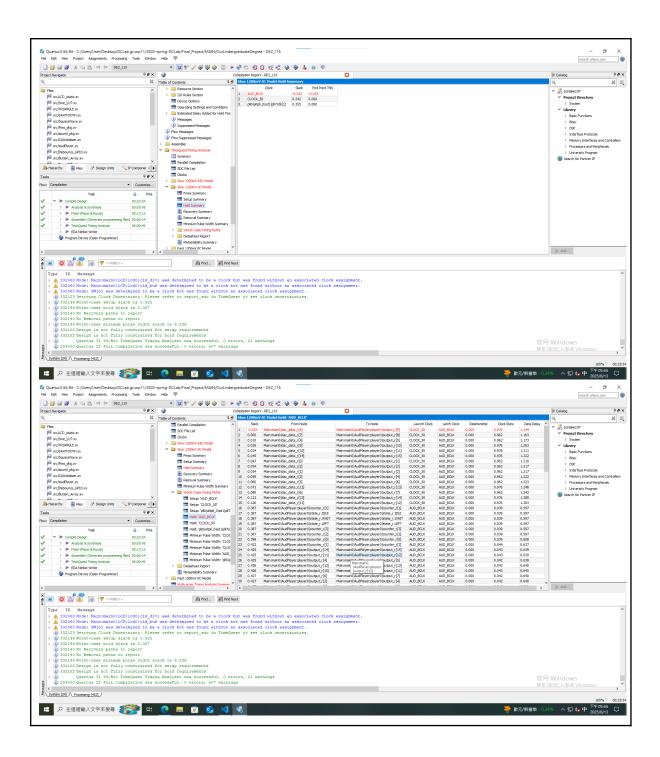
$$\theta = \left[\frac{\text{count}}{32000} \middle/ \frac{1}{f}\right] \qquad f_{\text{A4}} = 440$$

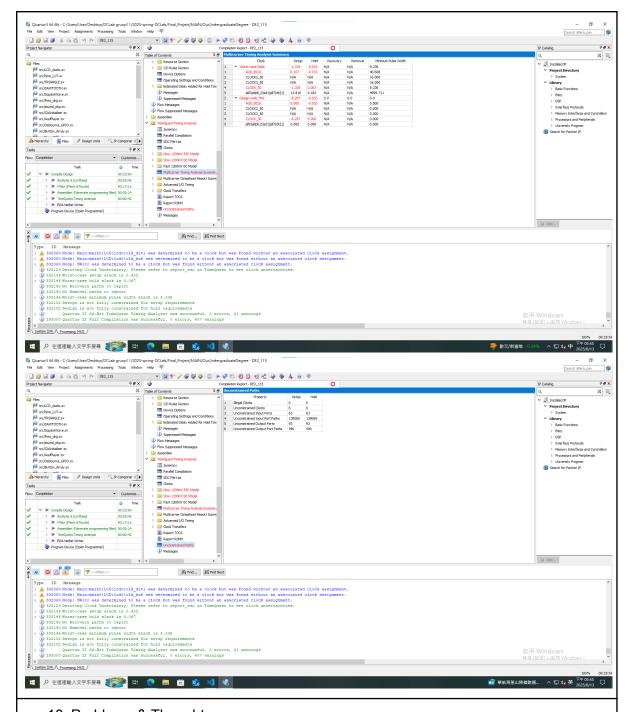
$$= \left[\frac{\text{count} \cdot f \cdot \frac{32768}{32000}}{32768}\right] \qquad f_{\text{A4, adjusted}} = 440 \cdot \left(\frac{32768}{32000}\right)$$

$$= \text{the last 15 bits of count} \cdot \left(f \cdot \frac{32768}{32000}\right) \qquad \approx 451$$

### 9. Fitter Summary & Timing Analyzer







#### 10. Problems & Thoughts

數位電路實驗的一整個學期, 以 3 次 Lab 以及 1 個 Final Project 所組成: 從 Lab 1 的亂數點名器、Lab 2 的 RSA256 解密機, 到 Lab 3 的數位錄音機, 每一次都讓我們更加熟悉 DE2\_115 以及 Quartus 的使用方式, 後面的 Final Project 也讓我們(被迫)成為 FPGA 專家。

身為電機系上數一數二惡名昭彰的實驗課,「數電實驗」帶給人的印象,就是需要花上許多時間。大二大三的時候,常常看到學新館4樓的數位電路實驗室亮著燈(不如說根本沒看過關著燈的數位電路實驗室)。實際修過之後發現,其實前面的 Lab 1 ~ Lab 3 都還好,不會花上太多時間(不須睡學校);然而到了 Final Project,各組可說是大展身手,花費大量時間與精力,想盡辦法將最後呈現的效果做到最好。甚至在 Demo 2 天前的凌晨 3:04, 有人拍下了兩三組人正挑燈夜戰的畫面。

Debug 的過程無疑是痛苦的,不過有時可以從中學習到人生哲理。我們遇過的一個 bug 是,每一次按按鈕只有大約 1/5 的機率會被讀到,不像是其他 bug 是 100% 會出現,這個只有80% 機率出現的 bug 反而讓我們更加頭痛,因為根本看不出來哪裡出錯了。(後來發現按鈕送出訊號的時長為 1/50M 秒,但讀取按鈕的頻率為 12 MHz,因此按鈕成功被讀取到的機率為 12/50 = 24%)我不禁思考,有時候「半對半錯」反而比「全錯」更加麻煩,因為「全錯」代表問題點可以馬上被發現並解決。

修過了這門課之後,可以說是收穫滿滿。近日在 NTUEE 的 FB 社團看到徵才訊息,徵的就是寫 FPGA 的人才,還特別指明「做過數位電路實驗 Final Project 的同學都可以試試看」,讓人感受到這門課的強大之處。

大四下學期最令人印象深刻的課,絕對非「數電實驗」莫屬。謝謝大家,我們畢業快樂。