

## 32 位微控制器

### HC32F4xx\_A4xx 系列勘误表

---

## 勘误表

Rev1.1 2022 年 06 月

## 适用对象

产品系列	产品型号	产品系列	产品型号
<b>HC32F4A0 系列</b>	HC32F4A0PGHB	<b>HC32F460 系列</b>	HC32F460JCTA
	HC32F4A0PGTB		HC32F460JETA
	HC32F4A0PIHB		HC32F460JEUA
	HC32F4A0PITB		HC32F460KCTA
	HC32F4A0RGTB		HC32F460KETA
	HC32F4A0RITB		HC32F460KEUA
	HC32F4A0SGHB		HC32F460PCTB
	HC32F4A0SGTB		HC32F460PEHB
	HC32F4A0SIHB		HC32F460PETB
	HC32F4A0SITB		
	HC32F4A0TIHB		
<b>HC32F451 系列</b>	HC32F451FEUB	<b>HC32F452 系列</b>	HC32F452FEUB
	HC32F451JEUB		HC32F452JEUB
	HC32F451KETB		HC32F452KETB
	HC32F451PETB		HC32F452PETB
<b>HC32A460 系列</b>	HC32A460PETB		

## 声 明

- ★ 小华半导体有限公司（以下简称：“XHSC”）保留随时更改、更正、增强、修改小华半导体产品和/或本文档的权利，恕不另行通知。用户可在下单前获取最新相关信息。XHSC 产品依据购销基本合同中载明的销售条款和条件进行销售。
- ★ 客户应针对您的应用选择合适的 XHSC 产品，并设计、验证和测试您的应用，以确保您的应用满足相应标准以及任何安全、安保或其它要求。客户应对此独自承担全部责任。
- ★ XHSC 在此确认未以明示或暗示方式授予任何知识产权许可。
- ★ XHSC 产品的转售，若其条款与此处规定不同，XHSC 对此类产品的任何保修承诺无效。
- ★ 任何带有“®”或“™”标识的图形或字样是 XHSC 的商标。所有其他在 XHSC 产品上显示的产品或服务名称均为其各自所有者的财产。
- ★ 本通知中的信息取代并替换先前版本中的信息。

©2022 小华半导体有限公司 保留所有权利

## 目 录

适用对象 .....	2
声 明 .....	3
目 录 .....	4
1 摘要 .....	6
2 HC32F4xx/A4xx 系列的注意事项 .....	7
2.1 系统注意事项 .....	8
2.1.1 停止模式唤醒后运行异常 .....	8
2.1.2 停止模式唤醒异常 .....	8
2.1.3 时钟分频配置寄存器对掉电模式的影响 .....	9
2.1.4 掉电模式唤醒后 CPU 取指错误 .....	9
2.1.5 掉电模式唤醒后系统时钟异常 .....	9
2.1.6 掉电模式 2 外部复位清除 RTC 模块 CR1_START 位 .....	9
2.1.7 可编程电压检测标志位清除 .....	10
2.1.8 DMA 通道使能 .....	10
2.1.9 DMA 通道配置 .....	10
2.1.10 EXTINT 使用限制 .....	10
2.1.11 寄存器保留位注意事项 .....	11
2.2 DCU 注意事项 .....	11
2.2.1 DCU 三角波锯齿波模式中断注意事项 .....	11
2.3 EXMC 注意事项 .....	11
2.3.1 EXMC 连续读/写访问延迟 .....	11
2.3.2 EXMC SMC 注意事项 .....	11
2.3.3 EXMC DMC/NFC/SMC 互斥访问 .....	11
2.4 SRAM 注意事项 .....	12
2.4.1 SRAM3 访问等待周期 .....	12
2.5 Timer0 注意事项 .....	12
2.5.1 同步模式写寄存器 .....	12
2.6 TimerA 注意事项 .....	12
2.6.1 输入捕获 .....	12
2.6.2 PWM 输出 .....	12
2.7 Timer6 注意事项 .....	12
2.7.1 TIM6_TRIGA~B 端口的使用 .....	12
2.8 USART 注意事项 .....	13

2.8.1	USART 发送空中断注意事项 .....	13
2.8.2	USART 单个通道硬件流控限制 .....	13
2.9	I2S 注意事项 .....	13
2.9.1	从机接收数据声道区分 .....	13
2.9.2	从机数据错位 .....	13
2.10	QSPI 注意事项 .....	13
2.10.1	4 线读写数据 .....	13
2.10.2	准读最高速率 .....	14
2.11	I2C 注意事项 .....	14
2.11.1	主机接收模式可能发出多余时钟信号 .....	14
2.11.2	主机接收模式无法判断设备地址是否发送完成 .....	14
2.11.3	从机发送模式可能导致总线拉低 .....	14
2.11.4	异常时序导致总线拉低 .....	15
2.11.5	超时功能注意事项 .....	15
2.12	SPI 注意事项 .....	15
2.12.1	SPI 主机模式数据发送间隔 .....	15
2.12.2	SPI 从机模式数据间隔 .....	15
2.13	SDI0C 注意事项 .....	15
2.13.1	长响应 (136bit) 命令应答 .....	15
2.14	CAN 控制器注意事项 .....	16
2.14.1	总线被干扰时发出未定义帧 .....	16
2.14.2	总线被干扰时发出未定义波形占用总线 .....	16
<b>版本修订记录 .....</b>		<b>18</b>

## 1 摘要

本文档主要介绍 HC32F4A0/HC32F460/HC32F451/HC32F452/HC32A460 系列芯片的使用注意事项和变通措施。

## 2 HC32F4xx/A4xx 系列的注意事项

表 2-1 注意事项统计表

注意事项		HC32F4A0	HC32F460/ HC32A460	HC32F451	HC32F452
2.1 系统注意事项	2.1.1 停止模式唤醒后运行异常	N	Y	Y	Y
	2.1.2 停止模式唤醒异常	N	Y	Y	Y
	2.1.3 时钟分频配置寄存器对掉电模式的影响	N	Y	Y	Y
	2.1.4 掉电模式唤醒后 CPU 取指错误	N	Y	Y	Y
	2.1.5 掉电模式唤醒后系统时钟异常	N	Y	Y	Y
	2.1.6 掉电模式 2 外部复位清除 RTC 模块 CR1_START 位	N	Y	Y	Y
	2.1.7 可编程电压检测标志位清除	Y	Y	Y	Y
	2.1.8 DMA 通道使能	N	Y	Y	Y
	2.1.9 DMA 通道配置	N	Y	Y	Y
	2.1.10 EXTINT 使用限制	Y	Y	Y	Y
	2.1.11 寄存器保留位注意事项	Y	Y	Y	Y
2.2 DCU 注意事项	2.2.1 DCU 三角波锯齿波模式中 断注意事项	Y	N	N	N
2.3 EXMC 注意事 项	2.3.1 EXMC 连续读/写访问延迟	Y	N	N	N
	2.3.2 EXMC SMC 注意事项	Y	N	N	N
	2.3.3 EXMC DMC/NFC/SMC 互 斥访问	Y	N	N	N
2.4 SRAM 注意事 项	2.4.1 SRAM3 访问等待周期	N	Y	Y	Y
2.5 Timer0 注意 事项	2.5.1 同步模式写寄存器	N	Y	Y	Y
2.6 TimerA 注意 事项	2.6.1 输入捕获	Y	Y	Y	Y
	2.6.2 PWM 输出	Y	Y	Y	Y
2.7 Timer6 注意 事项	2.7.1 TIM6_TRIGA~B 端口的 使用	N	Y	Y	Y
2.8 USART 注意 事项	2.8.1 USART 发送空中断注意事 项	N	Y	Y	Y
	2.8.2 USART 单个通道硬件流控 限制	N	Y	Y	Y

注意事项		HC32F4A0	HC32F460/ HC32A460	HC32F451	HC32F452
2.9 I2S 注意事项	2.9.1 从机接收数据声道区分	Y	Y	Y	Y
	2.9.2 从机数据错位	Y	Y	Y	Y
2.10 QSPI 注意事项	2.10.1 4 线读写数据	Y	Y	Y	Y
	2.10.2 准读最高速率	Y	Y	Y	Y
2.11 I2C 注意事项	2.11.1 主机接收模式可能发出多余时钟信号	Y	Y	Y	Y
	2.11.2 主机接收模式无法判断设备地址是否发送完成	Y	Y	Y	Y
	2.11.3 从机发送模式可能导致总线拉低	Y	Y	Y	Y
	2.11.4 异常时序导致总线拉低	Y	Y	Y	Y
	2.11.5 超时功能注意事项	Y	Y	Y	Y
2.12 SPI 注意事项	2.12.1 SPI 主机模式数据发送间隔	Y	Y	Y	Y
	2.12.2 SPI 从机模式数据间隔	Y	Y	Y	Y
2.13 SDIO 注意事项	2.13.1 长响应（136bit）命令应答	Y	Y	Y	Y
2.14 CAN 控制器 注意事项	2.14.1 总线被干扰时发出未定义帧	Y	Y	Y	Y
	2.14.2 总线被干扰时发出未定义波形占用总线				

## 2.1 系统注意事项

### 2.1.1 停止模式唤醒后运行异常

#### ■ 问题描述

芯片从停止模式唤醒后，Flash 没有稳定，可能导致 CPU 取指错误，芯片运行异常。

#### ■ 变通措施

系统时钟切换到 MRC 后，再进入停止模式。

即，进入停止模式前，备份用户时钟（非 MRC），切换系统时钟为 MRC，进入停止模式；退出停止模式后，恢复用户时钟。

### 2.1.2 停止模式唤醒异常

#### ■ 问题描述

芯片在停止模式下，停止模式唤醒事件使能寄存器（INTC\_WUPEN）中未使能的中断产生，可能会导致芯片从停止模式唤醒异常。



#### ■ 变通措施

进入停止模式前，关闭 INTC\_WUPEN 寄存器中未使能的中断源，退出停止模式后，恢复关闭的中断源。

### 2.1.3 时钟分频配置寄存器对掉电模式的影响

#### ■ 问题描述

时钟分频配置寄存器（CMU\_SCFGR）的保留位 bit31~bit28，设定的时钟分频数比 CMU\_SCFGR.HCLK 设定的分频数小，退出掉电模式后，无法再进入掉电模式。

#### ■ 变通措施

CMU\_SCFGR 的保留位 bit31~bit28 设定的分频数与 CMU\_SCFGR.HCLK 设定的分频数一致。

### 2.1.4 掉电模式唤醒后 CPU 取指错误

#### ■ 问题描述

芯片从掉电模式唤醒后，如进行掉电模式控制寄存器 0（PWRC0）中 PWDN 位清零后，再次置位的操作，可能导致 CPU 取指错误，芯片运行异常。

#### ■ 变通措施

将进入掉电模式的函数放到 RAM 中执行。

### 2.1.5 掉电模式唤醒后系统时钟异常

#### ■ 问题描述

系统时钟为 HRC 或系统时钟为 MPLL 且 MPLL 的时钟源为 HRC 时，芯片从掉电模式唤醒后，如产生 PWRC0.PWDN 清零后再次置位的动作（同 2.1.4 操作），会产生 ICG 加载动作。如果 ICG1.HRCSTOP 值为 1，即 HRC 停止状态，会和当前系统时钟为 HRC 冲突。

#### ■ 变通措施

将进入掉电模式的函数放到 RAM 中执行，并且把 ICG1.HRCSTOP 位配置成 0。

### 2.1.6 掉电模式 2 外部复位清除 RTC 模块 CR1\_START 位

#### ■ 问题描述

芯片进入掉电模式 2 后，产生外部端口复位，会触发 POR 复位，导致芯片全部初始化，即把不期望复位的 RTC 等模块也进行了复位。

#### ■ 变通措施

如要在掉电模式下使用 RTC 功能，可使用掉电模式 1。

### 2.1.7 可编程电压检测标志位清除

#### ■ 应用注意

HC32F460/HC32F451/HC32F452/HC32A460 系列芯片,PVD 检测状态寄存器(PWC\_PVDDSR)中检测标志位 PVD1DETFLG, PVD2DETFLG 分别由该寄存器(PWC\_PVDDSR)中 PVD1MON, PVD2MON 清除。

HC32F4A0 系列,PVD 检测状态寄存器(PWC\_PVDDSR)中检测标志位 PVD1DETFLG 和 PVD2DETFLG 均由 PVD1DETFLG 清除。

### 2.1.8 DMA 通道使能

#### ■ 问题描述

DMA 通道传输完成后,硬件会使通道使能寄存器(DMA\_CHEN)相应位自动清零。可能会和软件写使能 DMA\_CHEN 产生冲突。

#### ■ 变通措施

避免在 DMA\_CHEN 的某位或某几位自动清零时,对该寄存器内执行 RMW 操作。

### 2.1.9 DMA 通道配置

#### ■ 问题描述

DMA 同一单元内,有通道正在进行 Block 传输时,无法修改本单元内其他通道的配置。

#### ■ 变通措施

配置 DMA 寄存器后,读取对应寄存器值判断是否写入成功,如未成功,继续写直至成功或超时处理。

### 2.1.10 EXTINT 使用限制

#### ■ 问题描述

HC32F460/HC32F451/HC32F452/HC32A460 系列,同 Pin 位号的外部中断功能同时使能,仅 Port 序号小的对应外部中断通道生效。例如 PA0、PB0 同时置位 PCRx0:INTE,仅 PA0 上的外部中断信号能被响应。

HC32F4A0 系列,同 Pin 位号的外部中断功能同时使能,外部中断信号由所有使能对应管脚的电平的逻辑或条件决定。例如 PA0、PB0 同时置位 PCRx0:INTE,低电平有效,需 PA0、PB0 同时为低时,外部中断通道 0 被响应。

#### ■ 变通措施

每个外部中断通道可配置的 I/O 不止一个,使用同一通道的外部中断,不要配置多个 Pin。例如:PA0 和 PB0 的外部中断不要同时使能。

### 2.1.11 寄存器保留位注意事项

#### ■ 应用注意

所有寄存器的保留位（除本文提及），请确保芯片使用过程中一直为缺省值，否则可能造成不可预期的结果。

## 2.2 DCU 注意事项

### 2.2.1 DCU 三角波锯齿波模式中断注意事项

#### ■ 问题描述

DCU 配置为三角波和锯齿波模式，寄存器 DATA0 [11:0] 达到峰值或谷值时，产生中断。如 DATA0 的值保持为峰值或谷值，将持续产生中断信号；直到 DATA0 变为非峰值或非谷值。

#### ■ 变通措施

为避免重复中断响应，寄存器 DATA0 [11:0] 达到峰值或谷值后，先禁止该中断，等到 DATA0 [11:0] 为非谷值或峰值时，重新使能该中断。

## 2.3 EXMC 注意事项

### 2.3.1 EXMC 连续读/写访问延迟

#### ■ 问题描述

EXMC 连续读/写访问之间会产生延迟。

#### ■ 变通措施

用户需评估延迟是否满足需求。

### 2.3.2 EXMC SMC 注意事项

#### ■ 应用注意

SMC 同步读/写访问且突发长度为 4 次时，SMC 每次读/写访问产生一次读/写使能信号 OE/WE；其他配置情况，SMC 每次读/写访问产生 4 次读/写使能信号 OE/WE。

### 2.3.3 EXMC DMC/NFC/SMC 互斥访问

#### ■ 问题描述

同时使能 DMC、NFC、SMC 两个或以上的功能，访问时会产生总线竞争，导致异常。

#### ■ 变通措施

不同时使用 DMC、NFC、SMC 两个或以上的功能。

## 2.4 SRAM 注意事项

### 2.4.1 SRAM3 访问等待周期

#### ■ 问题描述

如果 SRAM3 的访问等待周期为 0，会出现数据读取错误。

#### ■ 变通措施

使用 SRAM3 之前，将 SRAM3 的访问等待周期设置为至少 1 个等待周期。

## 2.5 Timer0 注意事项

### 2.5.1 同步模式写寄存器

#### ■ 应用注意

在同步时钟下，对 BCONR 寄存器中的 CSTA/CSTB 位进行写操作，需要等待 3 个时钟周期才能写入成功。

## 2.6 TimerA 注意事项

### 2.6.1 输入捕获

#### ■ 应用注意

TimerA 只有通道 4 可以捕获 TIMA\_<t>\_TRIG 的上升/下降沿，该功能由通道 3 的捕获控制寄存器 CCONR3.HICP4/HICP3 使能或禁止。

### 2.6.2 PWM 输出

#### ■ 问题描述

当使用 PCLK 作为计数时钟且时钟分频数不为 0 (BCSTR.CKDIV[3:0] != b' 0000) 时，无法指定计数器启动时端口的输出电平（即 PCONR.STAC[1:0] = b' 00 或 b' 01 设置无效）。

#### ■ 变通措施

在使用 PCLK 作为 TimerA 的计数时钟时，若要指定计数器启动时端口的输出电平，需要将 PCLK 的时钟分频数设置为 0 (BCSTR.CKDIV[3:0] = b' 0000)。

## 2.7 Timer6 注意事项

### 2.7.1 TIM6\_TRIGA~B 端口的使用

#### ■ 应用注意

TIM6\_TRIGA~B 的数字滤波功能由单元 1 的 FCONR 设定。

Timer6 任意单元使用 TIM6\_TRIGA~B 端口时,都需要将功能控制器 PWC\_FCG2 中的 TIMER6\_1 位清零。

## 2.8 USART 注意事项

### 2.8.1 USART 发送空中断注意事项

#### ■ 问题描述

在 USART 发送功能已经使能 (USART\_CR1.TX=1) 情况下,再使能发送空中断 (USART\_CR1.TXEIE=1),不会产生发送空中断。

#### ■ 变通措施

在 USART 发送功能未使能 (USART\_CR1.TX=0) 情况下,同时使能发送功能和发送空中断 (USART\_CR1 |= 0x00000088UL)。

### 2.8.2 USART 单个通道硬件流控限制

#### ■ 问题描述

单个通道无法实现 CTS 和 RTS 的硬件流控功能。

#### ■ 变通措施

两个 USART 通道分别使用 CTS 和 RTS 功能。

## 2.9 I2S 注意事项

### 2.9.1 从机接收数据声道区分

#### ■ 应用注意

I2S 从机接收数据时,不能区分数据归属于左/右声道。

### 2.9.2 从机数据错位

#### ■ 应用注意

I2S 从机传输数据时,因外界干扰造成数据错乱,可能发生数据移位 (即数据位和时钟位失步),数据移位后不能通过 WS 线自动同步时钟。

## 2.10 QSPI 注意事项

### 2.10.1 4 线读写数据

#### ■ 应用注意

QSPI 支持 4 线读取数据,但不支持 4 线写入数据,只支持单线写入数据。

### 2.10.2 准读最高速率

#### ■ 问题描述

QSPI 标准读模式，在 QSPI 时钟频率较高时，读写 Flash 数据异常。

#### ■ 变通措施

请根据实际连接的 QSPI-ROM 的规格选择合适的读取模式。

## 2.11 I2C 注意事项

### 2.11.1 主机接收模式可能发出多余时钟信号

#### ■ 问题描述

进入主机接收模式后，当 DRR 寄存器或移位寄存器为空时，主机主动发送时钟信号读取数据，应用代码可能无法及时将 CR1.STOP 标志位写 1 停止时钟信号的发送，导致发出多余的时钟信号。若这种情况导致 DRR 寄存器有多余的数据未被读取，此时无法通过 CR1.STOP 标志位写 1 发出停止条件。

#### ■ 变通措施

结合以下两个步骤规避：

- 1) 配置作为主机时，将 CR4.BUSWAIT 寄存器位写 1 使能总线等待功能。此功能使能后，当 DRR 寄存器中有数据还未被读走时，主机不会继续发送时钟信号读取数据。
- 2) 主机接收数据流程中，当最后 1Byte 数据进入 DRR 寄存器后（判断 SR.RFULLF 为 1），首先写 CR1.STOP 寄存器发送停止条件使主机退出接收模式，然后再读取 DRR 寄存器内的数据。

### 2.11.2 主机接收模式无法判断设备地址是否发送完成

#### ■ 问题描述

写 DTR 寄存器发送设备地址后，I2C 模块立即进入主机接收模式，此时 SR.TENDF 寄存器标志位失效，无法通过 SR.TENDF 标志来判断地址是否发送完成。

#### ■ 变通措施

写 DTR 寄存器发送设备地址后，通过等待 SR.TRA 标志位为 0 来判断地址是否发送完成。

### 2.11.3 从机发送模式可能导致总线拉低

#### ■ 问题描述

从机发送模式下，如收到主机的 NACK 信号后继续向 DTR 寄存器写了数据，此数据未被主机读走，从机会拉低 SDA 信号，导致主机端无法发出停止条件。

#### ■ 变通措施

避免在 NACK 信号后写 DTR 寄存器，若因此操作出现无法释放总线情况后，通过 I2C 外设软件复位释放总线。

#### 2.11.4 异常时序导致总线拉低

##### ■ 问题描述

I2C 主机使能时，如果 FACKEN 标志配置为 1，总线上出现不符合 I2C 协议的时序，I2C 模块可能会拉低 SCL 信号，影响总线状态。

##### ■ 变通措施

使用软件回复 ACK 功能（FACKEN=1）时，通信前置位，通信后清零 FACKEN。

#### 2.11.5 超时功能注意事项

##### ■ 问题描述

超时功能寄存器 SLTR.TOUTHIGH 和 SLTR.TOUTLOW 位宽为 16 位，超时功能计时范围有限。

##### ■ 变通措施

在超时中断内进行软件计数实现对较长超时时间的功能需求。

### 2.12 SPI 注意事项

#### 2.12.1 SPI 主机模式数据发送间隔

##### ■ 应用注意

主机发出的两个连续的数据之间会至少间隔 3 个 SCK 周期和 2 个 PCLK 周期的时间，导致 SCK 波形不连续。

#### 2.12.2 SPI 从机模式数据间隔

##### ■ 应用注意

SPI 从机模式要求主机帧与帧之间必须有 2 个 SCK 周期和 2 个 PCLK 周期的间隔，否则会出错。

### 2.13 SDI0C 注意事项

#### 2.13.1 长响应（136bit）命令应答

##### ■ 问题描述

SDI0C 在长响应（136bit）的命令应答时，会硬件裁剪最后 1 个 Byte 的数据，造成数据整体向低位右移 8bit。

##### ■ 变通措施

将数据整体向高位左移 8bit。

## 2.14 CAN 控制器注意事项

### 2.14.1 总线被干扰时发出未定义帧

#### ■ 问题描述

当总线被干扰时，CAN 控制器在发送时可能发出应用程序未定义的帧，包括未定义的 ID 或未定义的数据。

#### ■ 变通措施

变通措施包括以下几点：

- 1) 将 CAN 的控制逻辑时钟频率设置为至少是 CAN 的通信时钟频率的 1.5 倍。例如，通信时钟频率为 20MHz，那么控制逻辑时钟的频率最低须设置为 30MHz。各系列 MCU 的通信时钟和控制逻辑时钟如表 2-2；

表 2-2 CAN 控制器时钟

MCU	通信时钟	控制逻辑时钟
HC32F4A0	(由寄存器 CMU_CANCKCFGR 指定)	PCLK1
HC32F460	外部高速晶振	EXCLK
HC32F452	外部高速晶振	EXCLK
HC32A460	外部高速晶振	EXCLK

- 2) 发送使能后，在发送完成之前，不向任何发送 Buffer 填充数据并使能发送；
- 3) 在应用程序中增加消息有效性确认机制，如增加握手协议、增加帧（包括 ID 和数据）的校验、根据系统状态判断新接收的帧是否采用等。

### 2.14.2 总线被干扰时发出未定义波形占用总线

#### ■ 问题描述

当总线被干扰时，CAN 控制器在发送时可能发出 CAN 协议未定义的波形占用总线。

#### ■ 变通措施

建议每次只填充发送一帧数据，并做发送超时处理。正常发送完成后，可直接继续填充并发送新的帧；如果发送超时，需重新初始化 CAN 控制器并等待至少 11 个 CAN 位时间，再进行发送。

发送超时的时间，可粗略的根据总线节点总数以及波特率来计算。

以如下条件举例说明：

- 1) 如总线节点 10 个；
- 2) 波特率 1Mbps；
- 3) 数据长度 8 字节，设发送所需的最长时间为 140us。



理论上, 在正常情况下, 10 个节点依次全部发完一帧需要至少约 1.4ms, 那么超时时间可设置为 2ms 或更长。但当总线被干扰时, 超时时间应再长一些, 如 5ms。

发送超时后, CAN 控制器的初始化流程如下:

- 1) 关闭 CAN 控制器的外设时钟 (通过 FCG 寄存器);
- 2) 使能 CAN 控制器的外设时钟 (通过 FCG 寄存器);
- 3) 初始化 CAN 控制器的寄存器。

## 版本修订记录

版本号	修订日期	修订内容
Rev1.0	2022/05/27	初版发布。
Rev1.1	2022/06/22	增加“CAN 控制器注意事项”章节。

若您在购买与使用过程中有任何意见或建议，请随时与我们联系。

邮箱: support@xhsc.com.cn

电话: 021-68667000-7355

地址: 上海市浦东新区中科路 1867 号 A 座 10 层

