

2025年春季计算机组成与结构期末试题

- tip: 适用于人工智能, 大数据, 信科三个专业, 计科可参考 (AI 2301 SH)

一、选择题 (9*3=27分)

1.

13. 冯·诺依曼计算机工作方式的基本特点是_____。

- A. 多指令流单数据流
- B. 按地址访问并顺序执行指令
- C. 堆栈操作
- D. 存储器按内部选择地址

B

2. 0-99 要多少个二进制数表示

3. 4. 对某个寄存器中操作数的寻址方式称为_____寻址。

- A. 直接
- B. 间接
- C. 寄存器
- D. 寄存器间接

答案: C

4. 给一个负定点小数计算补码

5. 15. 下列因素下, 与 cache 的命中率无关的是_____。

- A. 主存的存取时间
- B. 块的大小
- C. cache 的组织方式
- D. cache 的容量

答案: A

6. 直接映射, 计算cache行号

7. 9. 微程序控制器中, 机器指令与微指令的关系是_____。

- A. 每一条机器指令由一条微指令来执行
- B. 每一条机器指令由一段用微指令编成的微程序来解释执行

'0 .

C. 一段机器指令组成的程序可由一条微指令来执行

D. 一条微指令由若干条机器指令组成

答案: B

8.

23. 在定点数运算中产生溢出的原因是_____。

- A. 运算过程中最高位产生了进位或借位
- B. 参加运算的操作数超出了机器的表示范围
- C. 运算的结果的操作数超出了机器的表示范围
- D. 寄存器的位数太少,不得不舍弃最低有效位

答案: C

9. 相对寻址, 主要考PC自增

二、简答题

1. 介绍三级存储体系结构, 并说明目的
2. 解释指令的操作码和地址码, 并说明什么是有效地址
3. 说明指令周期, 机器周期, 时钟周期的含义与区别
4. 介绍我国一个领先的硬件, 并说明其中的技术 (神威太湖之光)

三、计算题

机器补码浮点数加减, 跟下图格式问法相同, 改了数据

例1. 两浮点数 $x = 2^{101} \times 0.11011011$, $y = 2^{111} \times (-0.10101100)$ 。
假设尾数在计算机中以补码表示, 可存储10位尾数, 含2位符号位(双符号位), 阶码以补码表示, 求 $x+y$ 。

解: 将 x, y 转换成浮点数据格式

$[x]_{\text{浮}} = 00\ 101, 00.11011011$

$[Y]_{\text{浮}} = 00\ 111, 11.01010100$

步骤1: 对阶, 阶差 $E_x - E_y = [E_x]_{\text{补}} + [-E_y]_{\text{补}}$

$[-E_y]_{\text{补}} = 11\ 001$

$E_x - E_y = 00\ 101 + 11\ 001 = 11\ 110 = -2 < 0$

$E_x - E_y < 0$ 所以 $E_x < E_y$ 小阶向大阶看齐,

所以, x 阶码加2 x 尾数右移2位。

步骤2：尾数求和

$$\begin{aligned}[X+Y]_{\text{浮}} &= 00\ 111, \textcolor{red}{00.00110110}(\textcolor{green}{11}) \text{ 保留附加位(P83)} \\ &+ 00\ 111, 11.01010100 \\ &= 00\ 111, \textcolor{red}{11.10001010}(\textcolor{green}{11})\end{aligned}$$

步骤3：计算结果规格化

$$\begin{aligned}[X+Y]_{\text{浮}} &\text{ 为非规格化数, 尾数需左归1位, 阶码减1,} \\ &00\ 110, \textcolor{red}{11.00010101}(\textcolor{green}{1})\end{aligned}$$

步骤4：舍入处理

$$\begin{aligned}[X+Y]_{\text{浮}} &= \textcolor{red}{00}110, \textcolor{red}{11.00010110}(\textcolor{red}{0}) \text{ (0舍1入法)} \\ &\text{ 且结果已是规格化的.}\end{aligned}$$

步骤5：溢出判断

$$\textcolor{red}{\text{无溢出}} \quad [X+Y]_{\text{浮}} = 2^{110} \times (-00.11101010)_2。$$

-57-

2. 给定虚拟地址位数，主存位数，页大小，计算VPN,VPO,PPN,PPO.

5.8 计算机的指令格式包括操作码 OP、寻址方式特征位 I 和形式地址 D 等 3 个字段，其中 OP 字段为 6 位，寻址方式特征位 I 为 2 位，形式地址字段 D 为 8 位。I 的取值与寻址方式的对应关系如下。

I=00：变址。

I=01：用变址寄存器 X1 进行变址。

3. I=10：用变址寄存器 X2 进行变址。

I=11：相对寻址。

设 (PC)=1234H, (X1)=0037H, (X2)=1122H, 以下 4 条指令均采用上述格式，请确定这些指令的有效地址。

(1) 4420H; (2) 2244H; (3) 1322H; (4) 3521H。

考试只考了变址和相对两个

四、应用题

1. 设计存储器，用32K* 8设计128K *16

(1) 计算要用多少块

(2) 计算数据线数，地址线数

(3) 画图连接

4.18 某计算机采用页式虚拟存储管理方式，按字节编址，虚拟地址为 32 位，物理地址为 24 位，页大小为 8KB；TLB 采用全相联映射；cache 数据区大小为 64KB，按二路组相联方式组织，主存块大小为 64B。存储访问过程的示意图如图 4.57 所示。请回答下列问题。

2.

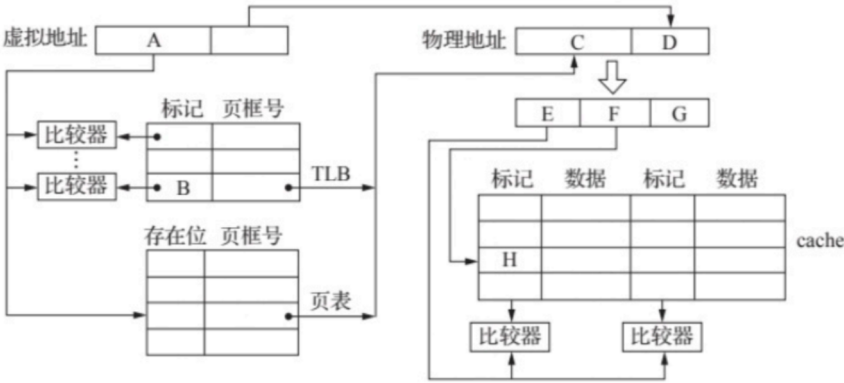


图 4.57 存储访问过程示意图

- (1) 图字段 A ~ G 的位数各是多少？TLB 标记字段 B 中存放的是什么信息？
- (2) 将块号为 4099 的主存块装入 cache 中时，映射的 cache 组号是多少？对应 H 字段的内容是什么？
- (3) cache 缺失处理的时间开销大还是缺页处理的时间开销大？为什么？
- (4) 为什么 cache 可以采用写穿策略，而修改页面内容时总是采用写回策略？

只考了前两问

4. 图 5.4 所示为双总线结构的机器，IR 为指令寄存器，PC 为程序计数器（具有自增功能），M 为主存（受 R/W 信号控制），AR 为主存地址寄存器，DR 为数据缓冲寄存器，ALU 由 +、- 控制信号决定可完成何种操作，控制信号 G 控制的是一个门电路。另外，线上标注有控制信号，例如， Y_i 表示 Y 寄存器的输入控制信号， R_{1o} 为寄存器 R_1 的输出控制信号。未标字符的线为直通线，不受控制。

3.

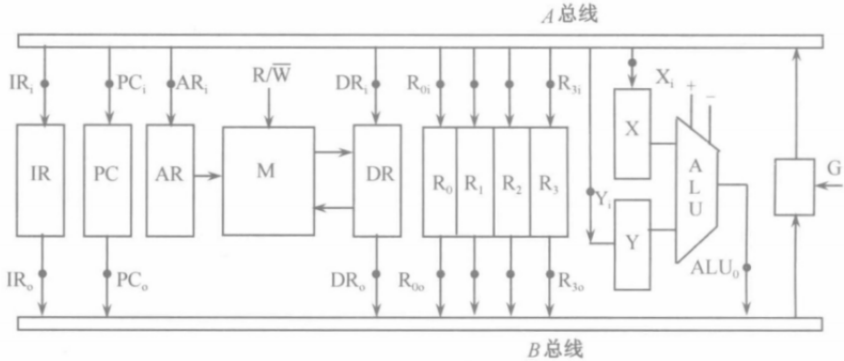


图 5.4

“SUB R1,R3”指令完成 $(R_3) - (R_1) \rightarrow R_3$ 的功能操作，画出其指令周期流程图，并列出相应的微操作控制信号序列。

第一问跟上面的问法一样，写微指令流程图；

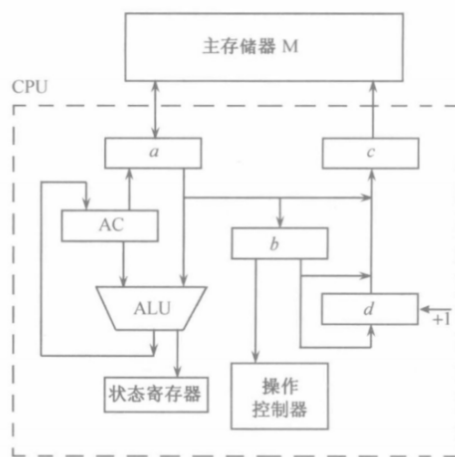


图 5.3

存储器写: AR 先置数据地址, AC→DR→M。

四个寄存器,各部分之间的连线表示数据通路,箭头表示信息传送方向。

(1) 标明图中四个寄存器的名称。

(2) 简述指令从主存取到控制器的数据通路。

(3) 简述数据在运算器和主存之间进行存/取访问的数据通路。

【解】(1) a 为数据缓冲寄存器 DR, b 为指令寄存器 IR, c 为主存地址寄存器 AR, d 为程序计数器 PC。

(2) 主存 M→缓冲寄存器 DR→指令寄存器 IR→操作控制器。

(3) 存储器读: AR 先置数据地址, M→DR→ALU→AC。

第二问跟上面这个题目第三问一样, 写数据通路