

# Preparation Lab2

## Advanced CPU architecture and hardware accelerators lab

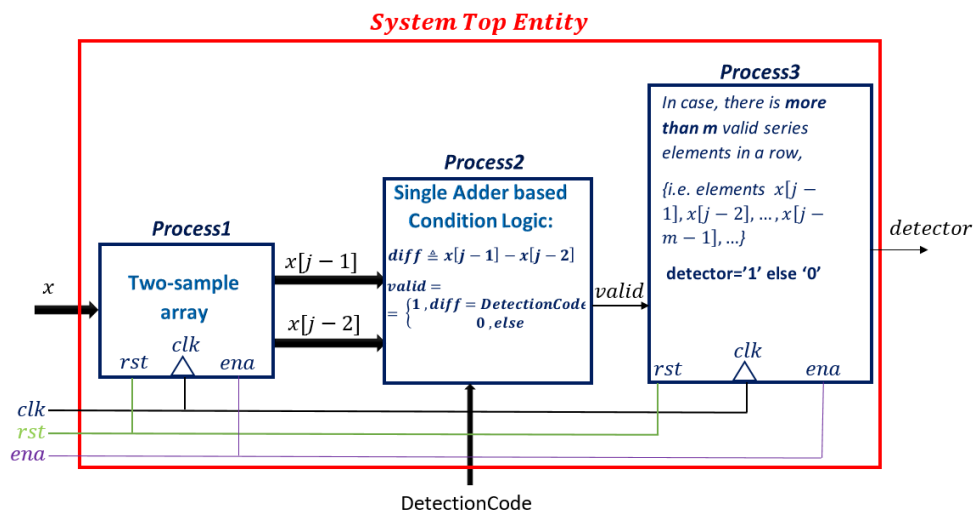
Prepared by: Yarin Oziel, Itay Kandil

### הקדמה

במעבדה זו נלמד לכתוב קוד סיריאלי מסונכרן במידול התנהגותי בשפת תיאור חומרה VHDL. נממש גלאי המזהה תתי סדרות התואם את טבלת התנאים הבאה:

DetectionCode	Condition
0	$x[j-1] - x[j-2] = 1$
1	$x[j-1] - x[j-2] = 2$
2	$x[j-1] - x[j-2] = 3$
3	$x[j-1] - x[j-2] = 4$

פעולת המערכת מתוארת בדיאגרמת הבלוקים הבאה:



כניסות ומוצאים של המערכת:

- אות כניסה *X*
- אות *DetectionCode*
- קו שעון *clk*: פעולות סינכרוניות מתבצעות בעליית השעון מ-0 ל-1
- קו בקרה *rst*: מאפס את כניסות המערכת בפעולה א-סינכרונית כאשר 1
- קו בקרה *ena*: מאפשר שימוש במודול כאשר 1
- אות מוצא המערכת *detector*

בעמודים הבאים נראה פירוט של מודול *top* ביחד עם סימולציות ב MODEL-SIM

### מודול Top

מודול זה מתפקד בתור מעטפת וגישור עבור המודולים ונותנת ממשק לכניסות ומוצאי המערכת. המערכת מוגדרת בתור מערכת סינכרונית אשר מריצה תהליכים בעליית השעון. כאשר enable מוגדר גבוה ו reset מוגדר נמוך המערכת תפעל לפי השלבים הבאים:

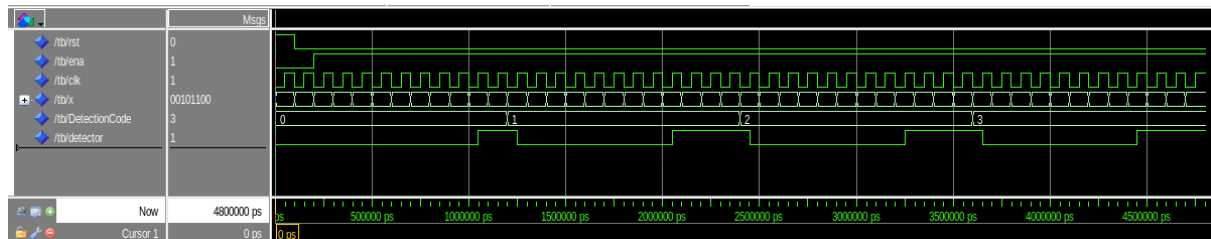
1. חישוב ההפרש בין שני ערכי עבר של כניסת X, ז"א  $diff = x[j - 1] - x[j - 2]$  כאשר  $j-i$  מגדיר את i מחזורי שעון לפני j.
2. זיהוי מוצלח מוגדר כששני תנאים מתקיימים לפי הטבלה לעיל:  $DetectionCode=i$  וגם  $diff=i+1$  כאשר  $i=0,1,2,3$ .
3. לאחר לפחות m זיהויים מוצלחים מתקבל במוצא המערכת  $detector=1$ , אחרת 0. (הערך m נתון מראש (7) וניתן לשינוי)

## סימולציה

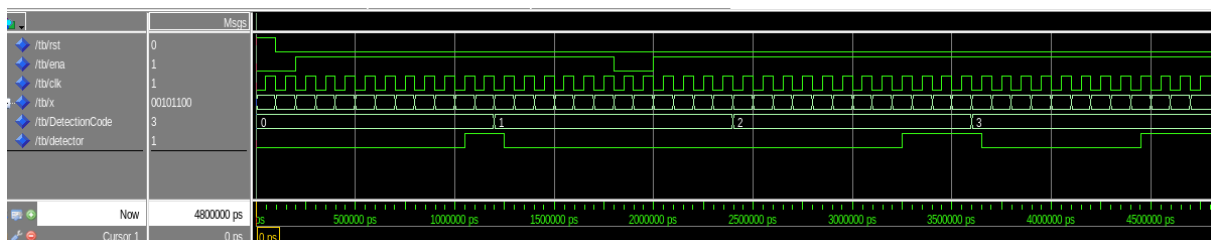
נבדוק את תקינות המודול לפי כמה מקרי קצה, הכנסנו בדיקה בכל מקרה כך שבמידה ולא תהיה תואמת לפונקציה הבולאנית המתארת את המעגל נקבל שגיאה בסימולציה. בדקנו את כל הפונקציות במערכת ז"א: זיהוי נכון ותקין של תתי הסדרות אשר הגדרנו כדי למדוד כמה מקרי קצה.

כאן מוצגים דיאגרמות הזמן של 3 הבדיקות הנתונות במעבדה:

tb\_1:



tb\_2:



tb\_3:

