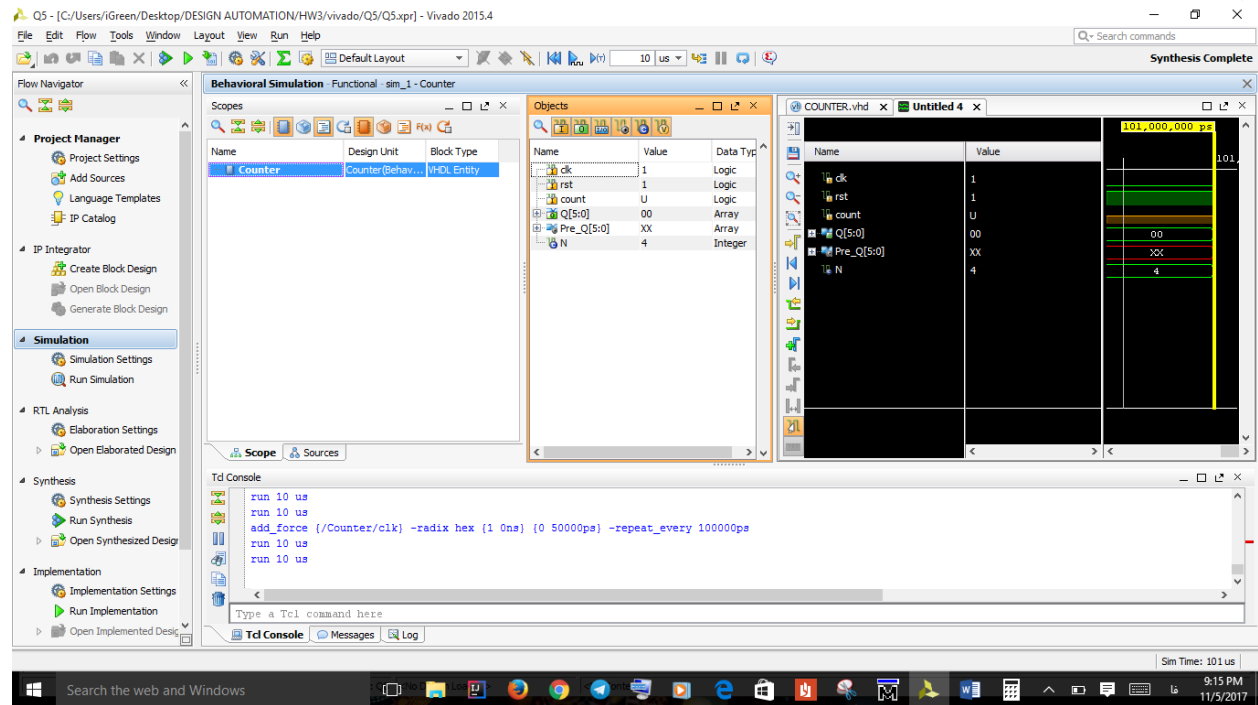


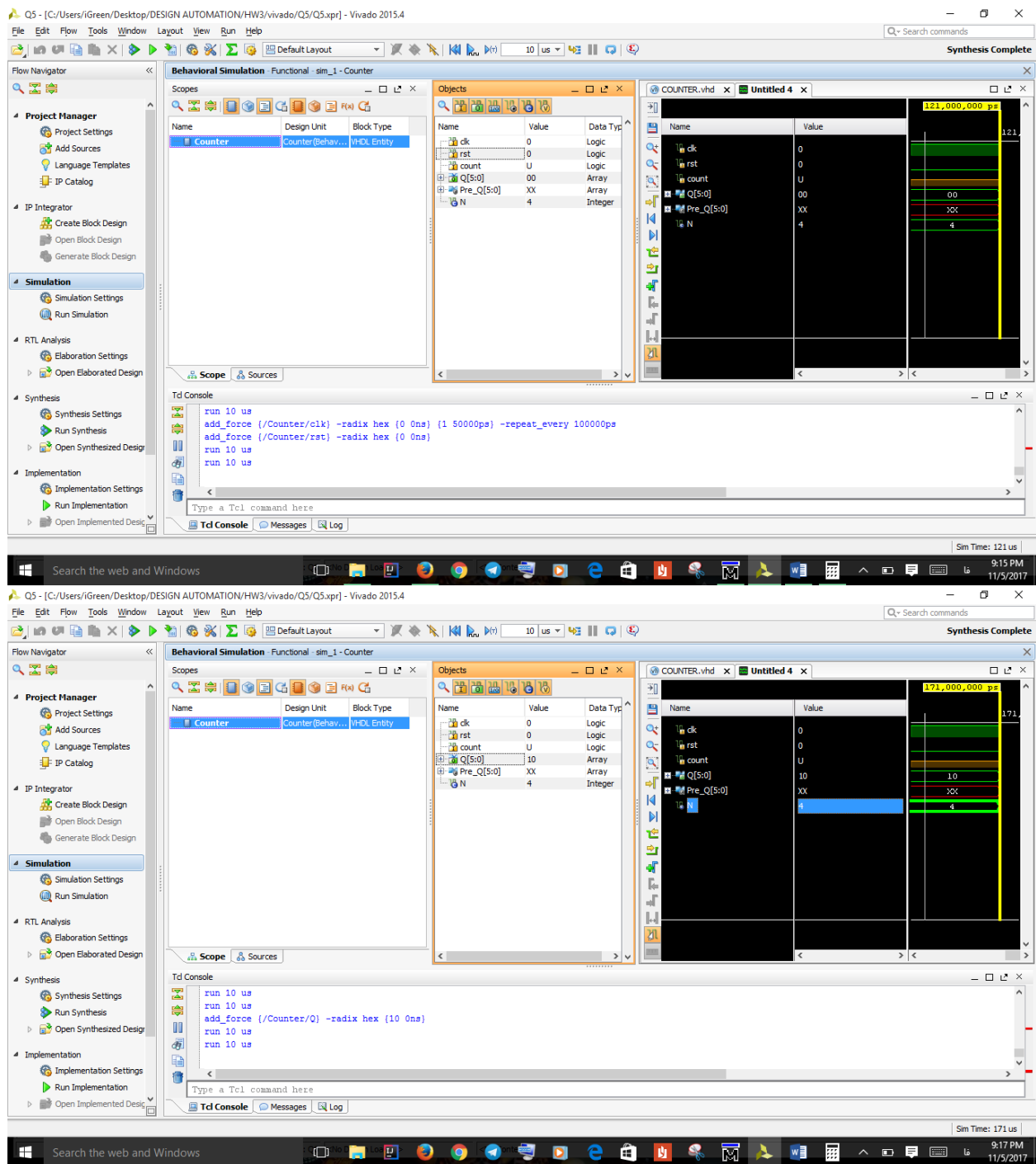
# FPGA\_HW3

## 9431022

### Report

(5)





(6)

الف-

مقدار سیگنال امگا همواره نامشخص است.

پس قابل مقایسه نیستند.

ز=0

ایکس=0

ایگرگ=1 (دو بار مقدار دهی، یک بار اول و یکبار آخر، و میدانیم سیگنال ها وقتی پروسس به آخر برسد مقدار میگیرند) این قطعه کد ارور میدهد، فکر کنم دلیل آن این باشد که یک سیگنال دارد همزمان از دوجای متفاوت مقدار دهی میشود.

پ-

ورودی در نهایت به خروجی وصل میشود:دی

در آن قرار میگیرد. SIN و مقدار

تمام این اتفاقات به شرط وجود کلاک صورت میگیرد.

sin+نمیفهمم دقیقا

چیه، اما اگر درست فهمیده باشم و یک اسم متغیر باشه، اتفاقی که میفته در نهایت اینه که توی خونه ی اول آرایه اون مقدار پیش فرض قرار میگیره و بقیه شون به ترتیب صفر میشن.

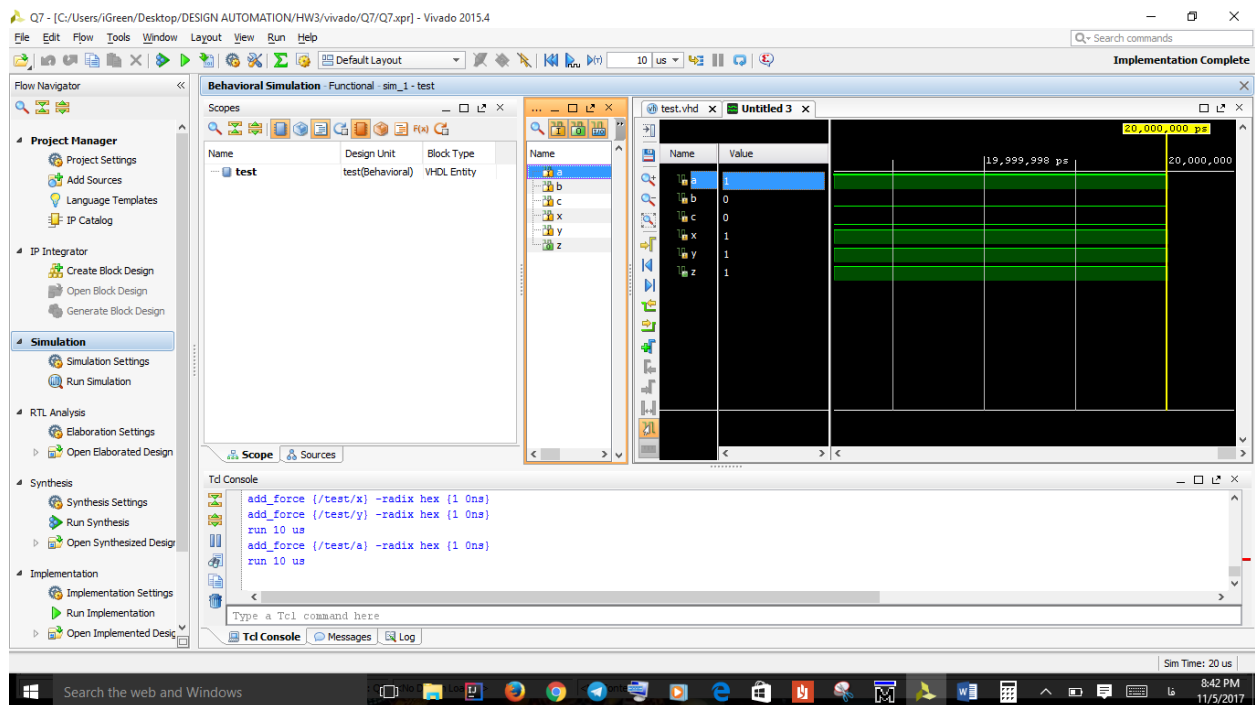
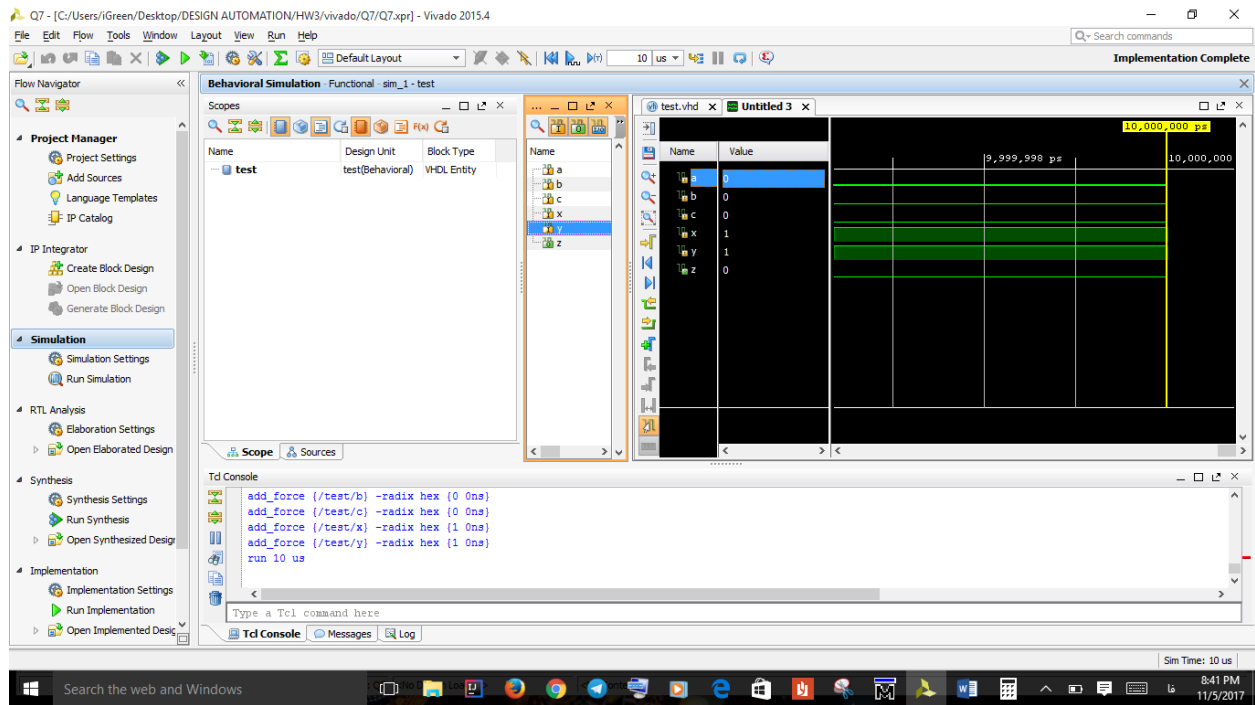
ولی خب موفق به شبیه سازیش قطعاً نمیشیم مگر اینکه معلوم باشه اون متغیر مقدار و نوعش چیه، که به دلیل ذیق وقت من بررسی نکردم.

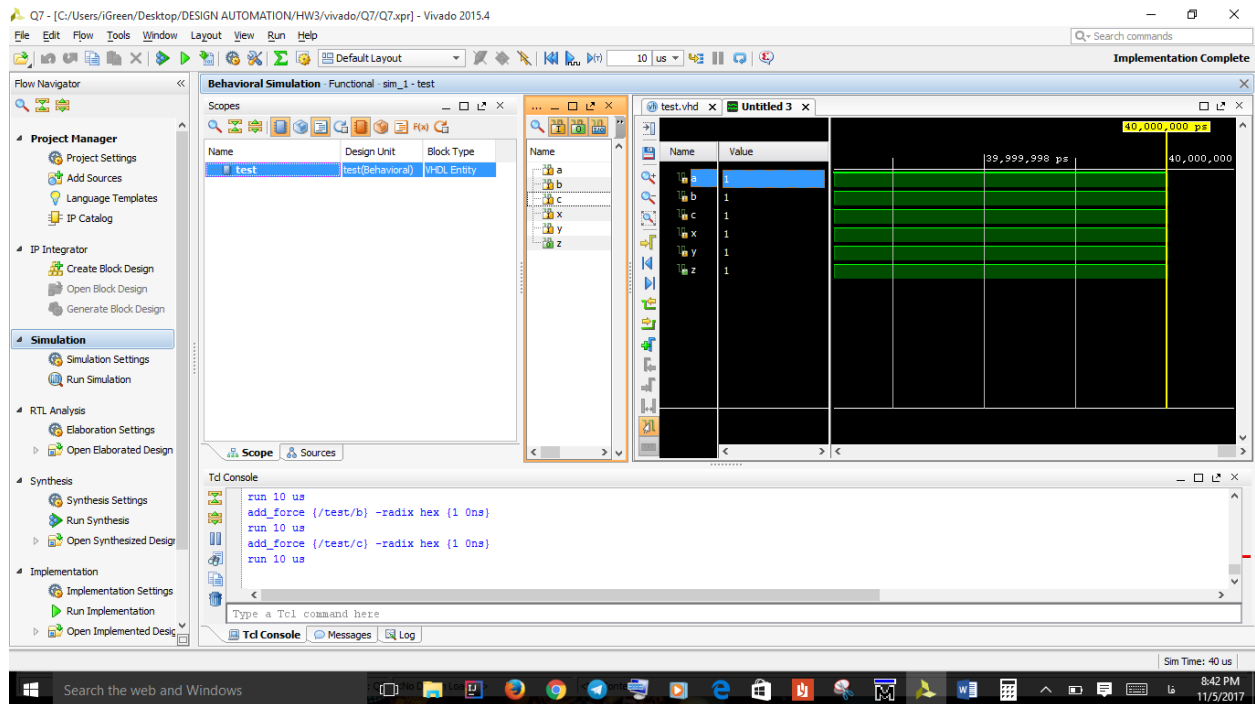
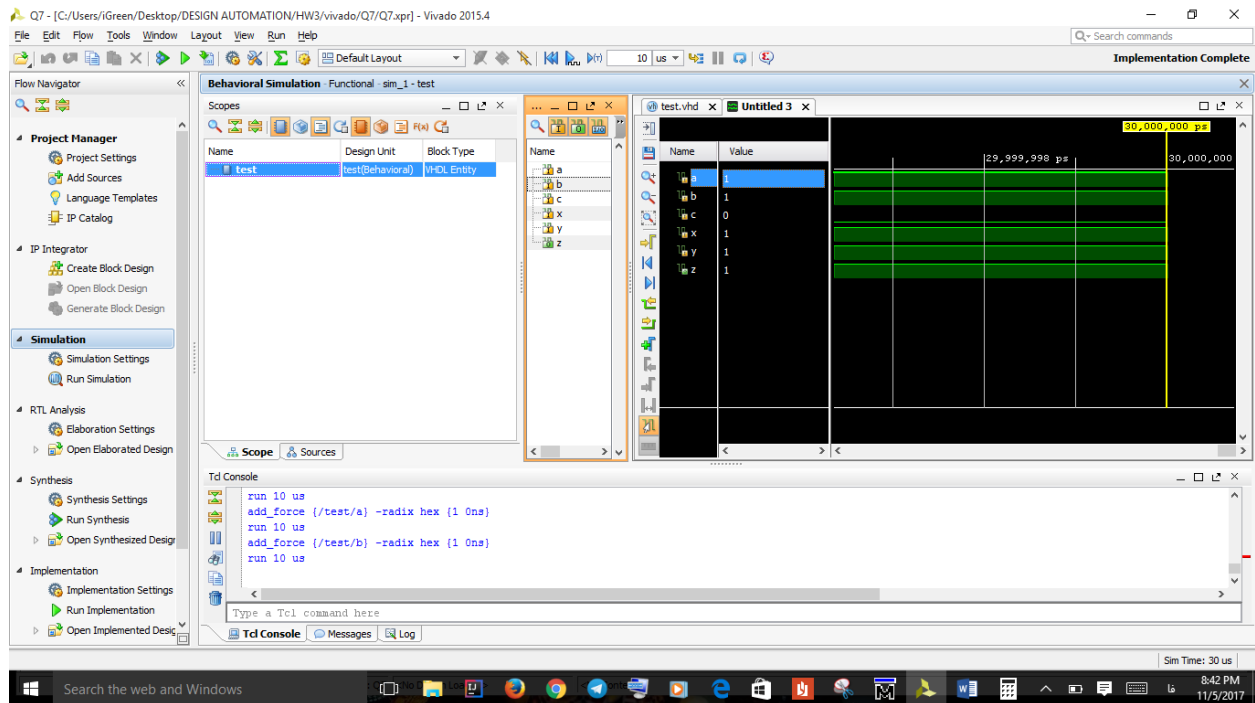
(7

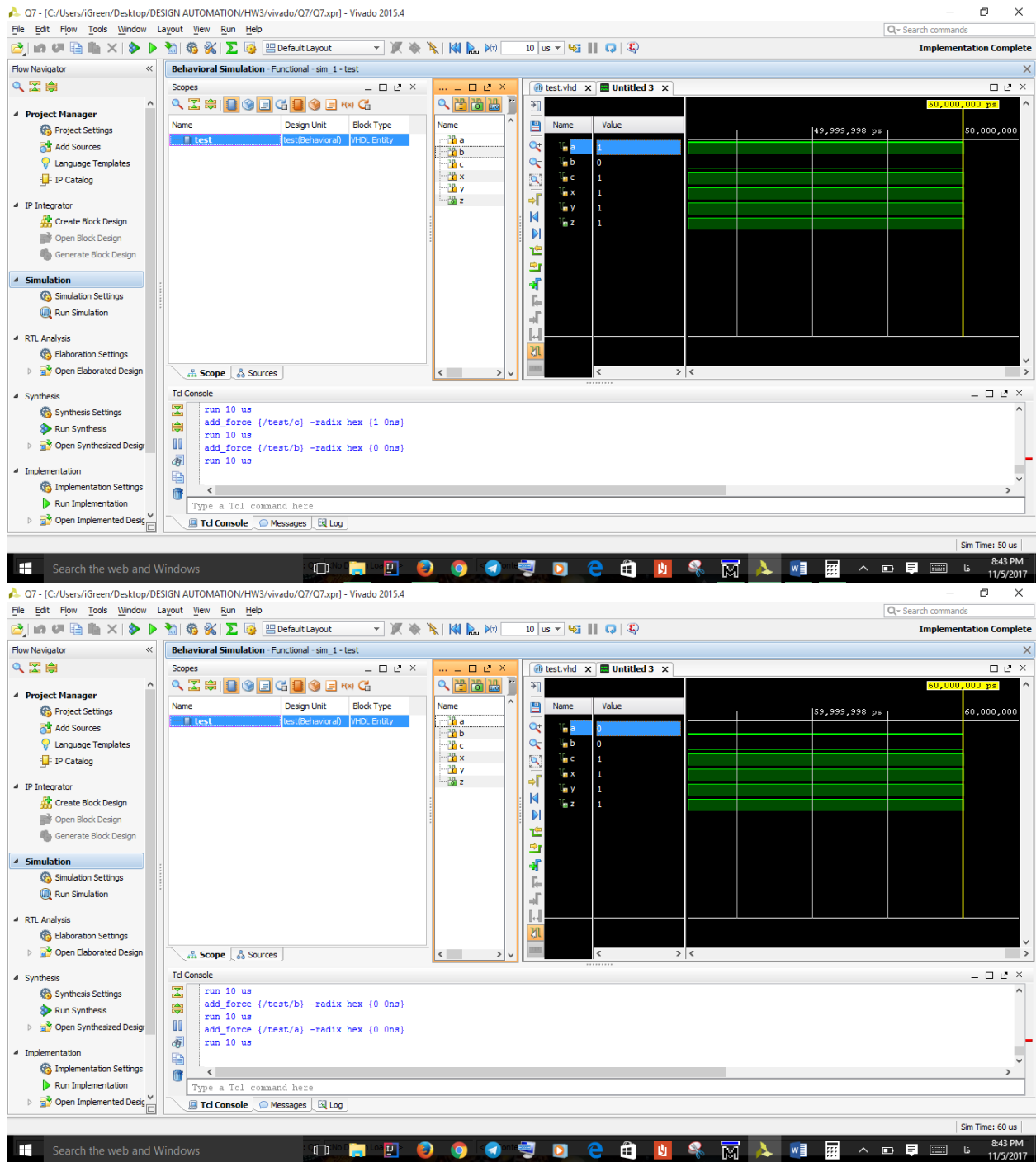
هر کدام از سیگنال های کنترلی 1 شوند، مدار رفتار خاصی از خودش نشان میدهد.

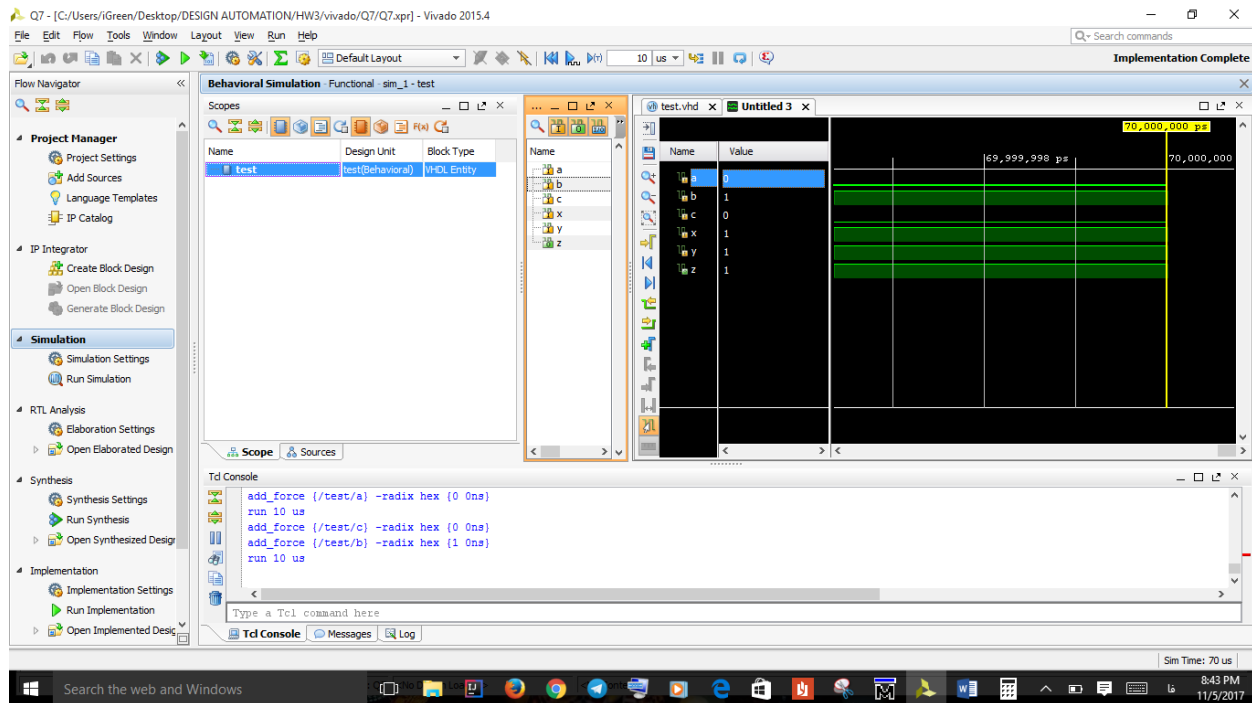
و اگر هیچ کدام 1 نشوند، خروجی وارون میشود و مانند یک وارونگر عمل میکند.

(عملکردش یه چیزی شبیه انکودر اولویت دار میتونه باشه بنظر من؛ ولی اون هم نیست. چیز دیگه ای پیدا نکردم که بنظر من عملکردش همین شکلی باشه)









8)

برای پیاده سازی تقسیم، از عملگرهای شیف استفاده میکنیم.

9)

$$F=1/T \Rightarrow 1/1\text{Mhz}=10^6 \text{ s}$$

Wait for time => is used

هرکاری کردم نه ویادو و نه مدل سیم نتونست موج خروجی بده بهم:دی  
با اینکه منطق شبیه سازی بنظرم درسته.

12)