**Trabalho 1**

Kevin Fiorentin, Nédison Velloso e Yasmin Elkfury

## Arquitetura de Computadores II

## Prof. Cesar Marcon

**1) Introdução**

O objetivo deste trabalho é saber como se comporta a comunicação entre duas maquinas, chamadas de CPU e Periférico, cujas implementações são sincronas, com base de tempo clockCPU e clockPeriferico, frente aos modelos de transferência de dados assíncrono, síncrono e semi-síncrono. A forma de descrição das máquinas não é importante, pois podem ser controladas pela interface que implementa os modelos de transferência.

O objetivo deste trabalho é saber como se comporta a comunicação entre duas máquinas, aqui chamadas de CPU e Periférico, cujas implementações são síncronas e com bases de tempo clockCPU e clockPeriferico, frente aos modelos de transferência de dados assíncrono, síncrono e semi-síncrono. Para tanto, a forma de descrição das máquinas não é importante, mas sim as portas que cada uma tem com a interface que implementa o modelo de transferência. Cada modelo de transferência tem sua própria implementação; porém, as interfaces com as máquinas são independentes de cada modelo. Deseja-se que tanto a CPU, quanto o Periférico, tenham portas de entrada/saída apenas com as interfaces, além dos sinais de controle (clock e reset). Tal como ilustrado na figura abaixo. Para os modelos de transferência de dados assíncrono, síncrono e semi-síncrono, considerando uma comunicação unidirecional simplex e sinais de controle send/ack ou apenas send, qual o intervalo de tempo teórico para efetuar a transmissão de dados da CPU para o periférico? Comente e explique se algum destes modelos pode ter tempo diferenciado para o primeiro dado a ser transmitido. Para o caso assíncrono, CPU tem relógio de 120 MHz e o periférico tem relógio de 40 MHz. Para os casos síncrono e semi-síncrono, ambas as máquinas têm relógio de 40 MHz. Considere os barramentos de dados com 8 bits. 2. Apenas para o modelo assíncrono com uma comunicação bidirecional half-duplex. Note que isto implica em mudança tanto da CPU, quanto do periférico, para a geração e captura de dados bidirecionais não simultâneos. Calcule o tempo necessário para a CPU transmitir 3 pacotes de 5 dados e receber para cada pacote uma resposta com 2 dados. Considere que, após receber o último dado do pacote, são necessários 5 ciclos para o periférico responder e 4 ciclos para a CPU responder.

2) Implementação

Dentro de cada seção dos três projetos simplex deve ter as seguintes informações: Desenho das máquinas de estados de cada interface que implementa cada modelo, relacionado com uma parte do VHDL (não todo a descrição, apenas a que ilustra o funcionamento da máquina); Uma tela com formas de onda mostrando parte da funcionalidade de cada modelo, com comentário explicativo; O tempo total para a transmissão de um pacote de 20 dados; 4. Na seção do projeto bidirecional half-duplex deverá ter: Uma tela com formas de onda mostrando a transmissão de todos os pacotes (imagem com pouco detalhamento, onde deve ser possível observar os tempos de espera entre cada pacote); Uma tela com formas de onda mostrando um subconjunto do pacote (imagem com muito detalhamento, onde deve ser possível o modelo de comunicação para alguns bytes apenas); Avaliação do tempo necessário para transmissão de todos os pacotes.