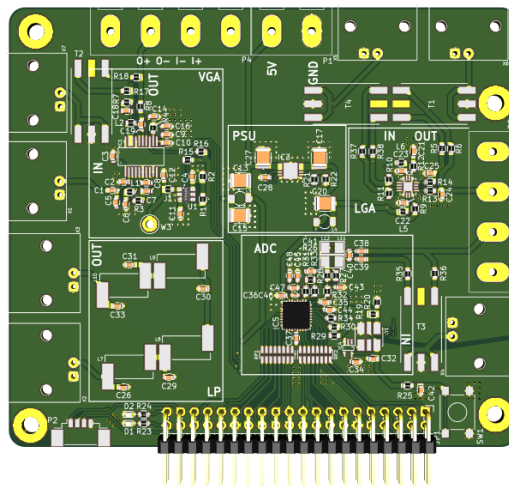


Projekt 5

Software Defined Radio

Noah Hüsler und Francesco Rovelli

13. Januar 2017



Auftraggeber:	Dr. Markus Hufschmid
Betreuer:	Dr. Markus Hufschmid
Experte:	Dr. Markus Hufschmid
Team:	Noah Hüsler Francesco Rovelli
Studiengang:	Elektro- und Informationstechnik

Zusammenfassung

KEKEKEKEKEKEKEKEEKEK

Inhaltsverzeichnis

1	Motivation	4
2	Theorie	5
3	Ausgangslage	6
4	Design des Analogen Frontends	7
4.1	Schaltungsdesign	7
4.1.1	AD8331	7
4.1.2	ISL55210	7
4.1.3	LTC2252	8
4.1.4	MCP4706	8
4.1.5	LP38798	8
4.2	Leiterplattendesign	8
5	Messungen	10
6	Resultate	11

1 Motivation

2 Theorie

3 Ausgangslage

4 Design des Analogen Frontends

Die Rahmenbedingungen für das Analoge Frontend (AFE) waren durch die Vorgängerarbeit bereits gegeben. Diese sind in 3 bereits erläutert.

4.1 Schaltungsdesign

Das AFE ist eine Kette aus Verstärkerstufen an deren Ende ein ADC das Signal abtastet. Diese Kette ist in Abbildung ?? zu sehen.

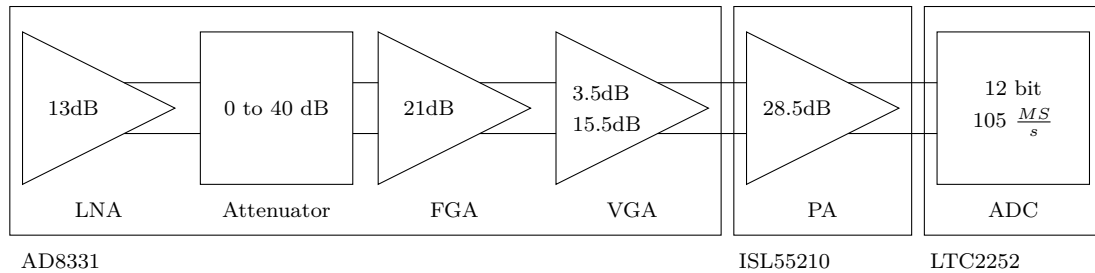


Abbildung 4.1: Blockschaltbild des Analogen Frontends TODO: evtl noch DAC und pins zeichnen

Diese Anordnung wurde so im Vorgängerprojekt gewählt um eine gewünschte verstellbare Verstärkung von 24 - 84 dB zu erhalten. Da aber nicht alles so reibungslos funktionierte wie gewünscht, wurden alle Komponenten noch einmal sorgfältig durchgegangen und eine Leiterplatte gefertigt, welche die Komponenten einzeln aufbaut und die Möglichkeit hat diese so separat auszumessen.

Nur der DAC und der Spannungswandler von 5 auf 3.3 Volt war im Vorgängerprojekt so noch nicht vorhanden. Diese Komponenten wurden aufgrund der früher TODO (ref to section) genannten Mängel gewählt und implementiert.

4.1.1 AD8331

Der AD8331 ist ein Vorverstärker, der fixe Verstärkerstufen im Innern hat und dazu ein Dämpfungsglied, welches so eine verstellbare Verstärkung ermöglicht. Ausserdem kann wahlweise eine von zwei fixen Verstärkungen zugeschaltet werden. Dieser Aufbau ist in Grafik ?? dargestellt.

Der erste Verstärker erwartet ein single-ended Signal am Eingang verstärkt es um 19 dB, versieht es mit einem Bias und gibt ein differentielles Signal zurück. Nach dieser Stufe sind alle Signale differentiell. Diese Stufe muss dann extern zum Dämpfungsglied geschaltet werden. Es wäre gut möglich hier noch extern ein Filter zuzuschalten. In dieser Anwendung wurden einfach 100n Kondensatoren dazwischen geschaltet um noch einmal DC zu blocken. Die Dämpfung des Dämpfungsgliedes ist stufenlos von 0 bis 48 dB über den GAIN-Pin verstellbar. Hierfür wurde ein einfacher DAC verwendet. Dazu in Abschnitt ?? mehr. Zuletzt wird ein Nachverstärker zugeschaltet der noch einmal 3.5 oder 15.5 dB verstärkt. Dies kann über den HILO-Pin gesteuert werden. Ausserdem kann die Ausgangsspannung auf ein Maximum begrenzt werden, was nützlich ist um weitere Bauteile durch Überspannung zu schützen.

Der Ad8331 operiert bei 5V.

Die totale Verstärkung kann einfach mit den Formeln in 4.1 und 4.2 erhalten werden.

$$G_{dB} = 50 \frac{dB}{V} \cdot V_{GAIN} - 6.5dB, HILO = LO \quad (4.1)$$

$$G_{dB} = 50 \frac{dB}{V} \cdot V_{GAIN} - 6.5dB, HILO = HI \quad (4.2)$$

4.1.2 ISL55210

Der ISL55210 ist ein Differentieller Verstärker. Er wird normal mit Feedbackwiderständen beschaltet, so dass man die gewünschte Verstärkung von 28.5 dB erhält. Er hat ein GBWP von 4 Ghz was für das geplante SDR alleweil reicht, da das SDR nur bis 30 Mhz operieren

soll. Bei einer Verstärkung von 28.5 dB ist das GBWP also noch lange nicht ausgereizt. Dieser Verstärker operiert bei 3.3 Volt. Es ist also notwendig eine 5V und 3V3 Stromversorgung zu haben.

4.1.3 LTC2252

Es wurde der LTC2252 mit 12 Bit als A/D-Wandler gewählt. Es ist zu evaluieren ob so eine hohe Auflösung überhaupt notwendig ist. Mit 105 MS/s ist er sicher genug schnell um Aliasing zu verhindern, wenn man annimmt dass bei einer Cutofffrequenz von 30 MHz das Filter fünfter Ordnung bei 50 Mhz um etwa 20dB gedämpft wird. TODO: noch fehlerhaft (was hat das filter für eine ordnung??) Die Beschaltung wurde aus dem Application Note übernommen. Hier wurde viel Augenmerk darauf gelegt die Anweisungen im Application Note akribisch zu befolgen. Dies war dann insbesondere im Leiterplattendesign wichtig.

4.1.4 MCP4706

Der MCP4706 ist ein 8 bit DAC. Er wird dazu genutzt die variable Verstärkung des AD8331 einzustellen. Dieser wurde so konfiguriert dass er maximal ein Volt Ausgangsspannung hat, da dies die Grenze ist für den AD8331. Gleichzeitig verliert man zehn Skalierungsstufen, da der AD8331 als Untergrenze 40 mV erwartet. Somit geht der zulässige Wertebereich für den DAC von 11 bis 255. Dies sollte genügend dynamic Range sein. Wieviel Verstärkung das Erhöhen des Wertes am DAC um eins zum Ergebnis hat sieht man in Gleichung 4.3.

$$\delta G_{dB} = 50 \frac{dB}{V} \cdot \frac{1}{2^8 - 1} = 0.196 dB \quad (4.3)$$

Der DAC ist über I^2C bequem ansteuerbar. Dies war eine wichtige Eigenschaft die gefragt war. Zudem ist es natürlich wichtig dass der DAC rauscharm ist. Der MCP4706 hat eine simple Resistorladder, das heisst, es werden je nach Ausgangswert Widerstände dazu- oder weggeschaltet. Damit sollte die Spannung am DAC-Ausgang praktisch keine Schwankungen erfahren, oder besser gesagt: es ist nur vom Rauschen der Spannungsversorgung abhängig, wie man in 4.5 sehen kann. Nimmt man an, dass $\Delta f \xrightarrow{0}$, da die Verstärkung einmal zu beginn der Übermittlung eingestellt wird und dann statisch bleibt, so sieht man dass das Rauschen vernachlässigbar wird.

$$U_N = \sqrt{4 \cdot k_B \cdot T \cdot \Delta f \cdot R}, k_B = 1.38 \cdot 10^{-23} \frac{J}{K}, T = 300K, R = 210k\Omega \quad (4.4)$$

$$U_N = \sqrt{4.1751 \cdot 10^{-15} \cdot \Delta f} \quad (4.5)$$

4.1.5 LP38798

TODO: FRANCESCO

4.2 Leiterplattendesign

Die Leiterplatte wurde so ausgelegt, dass alle Komponenten (VGA, LNA, ADC) des Frontends mehr oder weniger abgekapselt auf einem Board sind. Jede Komponente kann zu der weiterführenden benachbarten geschaltet werden. Wenn die Komponenten nicht gechaint werden, so können sie am Input und am Output an einen Balun angeschlossen werden. So können alle Komponenten einzeln gemessen werden. Die Baluns sind notwendig damit die differentiellen Komponenten korrekt terminiert werden und das Signal in ein single-ended Signal umgewandelt wird. Diese zweite Eigenschaft ist Voraussetzung um einen VNA anschliessen zu können.

Wichtige Änderungen zum Vorgängerprojekt bestehen hier vorallem darin, dass die Groundplane optimiert wurde und die Komponenten jeweils näher zum betreffenden Chip angeordnet wurden.

Groundplane

Es ist wichtig dass in einer HF-Anwendung eine möglichst unbeschädigte Groundplane vorliegt. Zum einen braucht es ein fixes Referenzpotential welches sich möglichst nicht verschieben soll. Bei mehr Masse ist das einfacher, da die Ströme keine langen Wege nehmen müssen.

Leiterbahnen

Leiterbahnen sollten so kurz wie möglich gehalten werden. Zudem sollten symmetrische Signale auch physikalisch so gehalten werden, wenn sie über längere Distanzen geführt werden. Das heisst sie sollten geometrisch nahe beieinander gehalten und symmetrisch geroutet werden.

AD8331

Im Datasheet zum AD8331 gibt es einige Tipps wie das Layouten gelingt. So soll Dead Copper vermieden werden und stattdessen mit Ground verbunden werden. Die externen Komponenten an den Pins LON und LOP sowie an den Pins VOL und VOH sollten so nahe wie möglich am Chip platziert werden um Lodading-Effekte zu vermeiden. Zudem sollten speziell die Verbindungen von LON und LOP zu VIN und VIP möglichst kurz gehalten werden um ungewünschte Effekte zu vermeiden. Dazwischen hat es einen externen Coupling-Kondensator, da danach das Signal mit einem Bias versehen wird um es in ein differentielles Signal zu erhalten.

ISL55210

Beim ISL55210 wurden lediglich die üblichen wichtigen Design-Richtlinien befolgt.

LTC2252

Der ADC ist am heikelsten zu layouten. Er hat digitale sowie analoge Komponenten. Diese müssen strikt getrennt werden, um zu vermeiden, dass digitale Signale welche viel Strom brauchen die Referenzlevel für den analogen Teil verfälschen. Es sollen Querströme vermieden werden! Hier war schon beim Vorgängerprojekt eine Diskussion, wie das Groundlayout auszu-sehen hat. Dazu gibt es verschiedene Artikel TODO:(refrenzen) und natürlich das Datasheet des LTC2252 welche Hinweise geben, wie das Layout zu gestalten sei. Es gibt verschiedene Ansätze wie man vorgehen sollte. Manche bevorzugen zwei komplett getrennte Groundplanes welche an einem Punkt zusammengeführt werden und manche bevorzugen es die Ground-plane als ein Ganzes zu behalten. Sie sind sich alle in einem Punkt einig: Oftmals wird falsch verstanden zu welchem Ground bzw zu welcher Versorgung ein Pin der mit DGND (digital Ground) angeschrieben ist nun gehört. So gehört dieser Pin nicht an ein digitales Referenzpotential, sondern an ein analoges! Wieso dem genau so ist, ist wunderbar erklärt in TODO: (<http://www.analog.com/en/analog-dialogue/articles/staying-well-grounded.html>, Grounding and Decoupling Mixed-Signal ICs with Low Digital Currents), wird hier aber nicht noch einmal aufgeführt. Es ist unter jeden Umständen zu vermeiden den DGND des ADCs an einen digitalen Ground zu hängen! Des weiteren ist die Verbindung zwischen AGND und DGND möglichst kurz zu halten um weitere parasitäre Effekte zu vermeiden. Es wird im Datasheet explizit erwähnt dass der Ground unter und um den Chip aus einer ungestörten Plane besteht. Es sind eher 4-Layer+ empfohlen. Es wurde bei diesem Projekt versucht so gut wie möglich mit 2 Layern auszukommen.

Im LTC2252 Datasheet wird zudem erwähnt, dass digitale und analoge Signale gut getrennt werden müssen. Diese sollten sich unter keinen Umständen in die Quere kommen um parasitäre Koplungseffekte zu vermeiden. Dies macht einem der LTC2252 zum Glück sehr leicht, da die Signale im Pinout schon sinnvoll getrennt angeordnet sind.

Speziell erwähnt im Datasheet wird vorallem der 100nF Kondensator zwischen REFH und REFL. Er darf sich nicht weiter als 1.5 mm vom Chip weg befinden. Er wird speziell aufgeführt und zum parallelen 2.2uF Kondensator wird gesagt dass dieser weiter weg sein kann, was annehmen lässt dass dies wirklich wichtig ist.

5 Messungen

6 Resultate