

65050988

05506008 โครงสร้างและสถาปัตยกรรมคอมพิวเตอร์

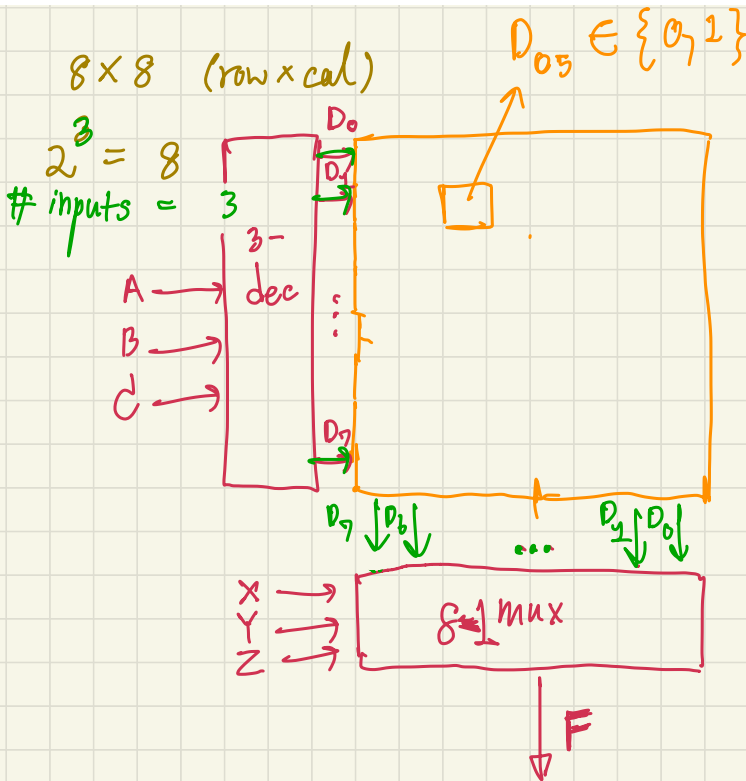
(Computer Organization and Architecture)

## Homework #2

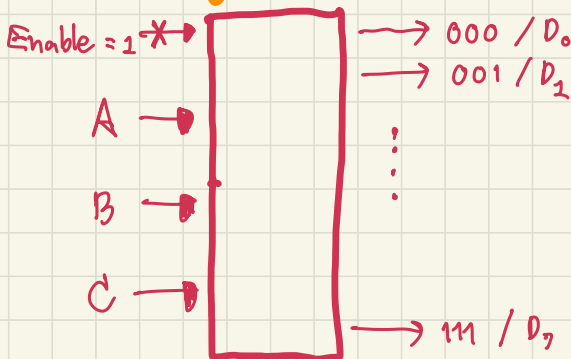
ส่ง 3 กุมภาพันธ์ 2566  
(online)

1. แสดงการประยุกต์ใช้ Decoder และ MUX ที่อยู่ในโครงสร้างของ Memory chip ขนาด 8x8 บิต  
(แสดงแผนภาพ (Block diagram) ของ Memory Chip, Decoder, และ MUX  
พร้อมด้วยเส้นสัญญาณ Input/Output ที่ใช้ในการเชื่อมต่อ)
2. แสดงการสร้าง Logic diagram ของ 3-to-8 Decoder ที่ละขั้นตอน
  - 2.1 Block diagram
  - 2.2 Truth table
  - 2.3 Boolean equation
  - 2.4 Logic diagram
3. แสดงการสร้าง Logic diagram ของ 8-to-1 MUX ที่ละขั้นตอน
  - 3.1 Block diagram
  - 3.2 Truth table
  - 3.3 Boolean equation
  - 3.4 Logic diagram

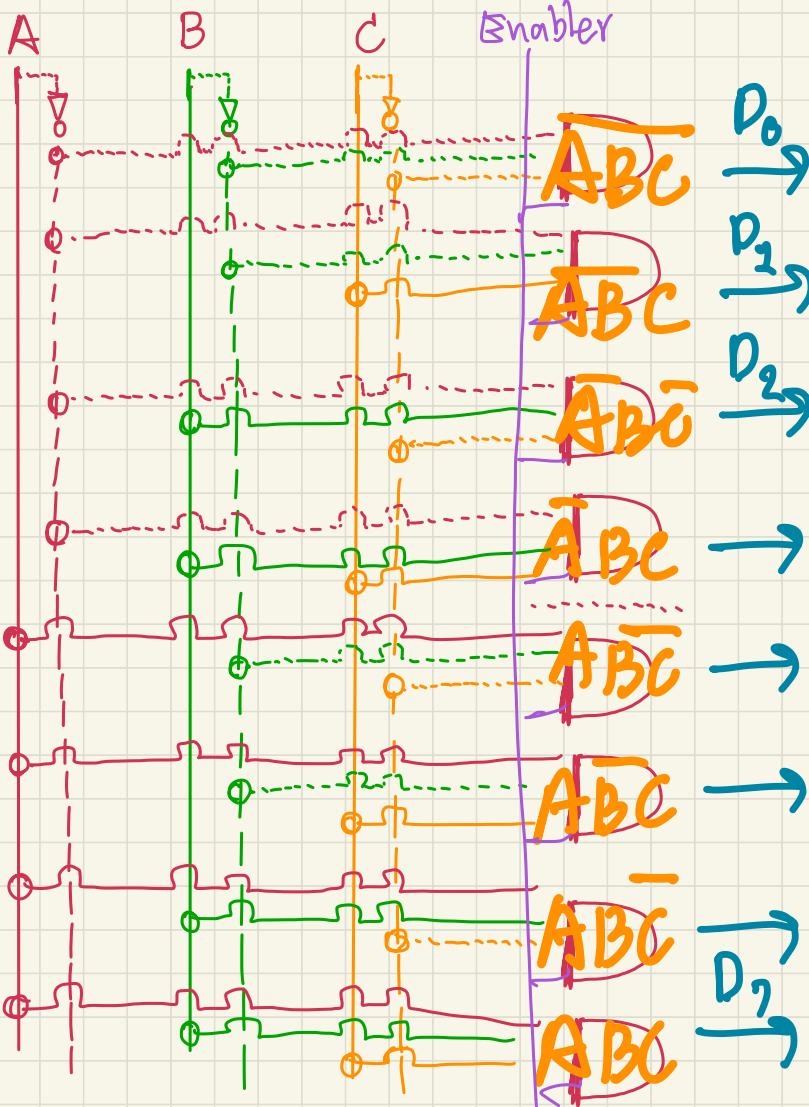
1. แสดงการประยุกต์ใช้ Decoder และ MUX ที่อยู่ในโครงสร้างของ Memory chip ขนาด  $8 \times 8$  บิต  
(แสดงแผนภาพ (Block diagram) ของ Memory Chip, Decoder, และ MUX  
พร้อมด้วยเส้นสัญญาณ Input/Output ที่ใช้ในการเชื่อมต่อ)



Design 'Decoder'



A	B	C	Out	
0	0	0	$D_0 = 1$	$\rightarrow \overline{A}\overline{B}\overline{C}$
0	0	1	$D_1 = 1$	$\rightarrow \overline{A}\overline{B}C$
0	1	0	$D_2 = 1$	$\rightarrow \overline{A}B\overline{C}$
0	1	1	:	$\rightarrow \overline{A}BC$
1	0	0		$\rightarrow A\overline{B}\overline{C}$
1	0	1		$\rightarrow A\overline{B}C$
1	1	0		$\rightarrow AB\overline{C}$
1	1	1	$D_7 = 1$	$\rightarrow ABC$



Bool equ

$$D_0 = \overline{A}\overline{B}\overline{C}$$

$$D_1 = \overline{A}\overline{B}C$$

$$D_2 = \overline{A}B\overline{C}$$

$$D_3 = \overline{A}BC$$

$$D_4 = A\overline{B}\overline{C}$$

$$D_5 = A\overline{B}C$$

$$D_6 = AB\overline{C}$$

$$D_7 = ABC$$

# Mux Design

X Y Z

0 0 0

0 0 1

0 1 0

0 1 1

1 0 0

1 0 1

1 1 0

1 1 1

F

$D_0$

$D_1$

$D_2$

$D_3$

$D_4$

$D_5$

$D_6$

$D_7$

$\overline{ABC} D_0$

$ABC D_1$

$\overline{A} B \overline{C} D_2$

$\overline{A} B C D_3$

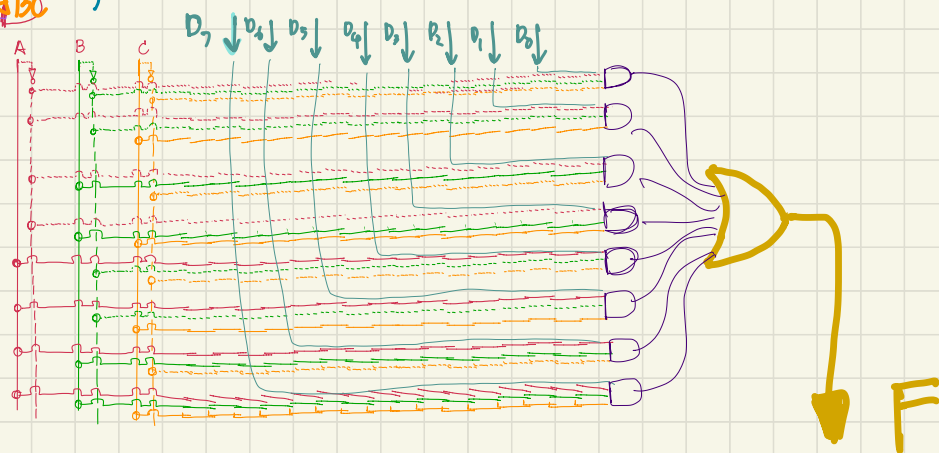
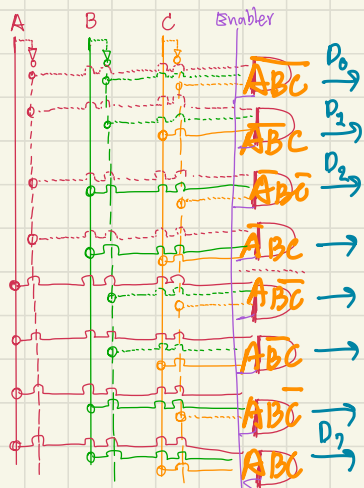
$A \overline{B} \overline{C} D_4$

$A \overline{B} C D_5$

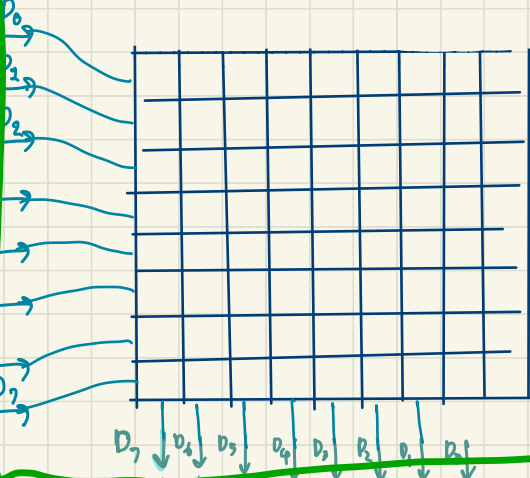
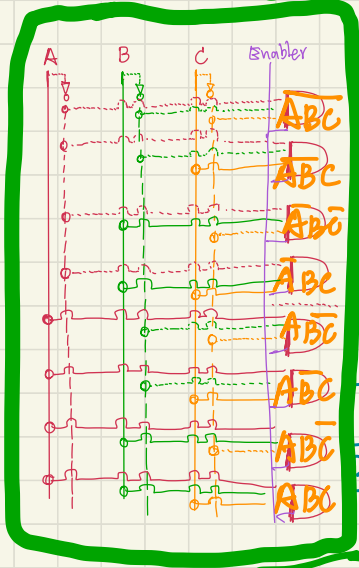
$A B \overline{C} D_6$

$A B C D_7$

$F_d$  we don't know yet



# Dec

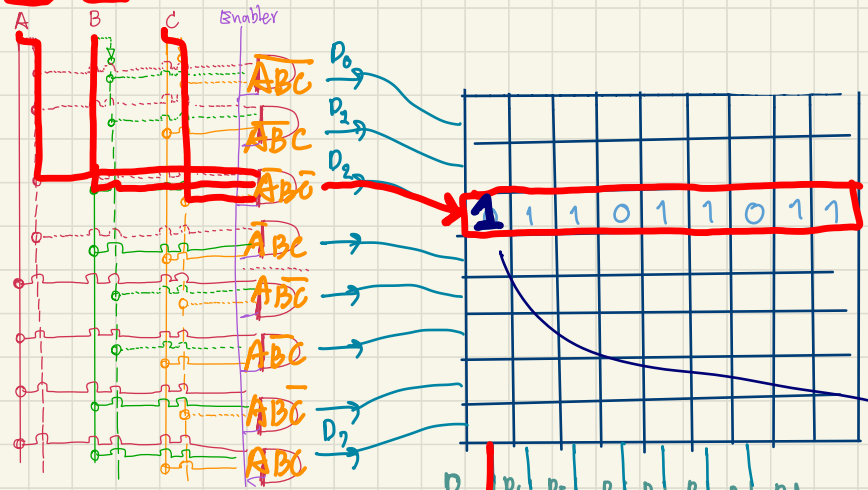


# MUX



input : 010 110

0 1 0

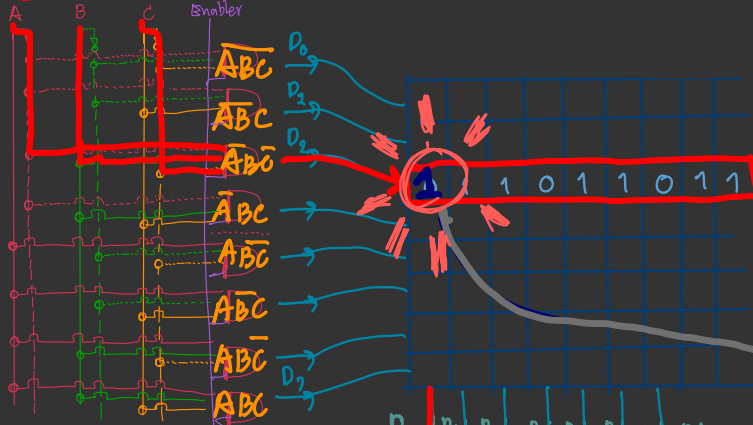


$$\begin{aligned}
 & \overline{A}\overline{B}\overline{C}D_0 \\
 & + \overline{A}\overline{B}C D_1 \\
 & + \overline{A}B\overline{C} D_2 \\
 & + \overline{A}BC D_3 \\
 & + A\overline{B}\overline{C} D_4 \\
 & + A\overline{B}C D_5 \\
 & + AB\overline{C} D_6 \\
 & + ABC D_7
 \end{aligned}$$

F = 1

input : 010 110

0 1 0



# Mux design

X	Y	Z	F	$F^a$
0	0	0	$D_0$	$\overline{ABC} D_0$
0	0	1	$D_1$	$\overline{AB} C D_1$
0	1	0	$D_2$	$\overline{A} B \overline{C} D_2$
0	1	1	$D_3$	$\overline{A} B C D_3$
1	0	0	$D_4$	$A \overline{B} \overline{C} D_4$
1	0	1	$D_5$	$A \overline{B} C D_5$
1	1	0	$D_6$	$A B \overline{C} D_6$
1	1	1	$D_7$	$A B C D_7$

