

1 实验名称：组合逻辑电路设计

2 实验目的

- (1) 掌握用小规模集成电路设计组合逻辑电路的方法。
- (2) 用实验验证所设计电路的逻辑功能。

3 实验原理

组合逻辑电路任何时刻的输出仅取决于该时刻的输入信号，而与这一时刻前电路原来的状态没有任何关系。根据实际给出的逻辑问题，求出实现功能要求的最佳逻辑电路，这就是组合逻辑电路设计所要完成的任务。

3.1 全加器

全加器的真值表如下

输入			输出	
A	B	C_i	S_i	C_{i+1}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

由此得到全加器的逻辑表达式如下

$$S_i = A'B'C + A'BC' + AB'C' + ABC$$

$$C_{i+1} = AC + AB + BC$$

由此得到全加器的逻辑电路图见实验电路

3.2 全减器

全减器的真值表如下

输入			输出	
A	B	C_i	Di	C_{i+1}
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

由此得到全减器的逻辑表达式如下

$$Si = A'B'C + A'BC' + AB'C' + ABC$$

$$C_{i+1} = A'B + A'C + BC$$

由此得到全减器的逻辑电路图见实验电路

3.3 设计：保险箱四位密码锁

首先得到保险箱四位密码锁的真值表如下

输入				输出	
A	B	C	D	X	Y
0	0	0	0	0	1
0	0	0	1	0	1
0	0	1	0	0	1
0	0	1	1	0	1
0	1	0	1	1	0
0	1	1	0	0	1
0	1	1	1	0	1
1	0	0	0	0	1
1	0	0	1	0	1
1	0	1	0	0	1
1	0	1	1	0	1
1	1	0	0	0	1
1	1	0	1	0	1
1	1	1	0	0	1
1	1	1	1	0	1

由此得到保险箱四位密码锁的逻辑表达式如下

$$x = A'BC'D$$

$$Y = (A'BC'D)'$$

由此得到保险箱四位密码锁的逻辑电路图见实验电路

4 实验电路

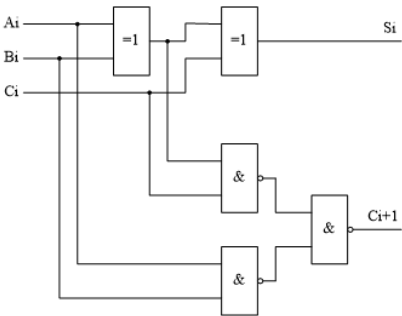


图 1: 全加器

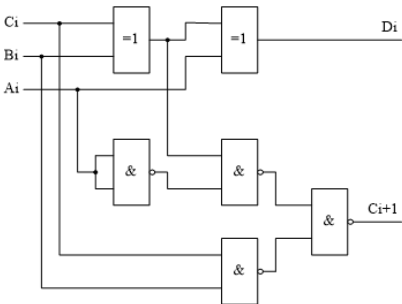


图 2: 全减器

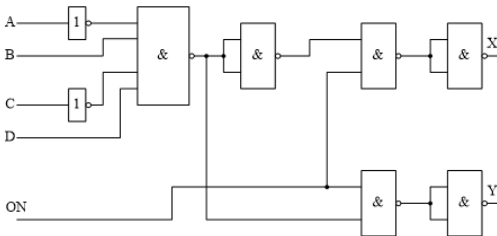


图 3: 保险箱四位密码锁

5 实验内容及步骤

- (1) 分别按图 1、2 接线
- (2) 按照 1 验证全加器和全减器的逻辑功能
- (2) 设计保险箱四位密码锁电路, 接线, 并验证是否能够实现目标功能

6 数据及误差处理

6.1 全加器的逻辑功能

输入			输出	
A	B	C_i	Si	C_{i+1}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

6.2 全减器的逻辑功能

输入			输出	
A	B	C_i	Di	C_{i+1}
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

6.3 四位密码锁设计

经实验验证, 设计的密码锁能够实现目标功能

7 实验设备和器材

(1) 直流稳压电源	1 台
(2) 数字逻辑实验箱	1 台
(3) 集成四-2 输入与非门 (74LS00)	2 片
(4) 集成二-4 输入与非门 (74LS20)	2 片
(5) 集成四-2 输入异或门 (74LS86)	2 片
(6) 导线	1 只

8 结论

- (1) 全加器满足逻辑关系

$$S_i = A'B'Ci + A'BCi' + AB'Ci' + ABCi = (A \oplus B) \oplus Ci$$
$$C_{i+1} = ACi + AB + BCi$$

- (1) 全减器满足逻辑关系

$$S_i = A'B'Ci + A'BCi' + AB'Ci' + ABCi = (A \oplus B) \oplus Ci$$
$$C_{i+1} = A'B + A'C + BC$$

- (3) 设计的四位密码器密码为 0101, 其功能符合预期。

9 思考

- (1) 通过实验, 你认为 SSI 组合逻辑电路设计的关键步骤是什么?

逻辑抽象; 列些真值表; 写出逻辑函数表达式并化简与变换; 画出逻辑图

- (2) 对于同一个命题, 是否有不同的设计方案? 试比较各自的优缺点。

有不同的方案, 优缺点主要表现在竞争冒险和器件成本上

- (3) 如何设计保护电路, 防止集成器件损坏?

接入直流电源时注意方向和控制电压大小

10 自主设计半加器和半减器

10.1 半加器

半加器的真值表如下

输入			输出
A	B	Si	C_{i+1}
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

由此得到半加器的逻辑表达式如下

$$D_i = A'B + AB' = A \oplus B$$

$$C_{i+1} = AB$$

由此得到半加器的逻辑电路图如下

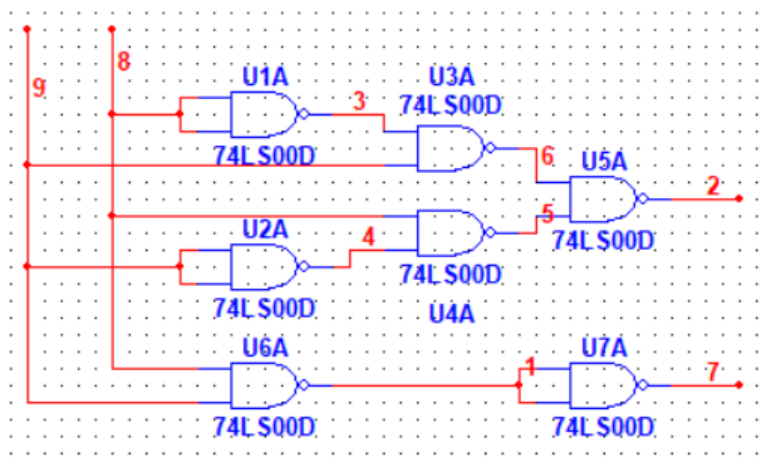


图 4: 半加器

进行仿真，结果如下

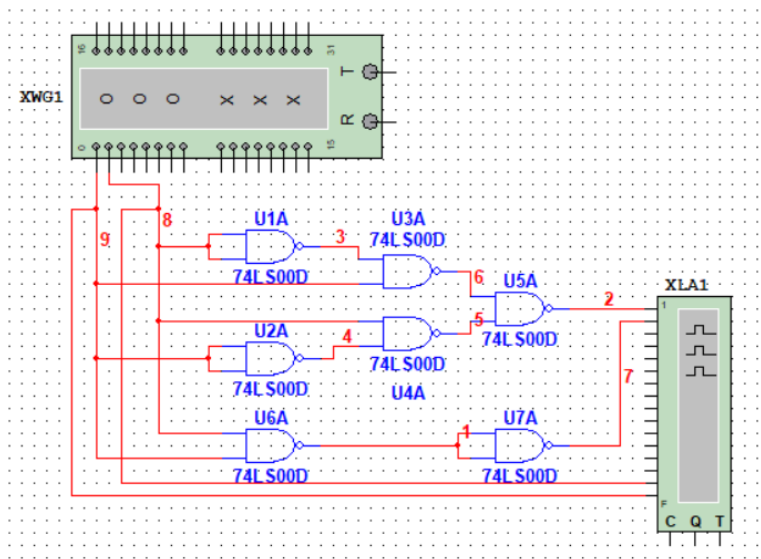


图 5: 半加器仿真电路

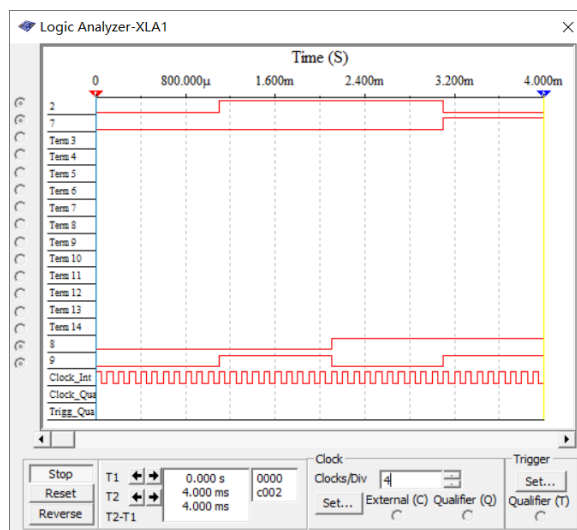


图 6: 仿真时序图

10.2 半减器

半减器的真值表如下

输入			输出
A	B	Di	C_{i+1}
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

由此得到半减器的逻辑表达式如下

$$Di = A'B + AB' = A \oplus B$$

$$C_{i+1} = A'B$$

由此得到半减器的逻辑电路图如下

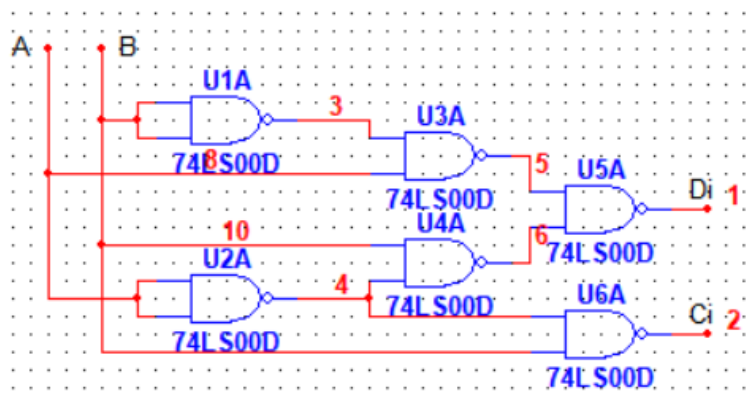


图 7: 半减器

进行仿真，结果如下

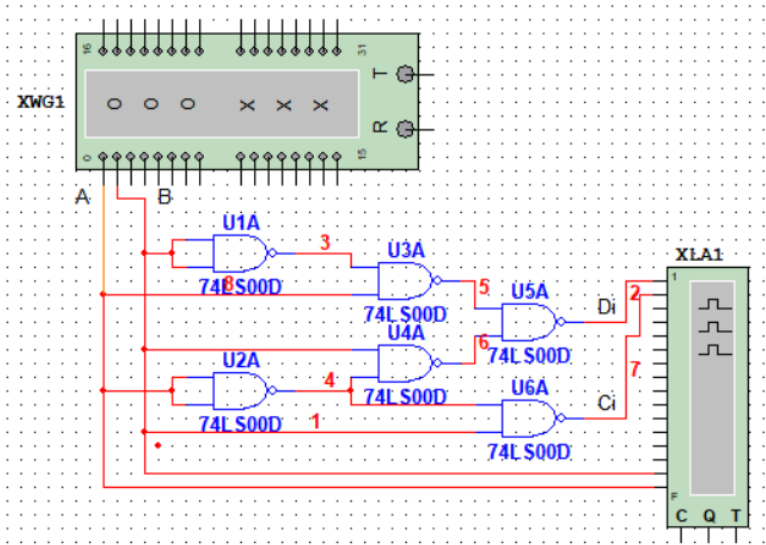


图 8: 半减器仿真电路

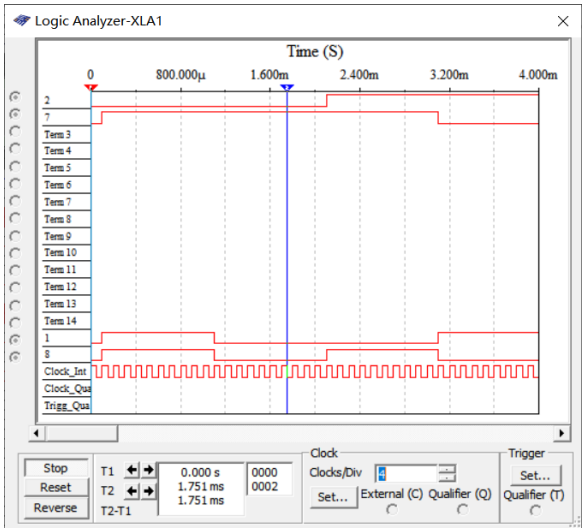


图 9: 仿真时序图