

1 实验名称: 任意进制分频器实验

2 实验目的

- (1) 掌握任意进制分频器的设计方法。
- (2) 掌握同步计数器 74LS161 多级级联的方法。
- (3) 研究不同连接方式时对分频数的影响。

3 实验原理

分频器和计数器是数字电路和自动控制电路中极重要的一种单元电路，分频器一般由最高位输出分频模数，计数器则由其内部各级触发器输出不同的计数模数。

74LS161 是一种 4 位二进制可预置的同步加法计数器，图 1 是其引脚图，表 1 是其真值表。

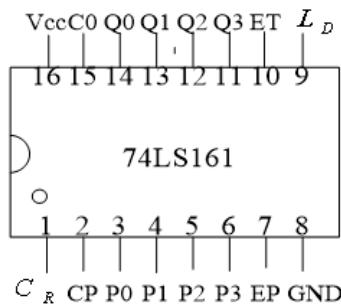


图 1: 74LS161 引脚图

CR	CP	LD	输入				输出					
			EP	ET	D ₃	D ₂	D ₁	D ₀	Q ₃ ⁿ⁺¹	Q ₂ ⁿ⁺¹		
0	φ	φ	φ	φ	φ	φ	φ	φ	0	0	0	0
1	↑	0	φ	φ	d	c	b	a	d	c	b	a
1	↑	1	0	φ	φ	φ	φ	φ	Q ₃ ⁿ	Q ₂ ⁿ	Q ₁ ⁿ	Q ₀ ⁿ
1	↑	1	φ	0	φ	φ	φ	φ	Q ₃ ⁿ	Q ₂ ⁿ	Q ₁ ⁿ	Q ₀ ⁿ
1	↑	1	1	1	φ	φ	φ	φ	状态码加 1			

图 2: 74LS161 真值表

从功能表中可知，当清零端 $C_R = "0"$ 时，计数器输出 Q_1, Q_2, Q_3, Q_0 。立即为全”0”，这是异步复位功能。当 $C_R = "1"$ 且 $L_D = "0"$ 时，在.CP 脉冲上升沿作用后，74LS161 的输出端 Q_1, Q_2, Q_3, Q_0 ，的状态分别与并行数据输入端 D₃, D₂, D₁, D₀ 的状态相同，这是同步置数功能。而当 $C_R = L_D = "1"$ 、EP 与 ET 中有一个为”0”时，计数器不计数，输出端状态保持不变。只有当 $C_R = L_D = EP = ET = "1"$ 时，CP 脉冲上升沿作用后，计数器加 1。此外，74LS161 还有一个进位输出端 C_o，其逻辑关系是 $C_o = Q_3Q_2Q_1Q_0ET$ 。

合理应用计数器的清零功能和置数功能，一片 74LS161 可以构成分频数 16 以下的任意进制分频器。

(1) 用异步清零功能设计分频数为 16 以下的任意进制分频器

图 2 是 9 分频器的电路原理图。图中每个 CP 脉冲作用后, 74LS161 就加“1”，当 $Q_0 = Q_1 = Q_2 = "1"$ 时，四输入与非门 74LS20 输入全“1”、输出为“0”。计数器立即复位并重新开始计数。74LS161 输出端随时钟脉冲输入的变化规律列于表 2。每输入 9 个时钟脉冲，复位控制与非门的输出端就有一个很窄的负脉冲，脉冲的宽度约为 $2t$ ，时间。同理可得图 3，表示不同分频数时复位控制与非门输入端和 74LS161 输出端的连接规律，四输入与非门的多余输入端接高电平。异步复位时在计数器输出端上可能会出现不应有的毛刺信号。

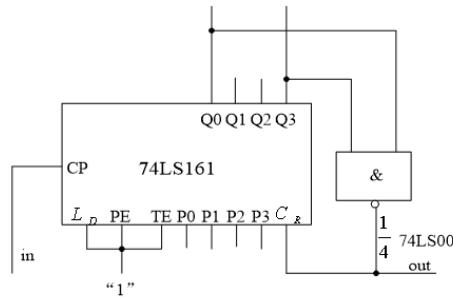


图 3: 9 分频器的电路原理图

CP	Q_3	Q_2	Q_1	Q_0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	0	0	0	0

分频数		3	4	5	6	7	8	9	10	11	12	13	14	15
四与 非门 输入	A	1	1	1	1	1	Q_3							
	B	1	Q_2	Q_2	Q_2	Q_2	1	1	1	1	Q_2	Q_2	Q_2	Q_2
	C	Q_1	1	1	Q_1	Q_1	1	1	Q_1	Q_1	1	1	Q_1	Q_1
	D	Q_0	1	Q_0										

图 4: 与非门输入端与分频数关系表

(2) 利用同步置数法实现分频数为 16 以下的任意进制分频

图 4 是由 74LS161 和反相器组成的 12 分频器，利用进位信号 C0 反相后产生预置数控制信号。在 CP 脉冲作用后，74LS161 就加 1。当 $Q_3=Q_2=Q_1=Q_0=ET="1"$ 时，进位端 C0，输出为“1”，反相后使 74LS161 的置

位控制端 LD 有效, 计数器进入置数准备状态。当下一个时钟脉冲上升沿到达时, 数据输入端 D3, D2, D1, D0 的数据被置入内部触发器, 完成置数功能。LD 端的脉冲频率为计数时钟的 12 分频, 负脉冲宽度为一个时钟周期。利用进位信号 C0 同步置数的电路分频数 N 为

$$N = D3' \times 2^3 + D2' \times 2^2 D1' \times 2^1 D0' \times 2^0 1$$

式中, D3, D2, D1, D0。接地时为”0”, 否则为”1”。例如, 图 4-4-3 中, D3=”0”, D2=D1=D0=”1”, 代入式 1 中可得分频数为

$$N = 1' \times 2^3 + 0' \times 2^2 1' \times 2^1 1' \times 2^0 1 = 12$$

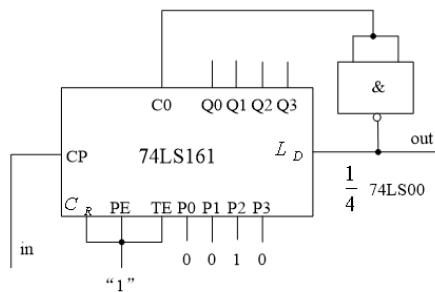


图 5: 12 分频器的电路原理图

表 2 列出了图 5 电路在每个时钟脉冲 CP 作用下 Q1, Q2, Q3, Q0 和 C0 的输出的状态。

CP	Q_3	Q_2	Q_1	Q_0	C_0
0	0	1	0	0	0
1	0	1	0	1	0
2	0	1	1	0	0
3	0	1	1	1	0
4	1	0	0	0	0
5	1	0	0	1	0
6	1	0	1	0	0
7	1	0	1	1	0
8	1	1	0	0	0
9	1	1	0	1	0
10	1	1	1	0	0
11	1	1	1	1	1
12	0	1	0	0	0

4 实验电路

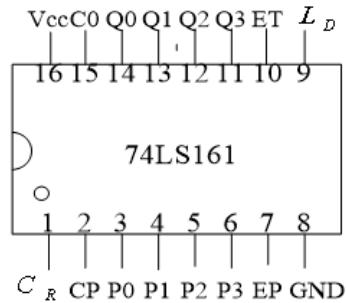


图 6: 74LS161 引脚图

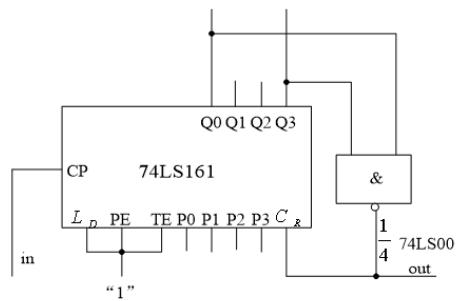


图 7: 9 分频器的电路原理图

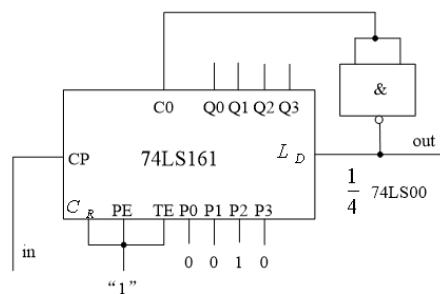


图 8: 12 分频器的电路原理图

5 实验内容及步骤

- 按图 4-4-1, 表 4-4-1 验证 74LS161 的功能。
- 利用 74LS161 的清零端 CR 设计一个 9 分频器。当时钟频率为 1Hz 时, 用 LED 数码管显示 74LS161 Q3—Q0 的输出状态, 并填入表 3 中。当时钟频率为 10kHz 时, 用示波器观察和记录 CP, Q3—Q0 的波形。
- 利用 74LS161 的置数端 LD 设计一个 12 分频器。当时钟频率为 1Hz 时, 用 LED 显示 74LS161 Q3—Q0 的输出状态, 并填入表 4 中。当时钟频率为 10kHz 时, 用示波器观察和记录 CP, CO, Q3—Q0 的波形。

6 实验设备和器材

- (1) 直流稳压电源 1 台
(2) 数字逻辑实验箱 1 台
(3) 74LS00、74LS161 2 片
(4) 示波器 1 台
(5) 导线

7 数据及误差处理

- (1) 9 分频器
Q3—Q0 的输出状态:
1Hz:

CP	Q_3	Q_2	Q_1	Q_0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	0	0	0	0

10kHz:

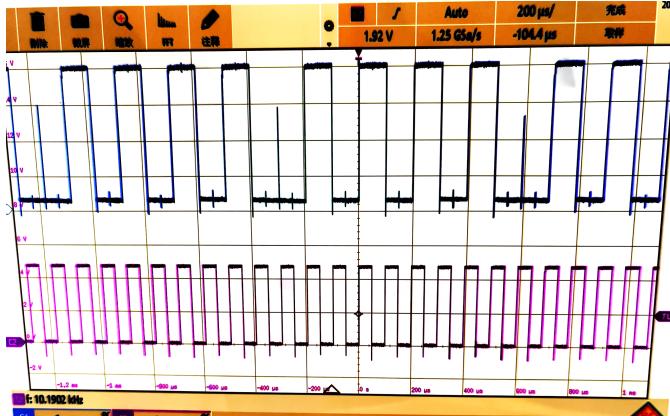


图 9: CLK/Q0



图 10: CLK/Q1

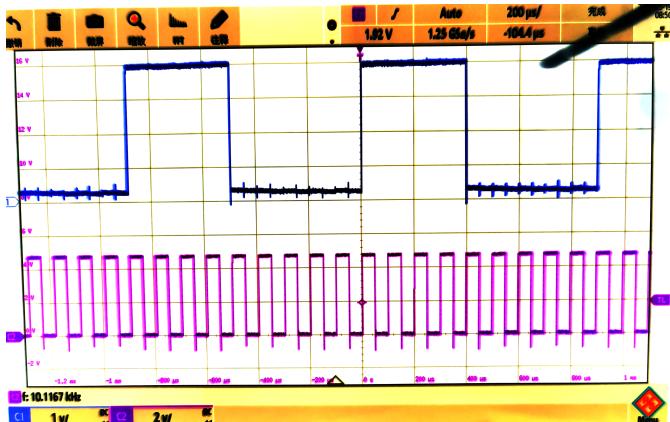


图 11: CLK/Q2

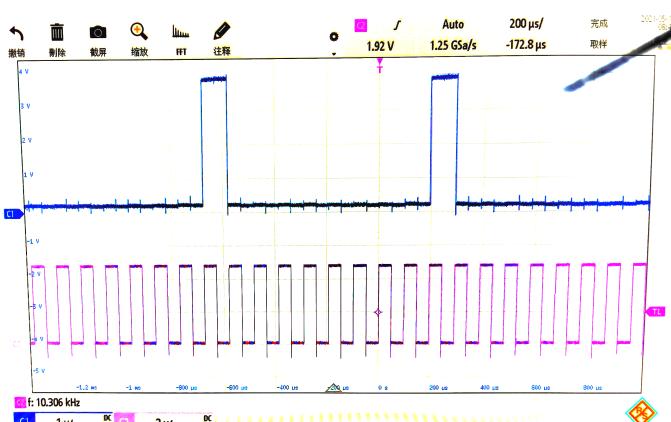


图 12: CLK/Q3

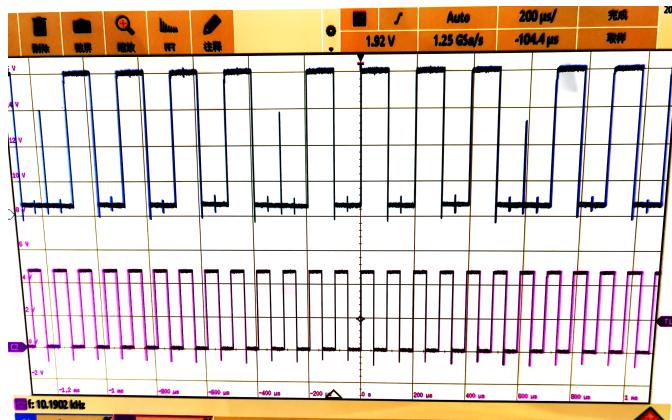
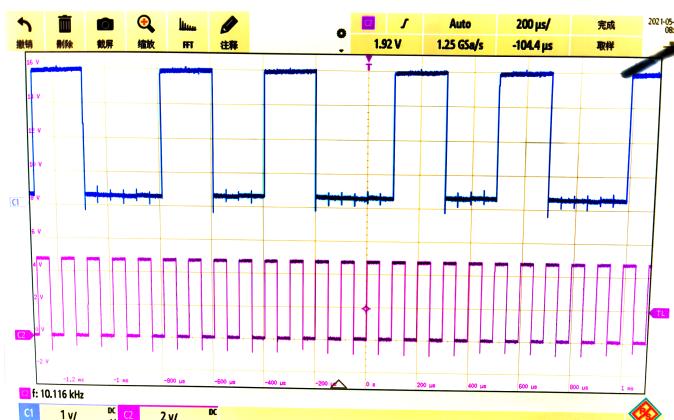
(1) 12 分频器

Q3—Q0 的输出状态:

1Hz:

CP	Q_3	Q_2	Q_1	Q_0	C_0
0	0	1	0	0	0
1	0	1	0	1	0
2	0	1	1	0	0
3	0	1	1	1	0
4	1	0	0	0	0
5	1	0	0	1	0
6	1	0	1	0	0
7	1	0	1	1	0
8	1	1	0	0	0
9	1	1	0	1	0
10	1	1	1	0	0
11	1	1	1	1	1
12	0	1	0	0	0

10kHz:

图 13: $CLK/Q0$ 图 14: $CLK/Q1$

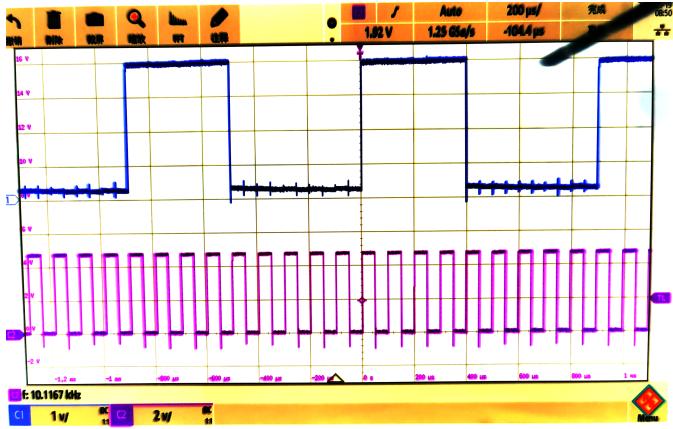


图 15: $CLK/Q2$

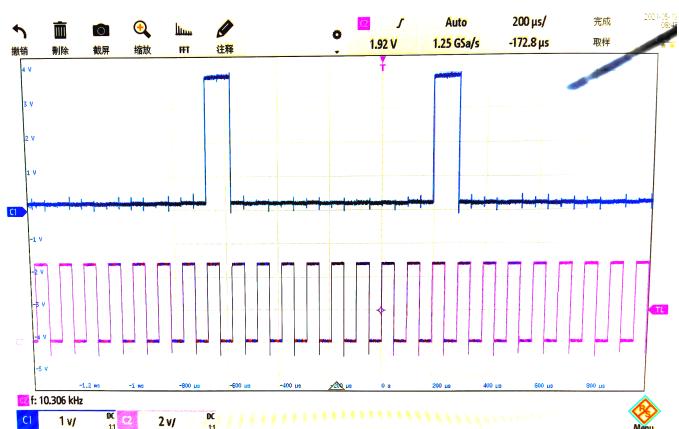


图 16: $CLK/Q3$

8 结论

74LS161 的性质符合预期

9 分频器和 12 分频器的输出结果符合预期