

## 1 实验名称: 触发器基本功能测试实验

## 2 实验目的

- (1) 学习触发器逻辑功能的测试方法。
- (2) 了解基本 RS 触发器、D 触发器及 JK 触发器的逻辑功能及触发方式。
- (3) 进一步学习用示波器测量比较两路相关信号波形的周期、脉宽等参数的方法。

## 3 实验原理

双稳态触发器具有两个互补的输出端  $Q$  和  $Q'$ , 触发器正常工作时,  $Q$  与  $Q'$  的逻辑电平总是互补, 即一个为“0”时另一个一定是“1”。(当触发器工作在非正常状态时,  $Q$  和  $Q'$  的输出电平有可能相同, 使用时必须注意避免出现这种情况)。RS 触发器具有两个开关量特性的激励输入端  $R$  和  $S$ ,  $R$  的有效电平使触发器复位 (Reset),  $Q=0$ ;  $S$  的有效电平使触发器置位 (Set),  $Q=1$ , 所以称为 Reset Set 触发器。图 1 是两个与非门互相反馈组成的基本 RS 触发器电路。当激励  $S$  为有效电平时, 输出  $Q$  立即置位为“1”, 而激励  $R$  为有效电平时, 输出  $Q$  复位为“0”, 两者都为无效电平时, 输出保持原来的状态不变。

JK 触发器具有两个激励输入端  $J$  和  $K$ , 其特性方程为  $Q_{n+1} = JQ'_n K'Q_n$ 。在有效时钟脉冲触发时, 可以实现“同步置位”、“同步复位”、“状态不变”、“状态变反”四种功能。74LS112 是下降沿触发有效的集成双 JK 触发器, 片上有两个 JK 触发器, 引脚标号以“1”和“2”区别, 如图 2 所示。

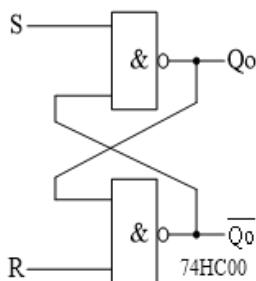


图 1: 与非门互相反馈组成的基本 RS

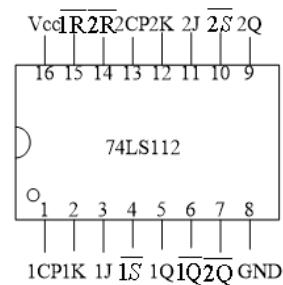
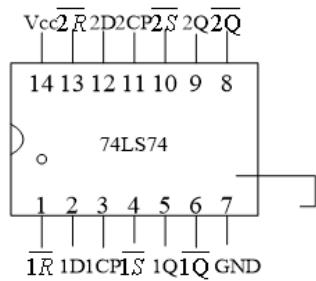
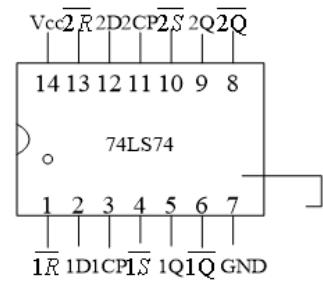


图 2: 74LS112 引脚图

D 触发器只有一个激励输入端  $D$ 。当触发脉冲有效时, D 触发器的输出与激励输入相同, 由于在时间上滞后于输入, 所以又称 Delay 触发器。74LS74 是上升沿触发有效的双 D 集成触发器, 片上有两个 D 触发器, 引脚排列如图 3 所示。集成触发器一般具有直接 (Direct) 置位、复位控制端  $S$ 。与 R, 如 74LS112 和 74LS74 引脚图所示。当  $R$ , 或  $S$ , 有效时 (为低电平“0”), 触发器立即被

复位或者置位。所以  $R_D$  与  $S_D$  又称异步复位、置位端。直接置位、复位可以用来判断预置触发器的初始状态, 但在使用时必须注意两者不允许同时有效, 而不允许与时钟触发控制同时有效。T 触发器也只有一个激励控制端  $T$ , 其特性方程为  $Q_{n+1} = JQ'_n K'Q_n$  当触发条件满足时, 若激励  $T=0$ , 触发器的状态不变, 当  $T=1$ , 触发器的状态变反。

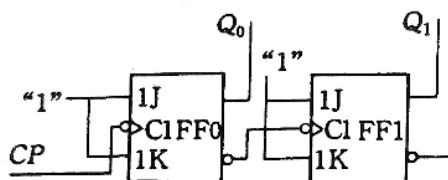
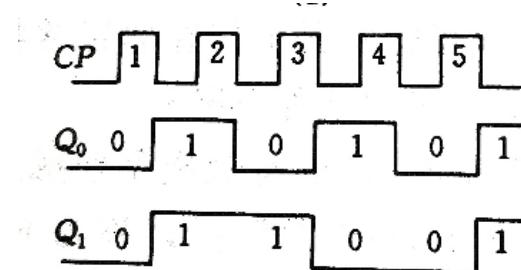
$T'$  触发器没有激励输入, 只受触发时钟脉冲控制, 其特性方程为  $Q_{n+1} = Q'_n$  只要触发条件满足,  $T'$  触发器状态的输出状态随触发脉冲  $CP$  输入连续翻转。如果  $T'$  触发器的初状态为“0”, 奇数个触发脉冲

图 3:  $I_{EH}$ 图 4:  $N_o$ 

输入后其状态为”1”，偶数个触发脉冲输入后状态为”0”，类似 1 位二进制数累计触发脉冲输入的个数（进位溢出不计）。

图 5 中两个 JK 触发器构成了下降沿有效的 T' 触发器 ( $J=K=“1”$ )，状态方程为  $Q_{n+1} = Q'_n$ ，具有的计数特性。FF0 的触发脉冲为 CP， $Q_0$  在每个 CP 脉冲下降沿时刻状态变反;FF1 的时钟是 FFO 的输出  $Q'_0$ ，所以 FF1 在  $Q_0$  上升沿 ( $Q$  的下降沿) 时刻状态变反。 $Q_0$  与  $Q_1$  的输出波形如图 6 所示。由信号波形可见，在每个时钟脉冲下降沿后， $Q_0$  与  $Q_1$  的状态码按”00”-”11”-”10”-”01”-”00”的规律循环变化，循环周期为 4 个时钟脉冲周期。状态变化是以 2 位二进制码递减方式累计输入时钟脉冲的个数，电路功能为 2 位异步二进制减计数器。

一般，用  $n$  个 T' 触发器可以构成双位异步二进制计数器。除最低位触发器直接由时钟 CP 控制外，其他各触发器的时钟都由相邻低位的状态输出控制。

图 5:  $I_{EH}$ 图 6:  $N_o$

## 4 实验电路

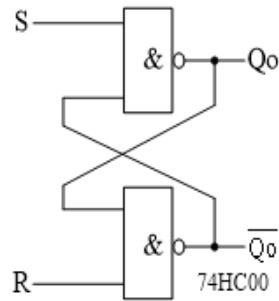


图 7: RS 触发器

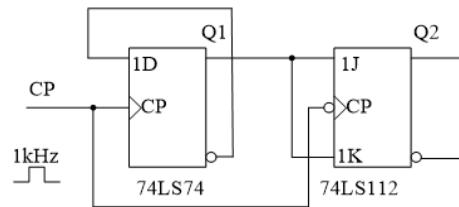


图 8: 集成触发器实验电路

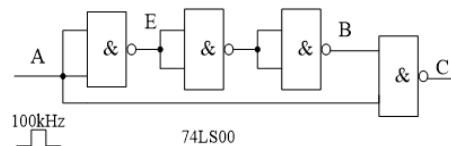


图 9: 信号传输电路

## 5 实验内容及步骤

1. 基本 RS 触发器功能测试: 按图 7 接线, 验证 RS 触发器的基本逻辑功能, 填入表 1
2. 集成 JK 触发器功能测试: 验证集成 JK 触发器功能, 填入表 2, 表 3
3. 集成触发器应用: 按图 8 接线, 电路的时钟 CP 输入 1kHz 脉冲波, 用示波器观测和记录 CP, Q1, Q2 的波形。
4. 信号传输中的竞争冒险现象观察: 按图 4-1-5 接线, 用示波器观察并记录 A, B, C 波形。

## 6 数据及误差处理

### 6.1 与门基本 RS 触发器的逻辑功能测试

R	S	$Q_0$	$Q'_0$	功能
0	1	0	1	置”0”
1	1	0	1	保持
1	0	1	0	置”0”
1	1	1	0	保持
0	0	/	/	禁止(不定)
1	1	/	/	保持

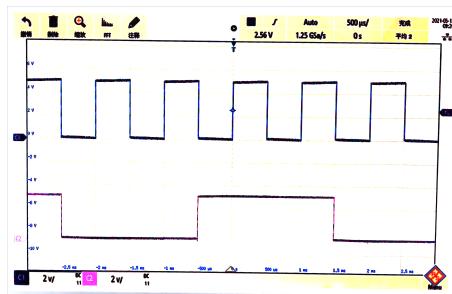
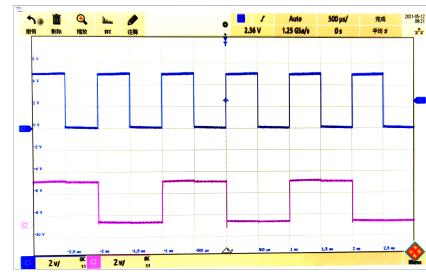
### 6.2 集成 JK 触发器的直接置位复位功能测试

R	S	$Q_0$	$Q'_0$	功能
0	1	0	1	置”0”
1	1	0	1	保持
1	0	1	0	置”0”
1	1	1	0	保持
0	0	1	1	禁止(不定)
1	1	1	0	保持

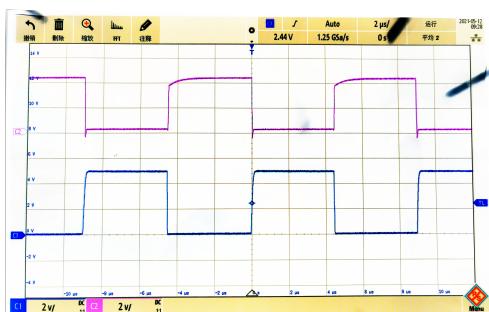
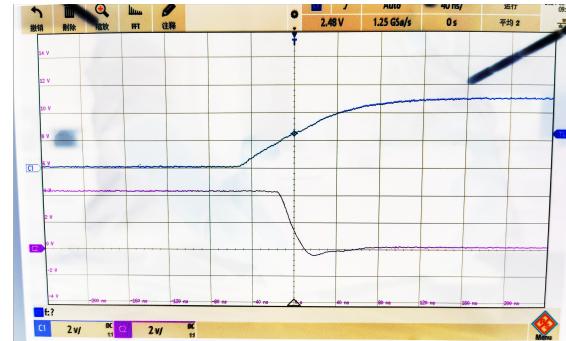
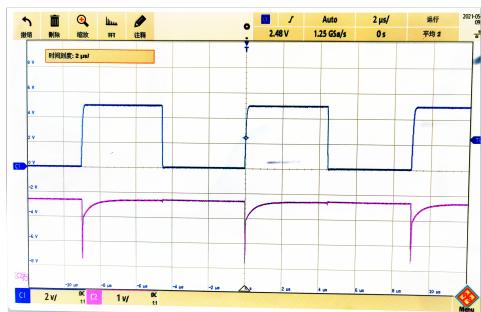
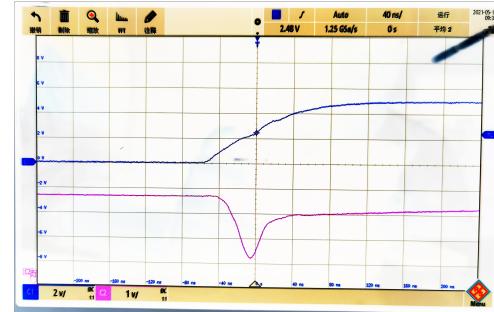
### 6.3 集成 JK 触发器的激励功能测试

J	1	1	0	0	0	0	1	1	1	1	1
K	0	0	0	0	1	1	1	1	1	1	1
CP	↑	↓	↑	↓	↑	↓	↑	↓	↑	↓	↑
Q	0	1	1	1	1	0	0	1	1	0	
Q'	1	0	0	0	0	1	1	0	0	1	

### 6.4 集成触发器应用

图 10:  $I_{EH}$ 图 11:  $N_o$

## 6.5 竞争与冒险现象

图 12:  $I_{EH}$ 图 13:  $N_o$ 图 14:  $I_{EH}$ 图 15:  $N_o$

## 7 结论

双稳态触发器具有两个互补的输出端  $Q$  和  $Q'$ , 触发器正常工作时,  $Q$  与  $Q'$  的逻辑电平总是互补, 即一个为”0”时另一个一定是”1”。RS 触发器具有两个开关量特性的激励输入端  $R$  和  $S$ ,  $R$  的有效电平使触发器复位 (Reset),  $Q=0$ ;  $S$  的有效电平使触发器置位 (Set),  $Q=1$ , 所以称为 Reset Set 触发器。当激励  $S$  为有效电平时, 输出  $Q$  立即置位为”1”, 而激励  $R$  为有效电平时, 输出  $Q$  复位为”0”, 两者都为无效电平时, 输出保持原来的状态不变。

JK 触发器具有两个激励输入端  $J$  和  $K$ , 其特性方程为  $Q_{n+1} = JQ'_n K'Q_n$ 。在有效时钟脉冲触发时, 可以实现”同步置位”、“同步复位”、“状态不变”、“状态变反”四种功能。同时还可以实现分频功能。

由于电路的设计, 在信号传输过程中会产生时间差, 会导致竞争冒险现象, 即极短时间内, 输出信号出现毛刺。

## 8 思考

如果用逻辑开关产生 CP 的上升沿或下降沿, 可能会出现什么问题?

产生信号上升沿和下降沿不明确。