



5.2 主存储器

国防科技大学计算机学院 刘 芳



5.2.1 主存储器逻辑设计

—— 基本原则与容量扩展



5.2.1 主存储器逻辑设计

主存储器 (Main Memory) 的设计

目的：利用半导体存储芯片和其它逻辑芯片，构成所需要的存储器

- 由存储芯片 ($m \times k \times n$ 位/片) 构成存储器 ($M \times k \times N$ 位)
- 其它逻辑芯片：例如地址寄存器、地址译码器、刷新控制电路等



5.2.1 主存储器逻辑设计

存储器设计基本原则

根据**使用要求**，结合**实际条件**进行设计，使其具有良好性能价格比

使用要求

- 存储器的**性质**：主存、Cache、CM；DRAM、SRAM、ROM
- 存储器的**性能指标**：速度、容量、字长
- 存储器的**环境条件**：温度、湿度、船载、机载

实际条件

- **现有芯片**：集成度、速度、功耗、字位结构
- **技术条件**：测试条件、设计水平
- **生产工艺**：测试、组装、加工等技术水平



5.2.1 主存储器逻辑设计

设计步骤

系统设计
(提出总体方案)

提出存储器的**性能指标和功能要求**

- 字长、容量、存取时间、存储周期、使用场合
- 总线宽度、控制方式、纠检错能力、环境条件

确定存储**结构组成、外围电路、芯片类型**

- 存储芯片类型: SRAM、DRAM、BiRAM、ROM
- 外围芯片类型: ECL、TTL、CMOS等
- **选址方法**: 重合法、线选法
- **系统结构**: 多体、单体, 编址方式



5.2.1 主存储器逻辑设计

设计步骤

1. 系统设计(提出总体方案)



2. 逻辑设计(实施总体方案)

- 容量扩展
- 负载计算与分析
- 速度估算
- 纠检错逻辑设计：提高可靠性确定存储结构组成、外围电路、芯片类型



5.2.1 主存储器逻辑设计

设计步骤

1. 系统设计(提出总体方案)



2. 逻辑设计(实施总体方案)



3. 工艺设计(工程实现)

- 印刷电路板的尺寸、层次、走线要求
- 机加工、电装配的要求
- 工艺规程、考核条件
- 器件老化、测试、筛选条件及参数的确定



5.2.1 主存储器逻辑设计

设计步骤

1. 系统设计(提出总体方案)



2. 逻辑设计(实施总体方案)



3. 工艺设计(工程实现)

重点!





5.2.1 主存储器逻辑设计

1. 存储容量的扩展

位扩展

- 存储芯片($m \times n$ 位/片)构成存储器($m \times N$ 位)

字扩展

- 存储芯片($m \times n$ 位/片)构成存储器($M \times n$ 位)

字位同时扩展

- 存储芯片($m \times n$ 位)构成存储器($M \times N$ 位)

—注意： $m < M$, $n < N$



5.2.1 主存储器逻辑设计

1. 存储容量的扩展

位扩展

存储芯片($m \times n$ 位/片)构成存储器($m \times N$ 位)

特点：字数不变(存储单元个数不变)，位数扩展(字长加长)

- 芯片地址码位数与存储器的地址码位数相同
- 每个存储单元中所含存储位元数增加,给出地址后，该存储单元中所含芯片均工作



5.2.1 主存储器逻辑设计

1. 存储容量的扩展

位扩展

存储芯片($m \times n$ 位/片)构成存储器($m \times N$ 位)

特点：字数不变(存储单元个数不变)，位数扩展(字长加长)

- 芯片地址码位数与存储器的地址码位数相同
- 每个存储单元中所含存储位元数增加,给出地址后，该存储单元中所含芯片均工作



需要多少片
存储芯片呢？



5.2.1 主存储器逻辑设计

1. 存储容量的扩展

位扩展

存储芯片($m \times n$ 位/片)构成存储器($m \times N$ 位)

特点：字数不变(存储单元个数不变)，位数扩展(字长加长)

- 芯片地址码位数与存储器的地址码位数相同
- 每个存储单元中所含存储位元数增加,给出地址后，该存储单元中所含芯片均工作
- 需存储芯片数： $\lceil N/n \rceil$ 片

此例需要多少芯片呢？

例：由 $16K \times 6$ 位芯片组装成 $16K \times 32$ 位存储器需要：
 $\lceil 32/6 \rceil = 6$ (片)





5.2.1 主存储器逻辑设计

1. 存储容量的扩展

位扩展

存储芯片($m \times n$ 位/片)构成存储器($m \times N$ 位)

特点：字数不变(存储单元个数不变)，位数扩展(字长加长)

- 芯片地址码位数与存储器的地址码位数相同
- 每个存储单元中所含存储位元数增加,给出地址后，该存储单元中所含芯片均工作
- 需存储芯片数： $\lceil N/n \rceil$ 片
- 芯片间各端点(引脚)如何连接？

需要考虑哪些
引脚信号？





5.2.1 主存储器逻辑设计

1. 存储容量的扩展

位扩展

存储芯片($m \times n$ 位/片)构成存储器($m \times N$ 位)

特点：字数不变(存储单元个数不变)，位数扩展(字长加长)

- 芯片地址码位数与存储器的地址码位数相同
- 每个存储单元中所含存储位元数增加,给出地址后，该存储单元中所含芯片均工作
- 需存储芯片数： $\lceil N/n \rceil$ 片
- 芯片间各端点(引脚)如何连接？
 - 地址端、 $-\text{CS}$ 、 $-\text{WE}$ 、 $-\text{OE}$ 端(若有)：分别并接
 - 数据输入、输出端：各位单独引出



5.2.1 主存储器逻辑设计

位扩展

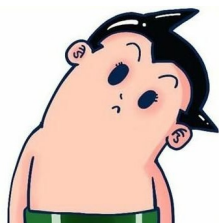
例：用 1024×4 位芯片构成 $1K \times 8$ 位存储器需几个芯片？地址范围各是多少？



5.2.1 主存储器逻辑设计

位扩展

例：用 1024×4 位芯片构成 $1K \times 8$ 位存储器需几个芯片？地址范围各是多少？



需要几个芯片？

解：位方向扩展2倍，字方向无需扩展。即2个芯片



5.2.1 主存储器逻辑设计

位扩展

例：用 1024×4 位芯片构成 $1K \times 8$ 位存储器需几个芯片？地址范围各是多少？

地址范围分别
是什么？



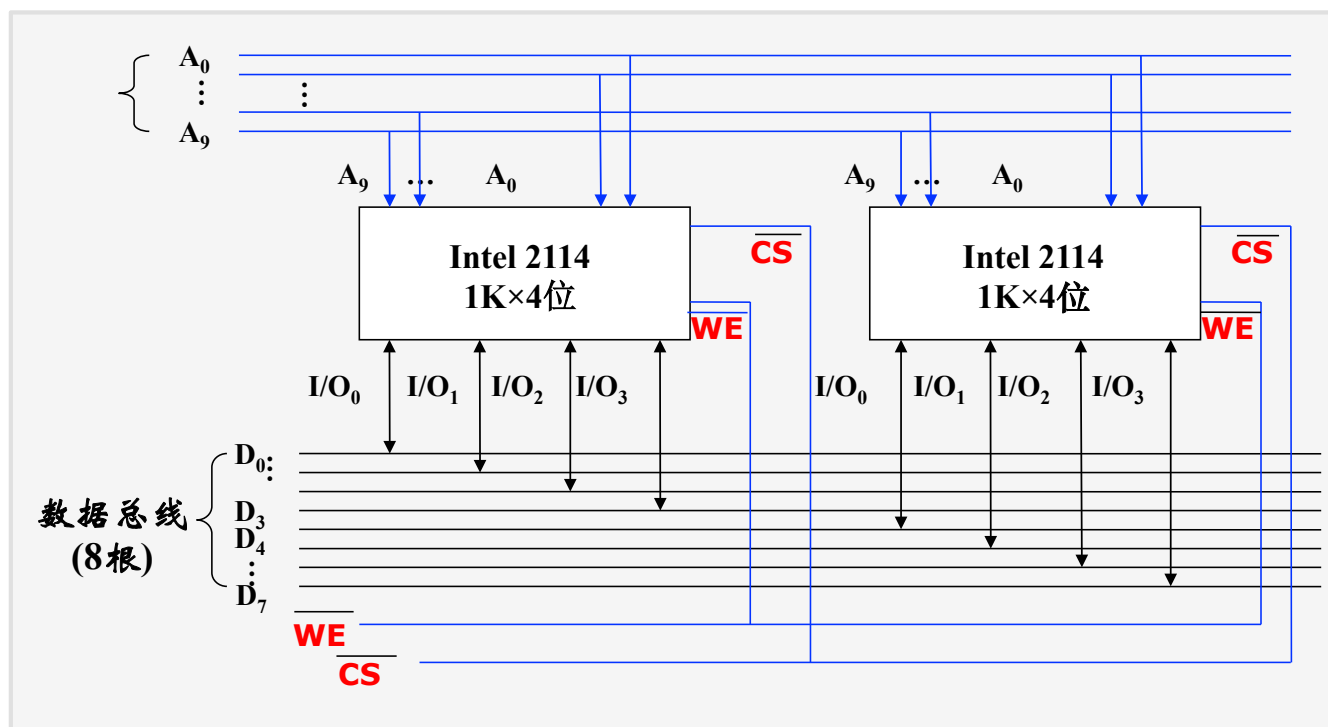
解：地址范围都一样：地址共10位， $000H \sim 3FFH$ ；全部作为片内地址
($000H \sim 3FFH : 0000\ 0000\ 0000_2 \sim 0011\ 1111\ 1111_2$)



5.2.1 主存储器逻辑设计

位扩展(注意信号线的连接)

芯片地址线及读/写控制线对应相接，而数据线单独引出，没有外部译码器



例：用1024×4位芯片构成1K×8位存储器需几个芯片？地址范围各是多少？

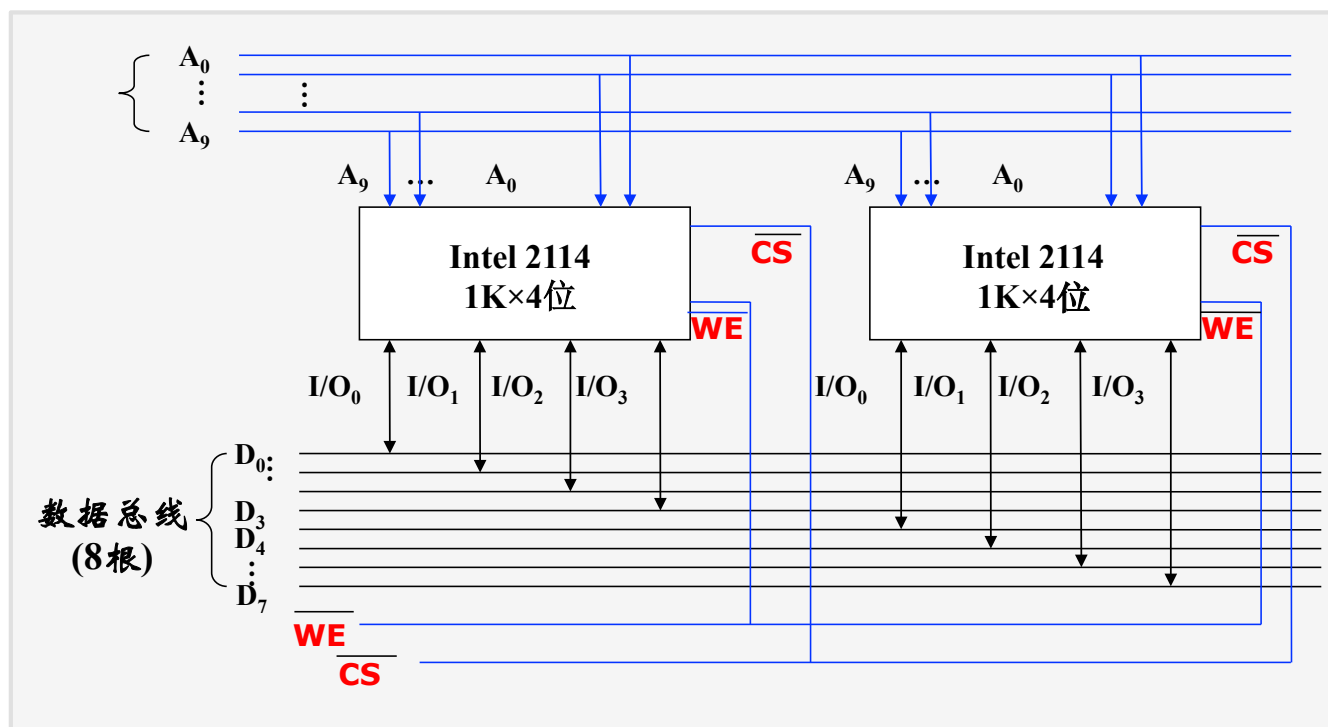
解：位方向扩展2倍，字方向不扩展，2个芯片，地址范围一样：000-3FFH地址共10位，全作为片内地址



5.2.1 主存储器逻辑设计

位扩展(注意信号线的连接)

芯片地址线及读/写控制线对应相接，而数据线单独引出，没有外部译码器



例：用1024×4位芯片构成1K×8位存储器需几个芯片？地址范围各是多少？

解：位方向扩展2倍，字方向不扩展，2个芯片，地址范围一样：000-3FFH地址共10位，全作为片内地址



5.2.1 主存储器逻辑设计

1. 存储容量的扩展

字扩展

存储芯片($m \times n$ 位/片)构成存储器($m \times n$ 位)

特点：位数不变(字长不变)、扩充容量(存储单元个数增加)；

- 芯片地址码位数小于存储器的地址码位数
- 芯片和存储器二者的存储单元中所含位元数相同
- 给出地址后，选中芯片工作



需要多少片
存储芯片呢？



5.2.1 主存储器逻辑设计

1. 存储容量的扩展

字扩展

存储芯片($m_k \times n$ 位/片)构成存储器($m_k \times n$ 位)

特点：位数不变(字长不变)、扩充容量(存储单元个数增加)；

- 芯片地址码位数小于存储器的地址码位数
- 芯片和存储器二者的存储单元中所含位元数相同
- 给出地址后，选中芯片工作

需存储芯片数： $\lceil M/m \rceil$

例：由 $32K \times 8$ 位芯片组装成 $128K \times 8$ 位存储器需要：

$$\lceil 128K/32K \rceil = 4(\text{片})$$

此例需要多少芯片呢？





5.2.1 主存储器逻辑设计

1. 存储容量的扩展

字扩展

存储芯片($m \times k \times n$ 位/片)构成存储器($m \times k \times n$ 位)

特点：位数不变(字长不变)、扩充容量(存储单元个数增加)；

- 芯片地址码位数小于存储器的地址码位数；芯片和存储器二者的存储单元中所含位元数相同；给出地址后，选中芯片工作

需存储芯片数： $\lceil M/m \rceil$

芯片间各端点如何连接

- A 、 $-WE$ 、 $-OE$ (若有)、数据输入输出端：分别并接
- $-CS$ ：单独引出，与增加的高位地址码(存储器地址码位数减芯片的地址码位数)的译码结果连接



5.2.1 主存储器逻辑设计

字扩展(注意信号线的连接)

例：用 $2K \times 8$ 位芯片构成 $4K \times 8$ 位存储器需几个芯片？各个芯片的地址范围分别是多少？

地址范围分别
是什么？



解：

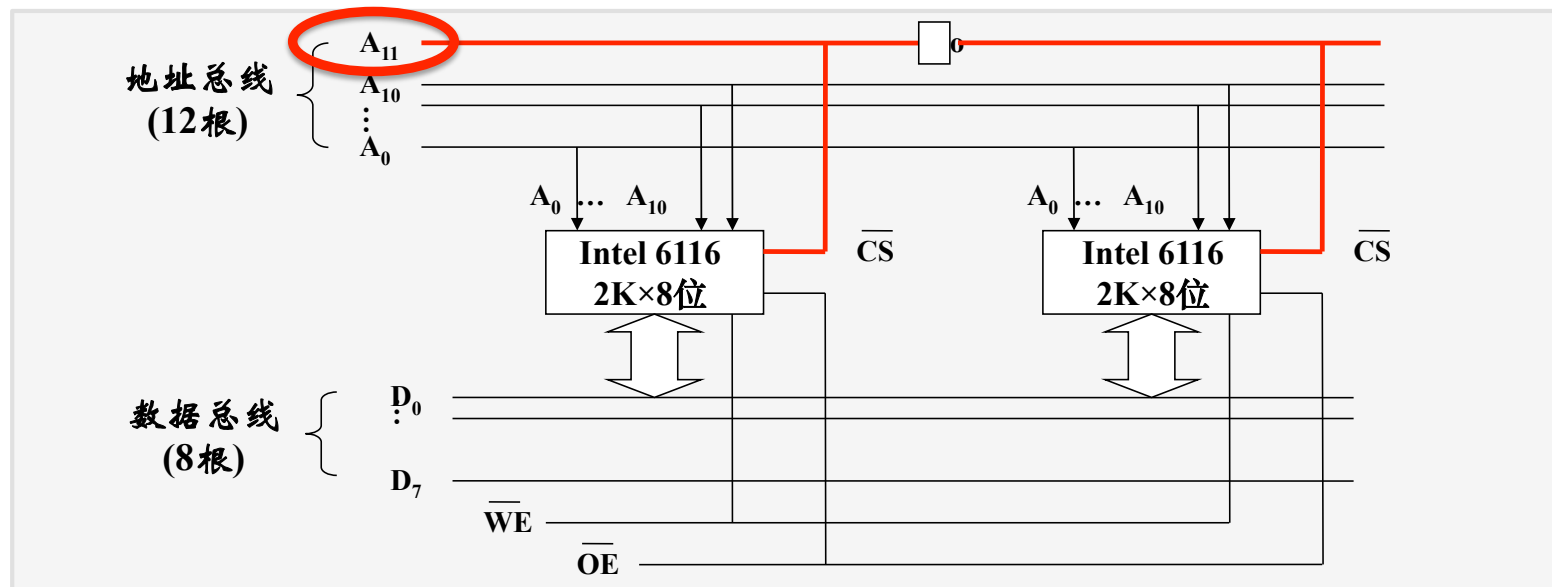
- 字方向扩展2倍(需要2个芯片)
- 芯片内地址有11位；4K个存储单元共12位地址；
- 最高位地址信号由外部译码器译码生成2个输出，分别连到2个片选信号
- 2个芯片的地址范围分别为：**000H~7FFH**，**800H~FFFH**



5.2.1 主存储器逻辑设计

字扩展(注意信号线的连接)

地址线、读/写控制线等对应相接，片选信号分别与外部译码器各输出端相连



例：用 $2K \times 8$ 位芯片构成 $4K \times 8$ 位存储器需几个芯片？地址范围各是多少？

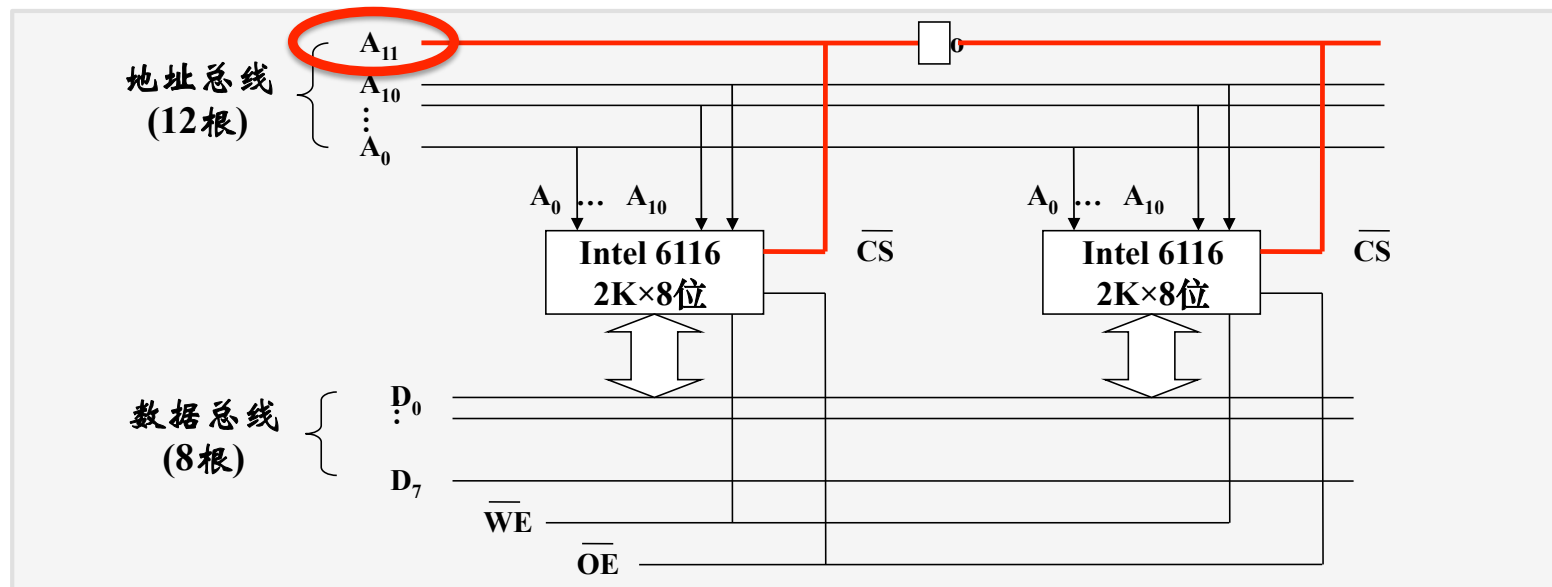
解：字方向扩展2倍(2个芯片)。 $0000-7FFH$ ， $800-FFFH$ 地址共12位，高位由外部译码器译码生成2个输出，分别连到2个片选信号，片内地址有11位



5.2.1 主存储器逻辑设计

字扩展(注意信号线的连接)

地址线、读/写控制线等对应相接，片选信号分别与外部译码器各输出端相连



例：用 $2K \times 8$ 位芯片构成 $4K \times 8$ 位存储器需几个芯片？地址范围各是多少？

解：字方向扩展2倍(2个芯片)。 $0000-7FFH$ ， $800-FFFH$ 地址共12位，高位由外部译码器译码生成2个输出，分别连到2个片选信号，片内地址有11位



5.2.1 主存储器逻辑设计

1. 存储容量的扩展

字、位同时扩展

存储芯片($m \times n$ 位/片)构成存储器($M \times N$ 位)

特点：存储单元个数，字长同时增加，即存储器地址码位数多于芯片地址码位数，存储器存储单元中位元数大于芯片存储单元中位元数。给出地址后，同行芯片均工作



5.2.1 主存储器逻辑设计

1. 存储容量的扩展

字、位同时扩展

存储芯片($m \times n$ 位/片)构成存储器($M \times N$ 位)

特点：存储单元个数，字长同时增加，即存储器地址码位数多于芯片地址码位数，存储器存储单元中位元数大于芯片存储单元中位元数。给出地址后，同行芯片均工作

需存储芯片数： $\lceil M/m \rceil \lceil N/n \rceil$ 片

例：由 $16K \times 4$ 位芯片组装成 $128K \times 8$ 位存储器需要：

$$\lceil 128K/16K \rceil \times \lceil 8/4 \rceil = 8 \times 2 = 16 \text{ (片)}$$



5.2.1 主存储器逻辑设计

1. 存储容量的扩展

字、位同时扩展

存储芯片($m \times n$ 位/片)构成存储器($M \times N$ 位)

特点：存储单元个数，字长同时增加，即存储器地址码位数多于芯片地址码位数，存储器存储单元中位元数大于芯片存储单元中位元数。给出地址后，同行芯片均工作

需存储芯片数： $\lceil M/m \rceil \lceil N/n \rceil$ 片

芯片间各端点的连接

A、-WE、-OE(若有)：分别并接

-CS：位向(同行)并接，字向(不同行)独立引出

D、Q：位向(不同列)独立引出，字向(同列)并接



5.2.1 主存储器逻辑设计

字、位同时扩展

例：用 $1\text{K} \times 4$ 位芯片构成 $4\text{K} \times 8$ 位存储器需几个芯片，地址范围各是多少？

需要多少芯片呢？



解：字向扩展4倍、位向扩展2倍，需要8个芯片



5.2.1 主存储器逻辑设计

字、位同时扩展

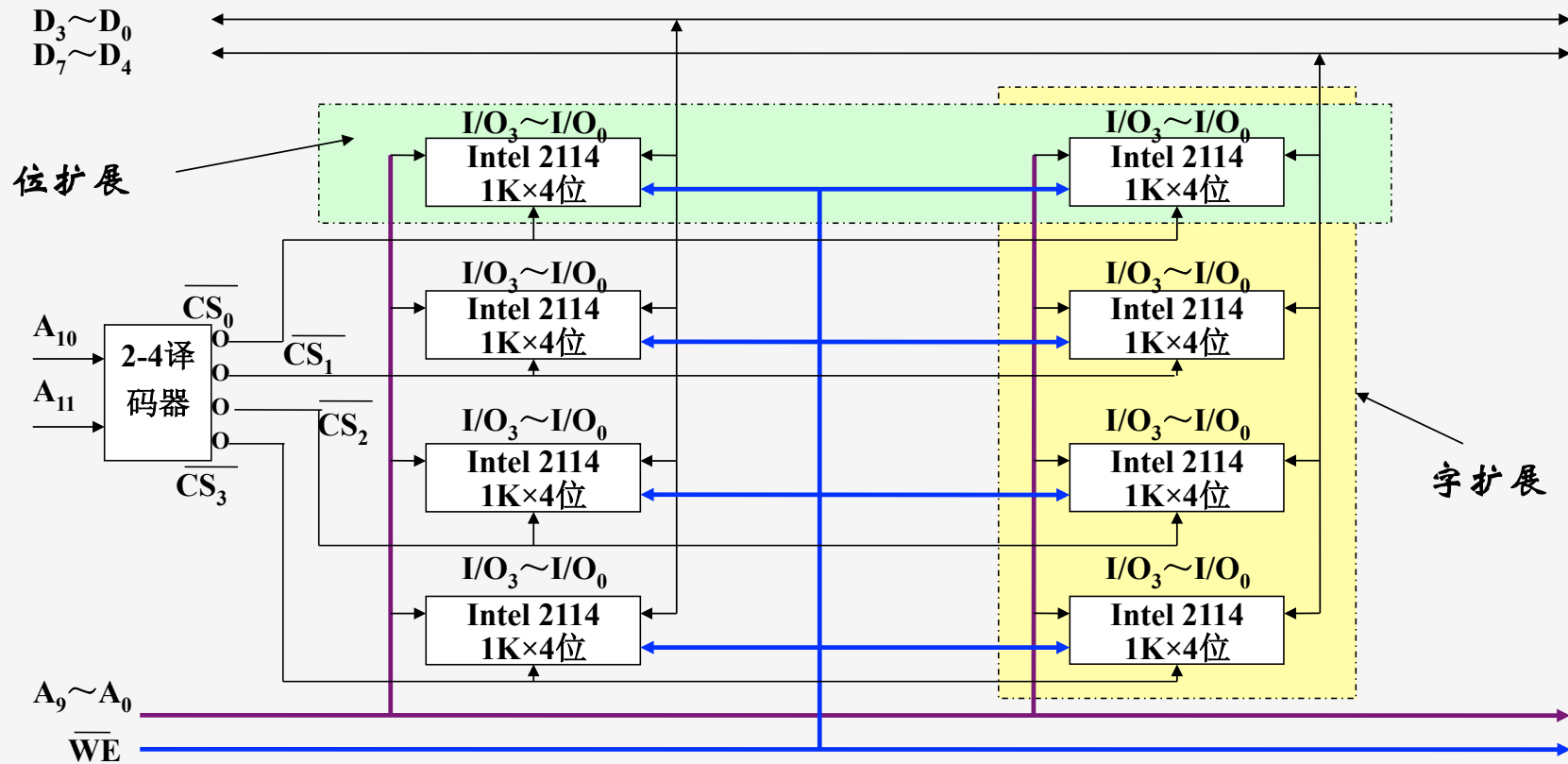
例：用1K×4位芯片构成4K×8位存储器需几个芯片，地址范围各是多少？

地址范围分别
是什么？



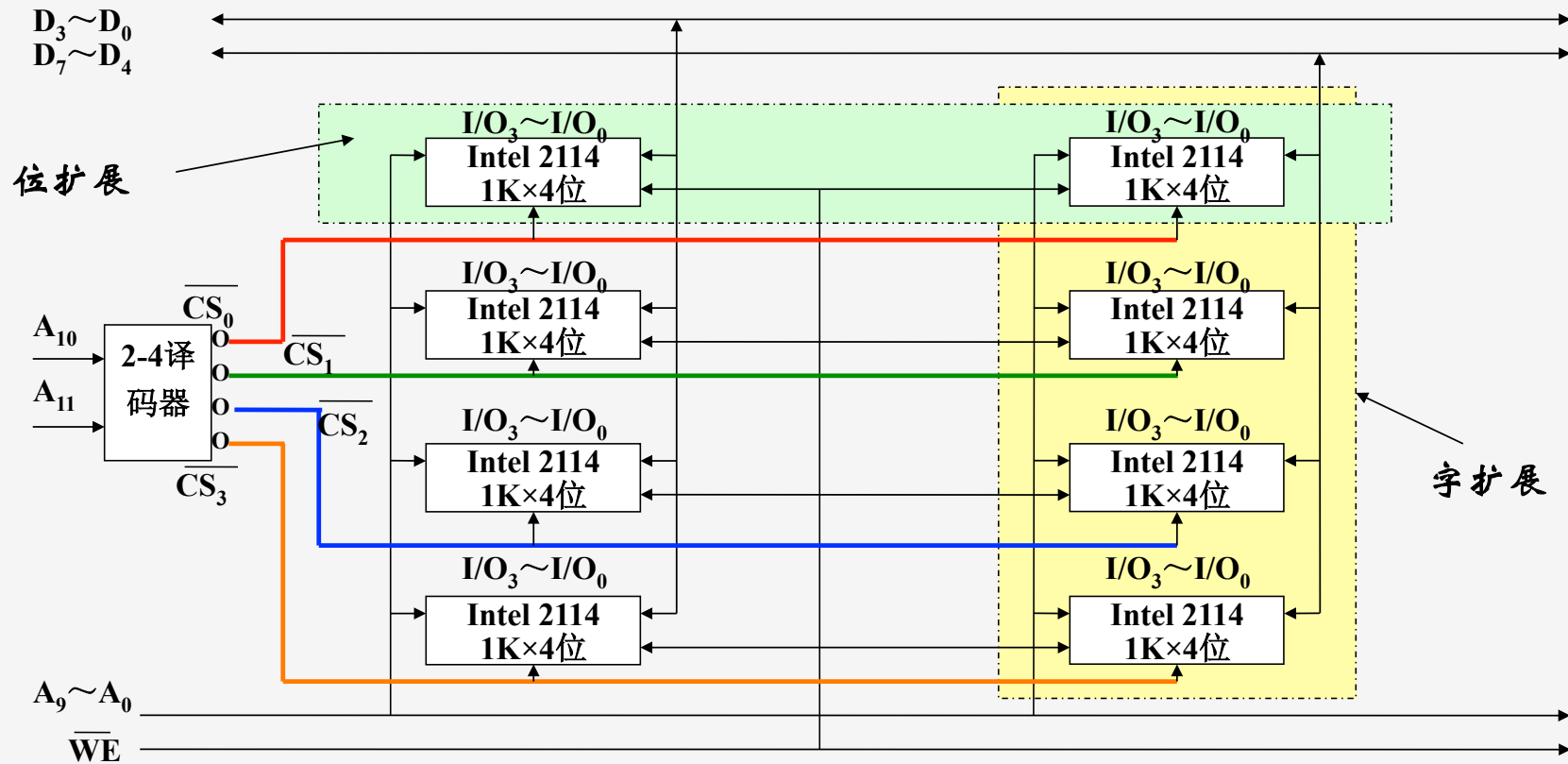
解：存储芯片1K (2^{10})：地址码10位；存储器4K (2^{12})：地址码：
12位地址范围：**000~3FFH**、**400~7FFH**、**800~BFFH**、**C00~FFFH**

字、位同时扩展 (A、-WE : 分别并接)



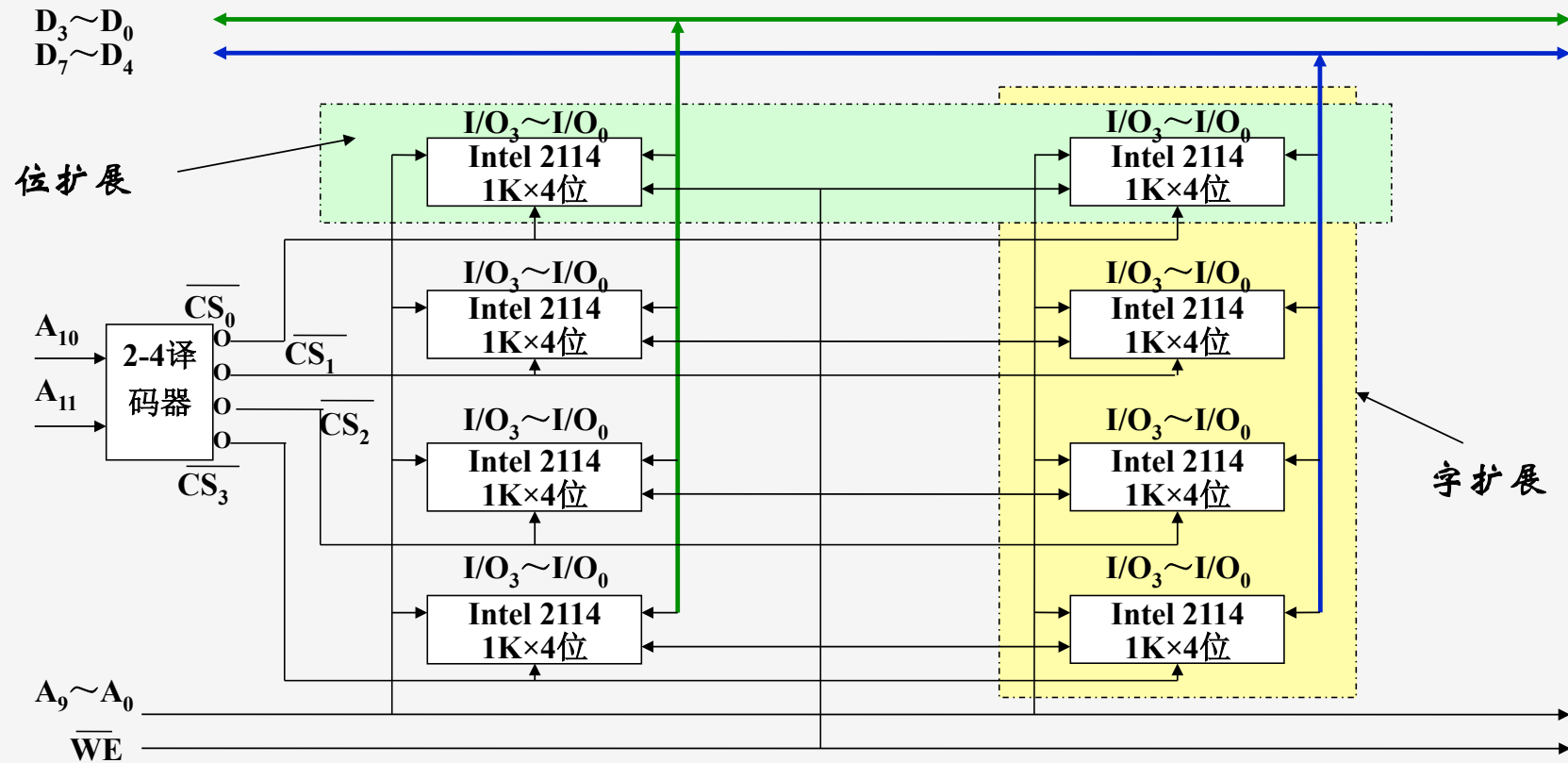
例：用1K×4位芯片构成4K×8位存储器，需要8个芯片，地址范围分别为：0000-3FFH，400-7FFH，800-BFFH，C00- FFFH；地址线、读/写控制线等对应相接，片选信号则分别与外部译码器各个译码输出端相连。

字、位同时扩展 (-CS : 位向(同行)并接 , 字向(不同行)独立引出)



例：用1K×4位芯片构成4K×8位存储器，需要8个芯片，地址范围分别为：0000-3FFH，400-7FFH，800-BFFH，C00- FFFH；地址线、读/写控制线等对应相接，片选信号则分别与外部译码器各个译码输出端相连。

字、位同时扩展



例：用1K×4位芯片构成4K×8位存储器，需要8个芯片，地址范围分别为：0000-3FFH，400-7FFH，800-BFFH，C00-FFFH；地址线、读/写控制线等对应相接，片选信号则分别与外部译码器各个译码输出端相连。



5.2.1 主存储器逻辑设计

—— 负载分析与速度估算



5.2.1 主存储器逻辑设计

设计步骤

1. 系统设计(提出总体方案)



2. 逻辑设计(实施总体方案)



3. 工艺设计(工程实现)

重点!





5.2.1 主存储器逻辑设计

2. 负载计算

驱动与负载的有关问题

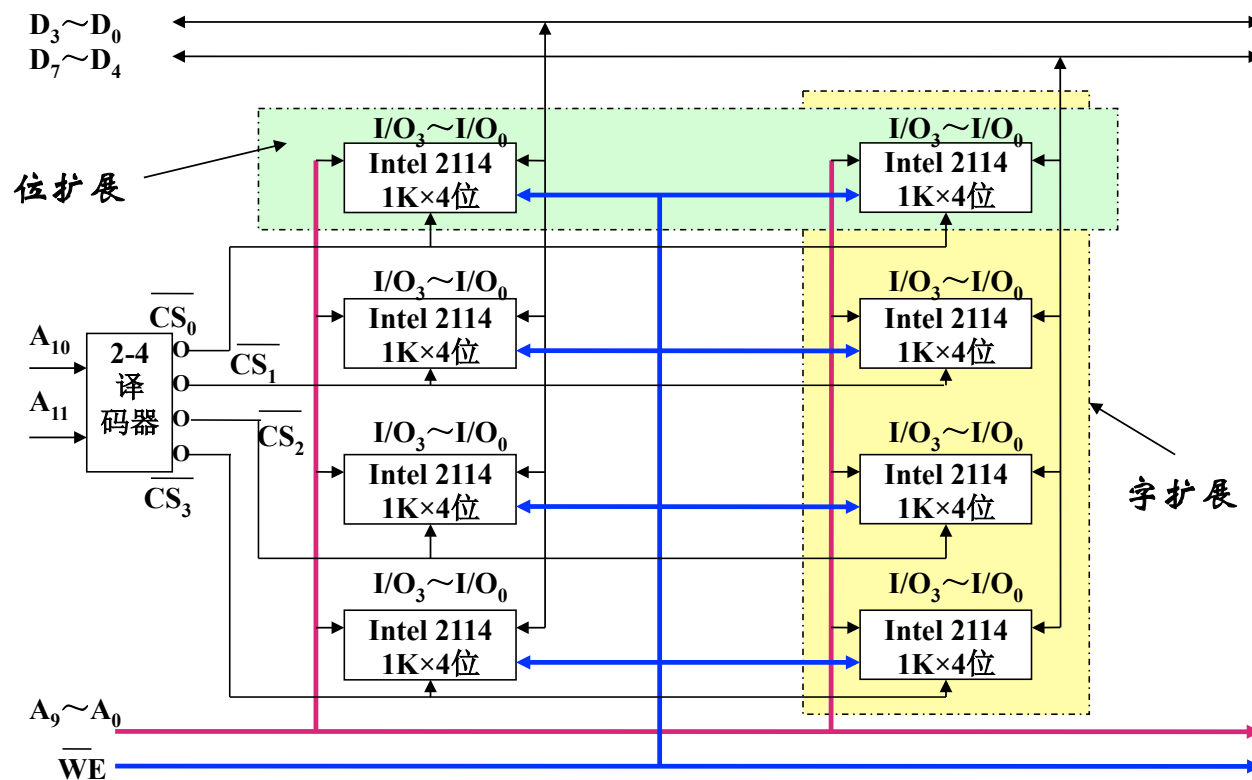
- 存储器的逻辑设计中，外围电路芯片是驱动，存储芯片的各端点就是负载
- 逻辑电路的负载能力是有限的
- 双极型芯片各端点为电流负载；MOS型芯片各端点为电容负载
- 负载因数 $f_{\text{端点名}}$ ：存储芯片某种端点中的一个端点的负载量称为该种端点的负载因数

例如：用 f_A 表示地址端的负载因数



5.2.1 主存储器逻辑设计

2. 负载计算 (计算 $m \times n$ 位 $\rightarrow M \times N$ 位)



地址驱动线的负载

$$L_A = [M/m] [N/n] f_A$$

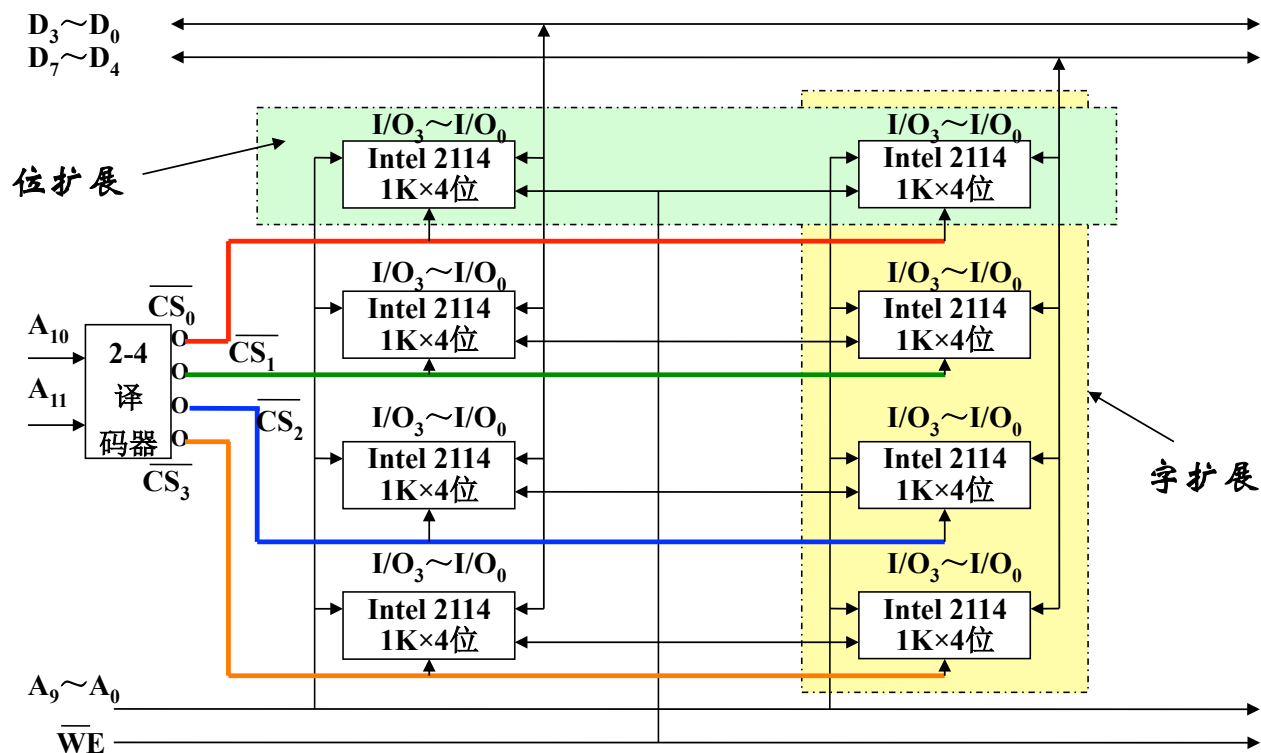
读写控制驱动线负载

$$L_{WE} = [M/m] [N/n] f_{we}$$



5.2.1 主存储器逻辑设计

2. 负载计算 (计算 $m \times n$ 位 \rightarrow $M \times N$ 位)

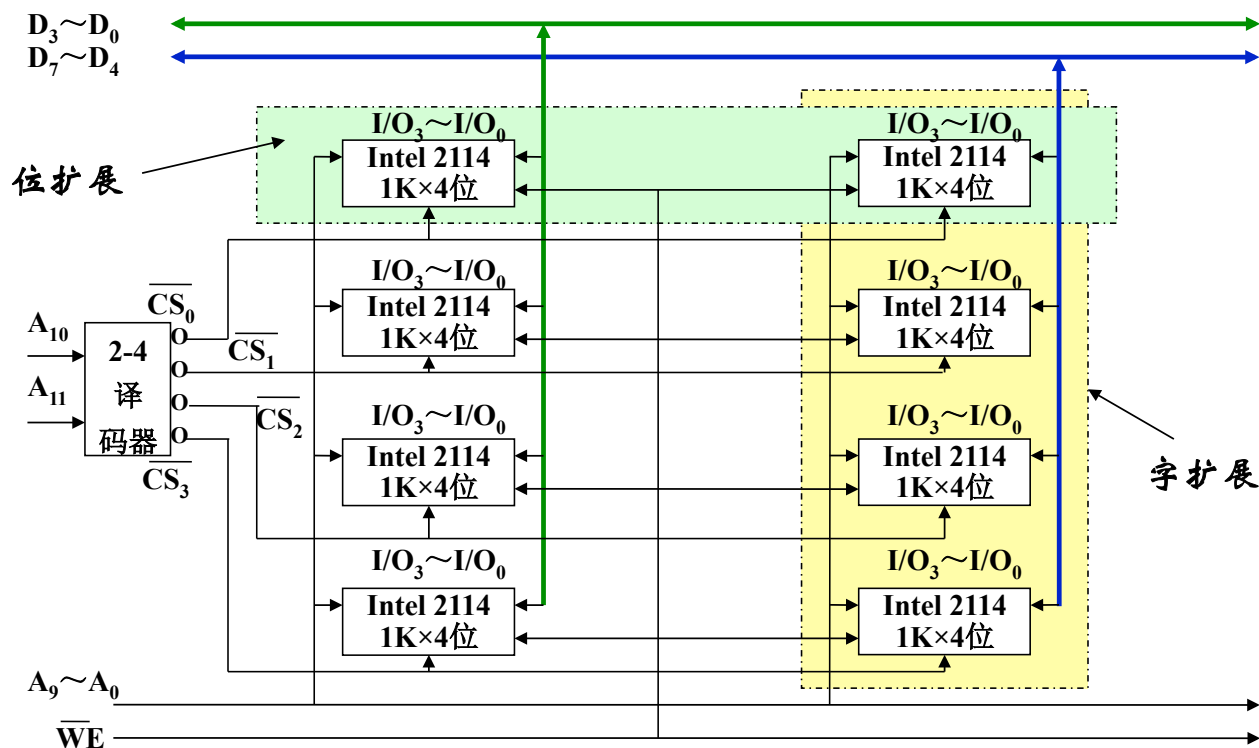


行片选驱动线负载：
 $L_{cs} = \lceil N/n \rceil f_{cs}$



5.2.1 主存储器逻辑设计

2. 负载计算 (计算 $m \times n$ 位 \rightarrow $M \times N$ 位)



数据输入线的负载

$$L_{DI} = \lceil M/m \rceil f_{DI}$$

数据输出线的负载

$$L_{DO} = \lceil M/m \rceil f_{DO}$$



5.2.1 主存储器逻辑设计

2. 负载计算

驱动与负载的有关问题

- 存储器的逻辑设计中，外围电路芯片是驱动，存储芯片的各端点就是负载
- 逻辑电路的负载能力是有限的

问题：当外围逻辑电路需要驱动负载端加重，以致超出其驱动能力时，怎么办？

“分载”，可以
扩大驱动能力



5.2.1 主存储器逻辑设计

3. 速度估算

外围电路传输要引起时延，使存储器的系统存储周期、存取时间比存储芯片的存储周期、存取时间要长

- 通常一级门延迟时间为 2.5ns ，走线1米延时 6ns
- 选择芯片的条件：系统的存储周期大于芯片的存储周期，系统的存取时间大于芯片的存取时间

速度估算要留有适当的余地以保证能够正常工作

- 通常应比要求的快(小)10%左右

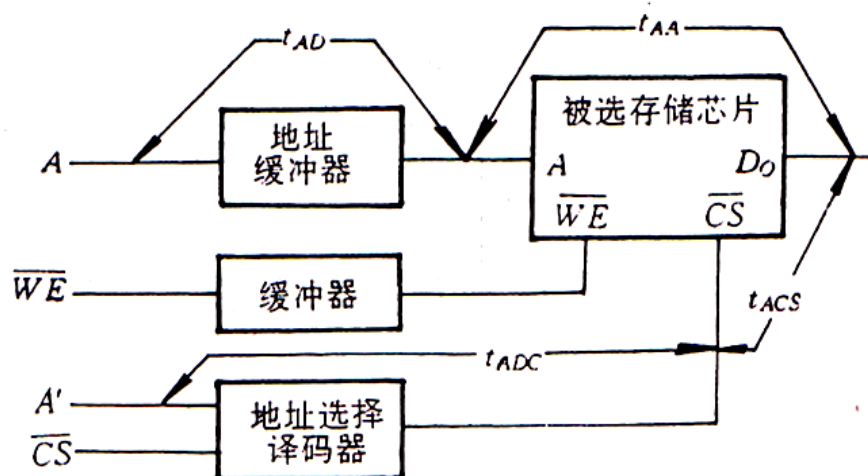
例：系统要求 100ns ，速度估算 100ns 不行，估算 70ns 也不宜， $80 \sim 90\text{ns}$ 合适



5.2.1 主存储器逻辑设计

① 系统取数时间 (System Access) T_{SA}

- 读出时涉及A、 \overline{WE} 、 A' 、 \overline{CS} 三个信号
- 存储器地址分为：高位地址 A' + 低位地址A



存储器系统取数时间示意图



5.2.1 主存储器逻辑设计

① 系统取数时间 T_{SA}

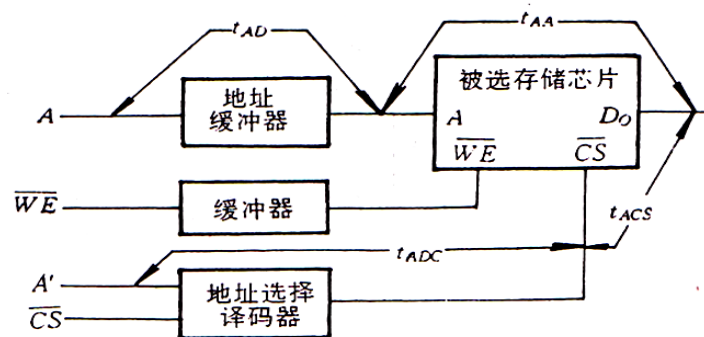
- WE一定先于A、A' 到达存储芯片，只存在如下两种情况的系统取数时间

➤ 系统地址取数时间 t_{SAA}

若A最后到达芯片，有： $t_{SAA} = t_{AD} + t_{AA}$

其中 t_{AD} 为地址缓冲延迟时间； t_{AA} 为存储芯片的寻址取数时间

芯片仅有一个-WE却有多A，多个A不可能同时到达



存储器系统取数时间示意图



5.2.1 主存储器逻辑设计

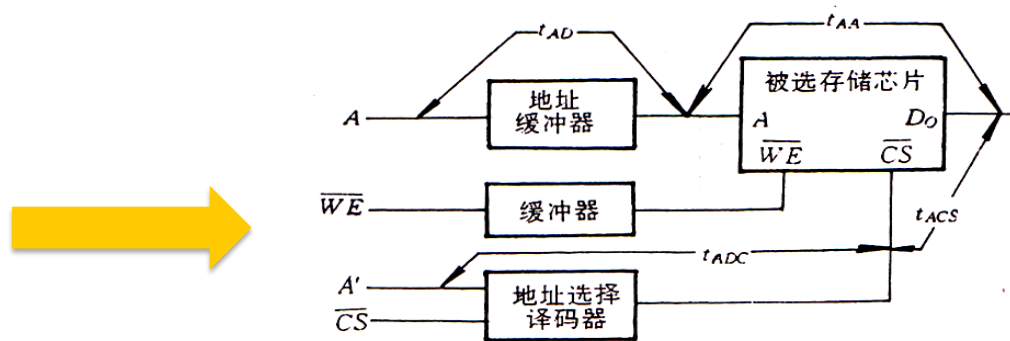
① 系统取数时间 T_{SA}

- WE一定先于A、A' 到达存储芯片，只存在如下两种情况的系统取数时间

➤ 系统地址取数时间 t_{SCSA}

若A最后到达芯片，有： $t_{SCSA} = t_{ADC} + t_{ACS}$

其中 t_{ADC} 为片选译码延迟； t_{ACS} 为系统片选取数时间



存储器系统取数时间示意图



5.2.1 主存储器逻辑设计

① 系统取数时间 T_{SA}

- 两种取数时间：系统地址取数时间(t_{SAA})、系统片选取数时间(t_{SCSA})并非共存，选取时间是最慢的那个时间，故取较大者为系统取数时间
- 若输出有缓冲器，应考虑输出缓冲延时 t_{BD} ，有： $T_{SA} = \max\{t_{SAA}, t_{SCSA}\} + t_{BD}$



5.2.1 主存储器逻辑设计

② 系统存储周期 T_{SM}

- $T_{SM} = T_M + t_D + t_R$
- T_M 为芯片存储周期：查芯片数据手册
- t_D 为系统传输时延：由外围电路逻辑级数确定
- t_R 为系统恢复时间：通过系统测试获得



5.2.1 主存储器逻辑设计

—— 主存设计举例



5.2.1 主存储器逻辑设计

逻辑设计过程

- 芯片手册或测试，获得芯片的有关参数
- 容量扩展（确定扩展方式、芯片数量、连接方式）
- 负载计算
- 速度估算
- 外围控制电路的设计

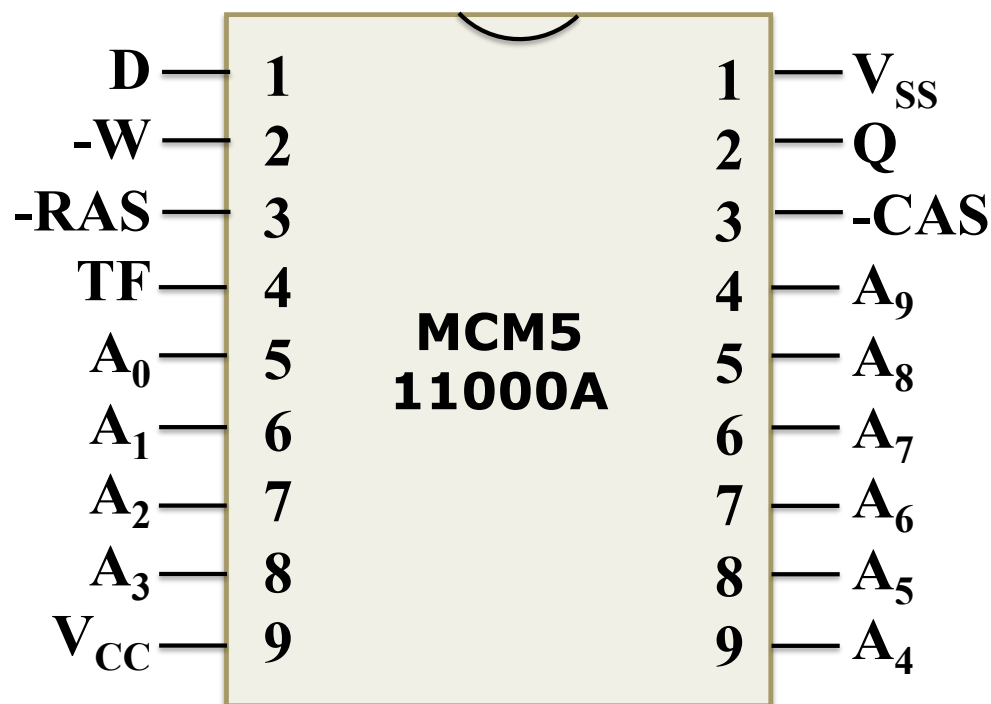




5.2.1 主存储器逻辑设计

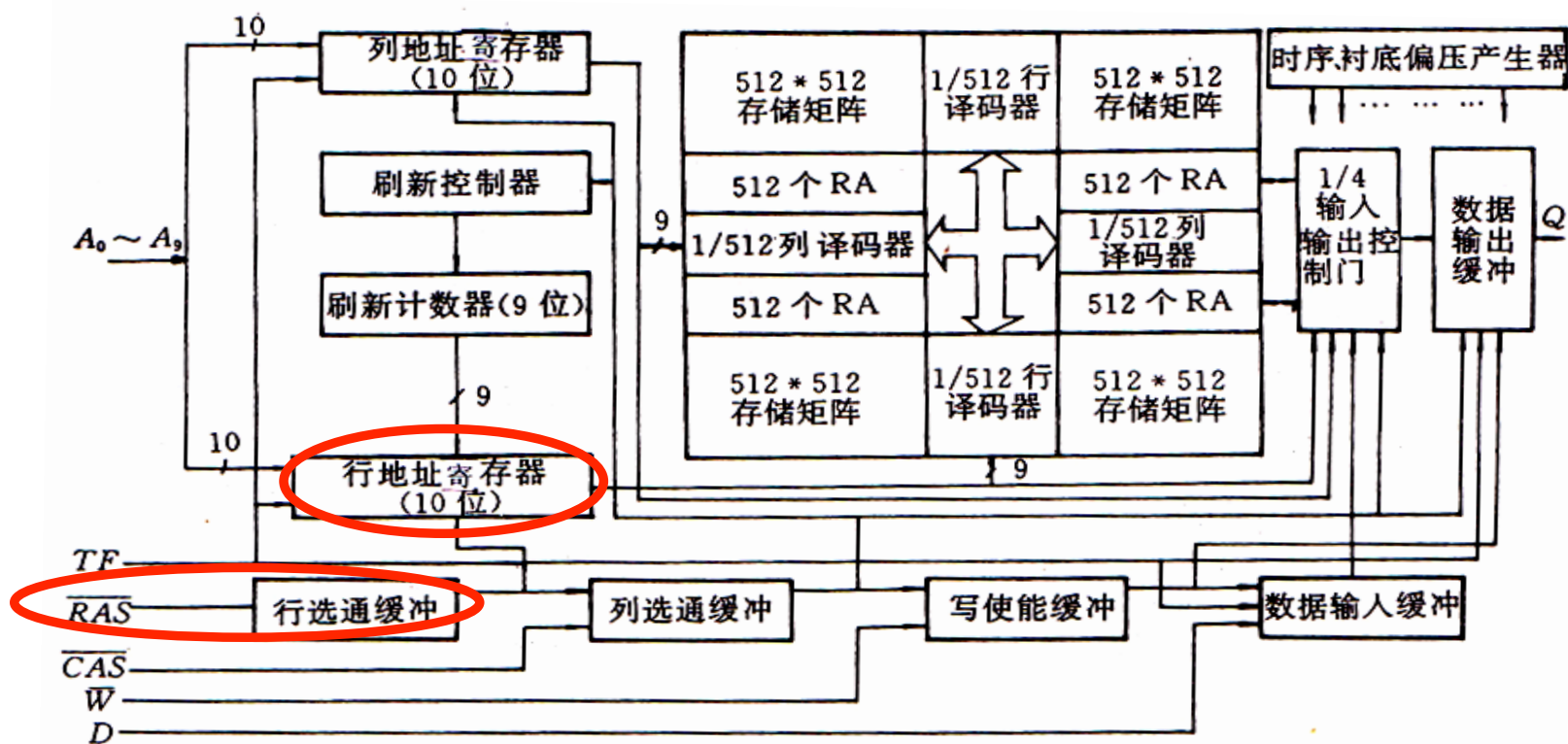
例：用MCM511000A DRAM芯片(1M×1位)构成4M×32位的主存

- 芯片的引脚图



5.2.1 主存储器逻辑设计

MCM511000A的逻辑组成

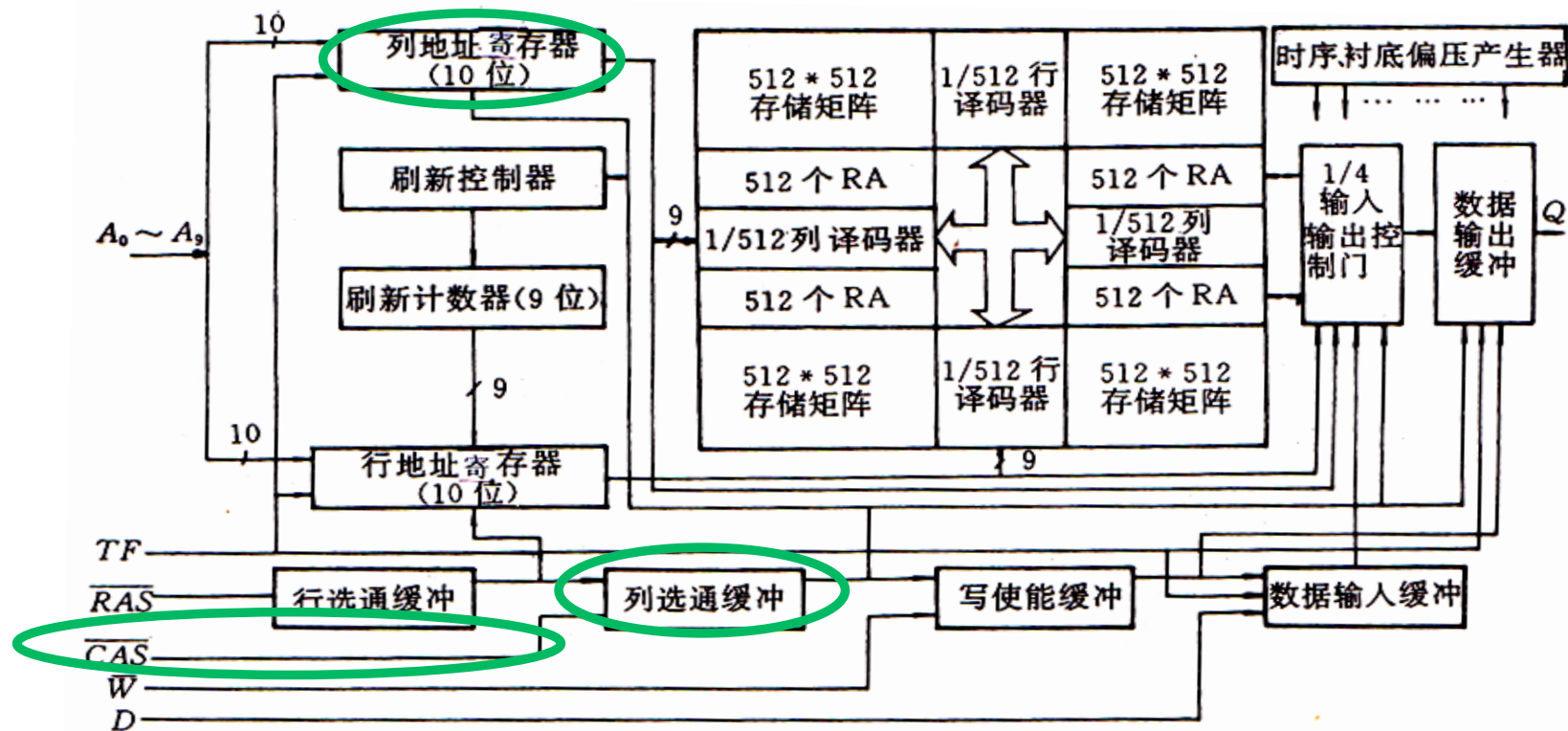


MCM511000A DRAM 逻辑框图



5.2.1 主存储器逻辑设计

MCM511000A的逻辑组成

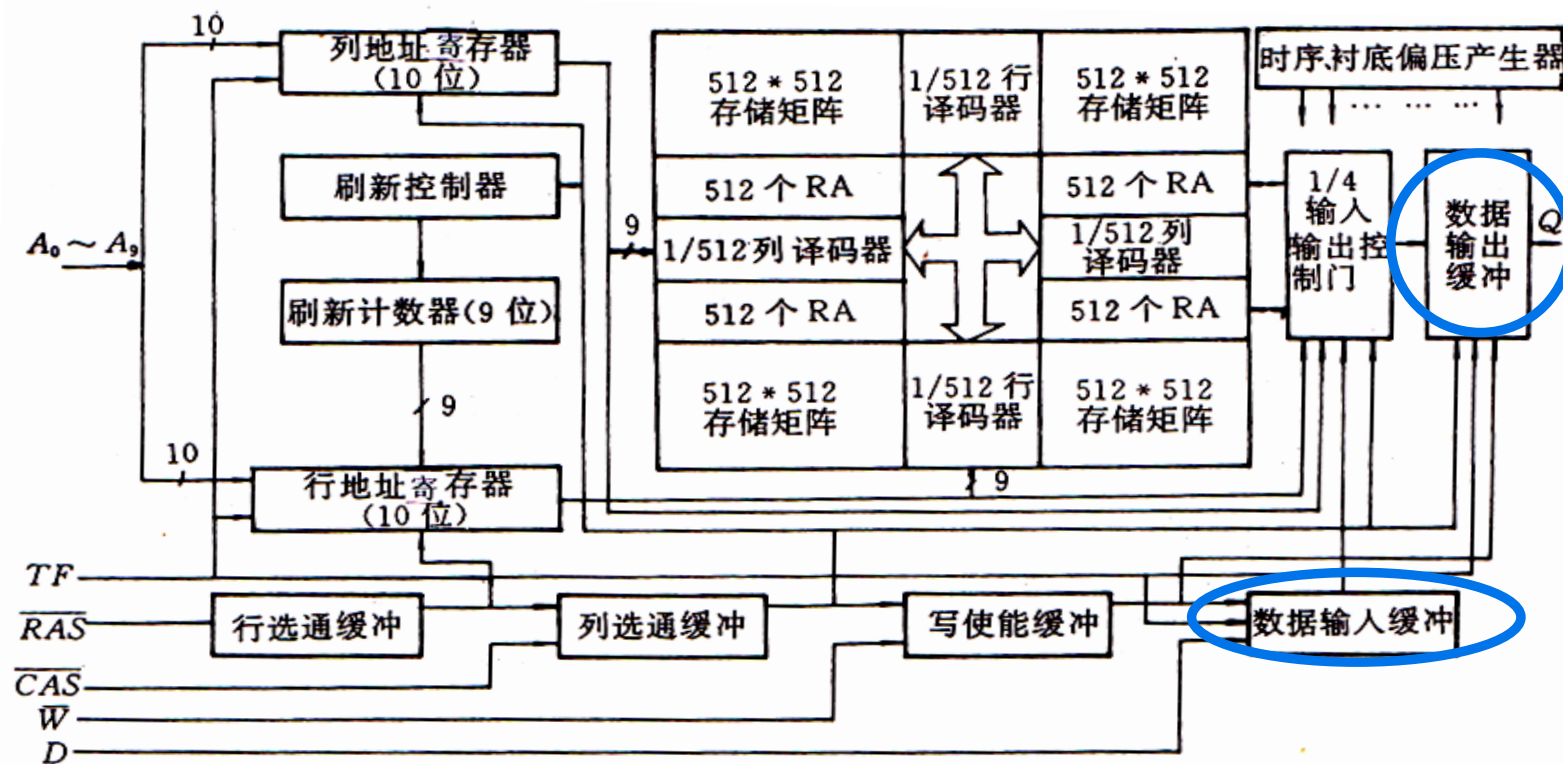


MCM511000A DRAM 逻辑框图



5.2.1 主存储器逻辑设计

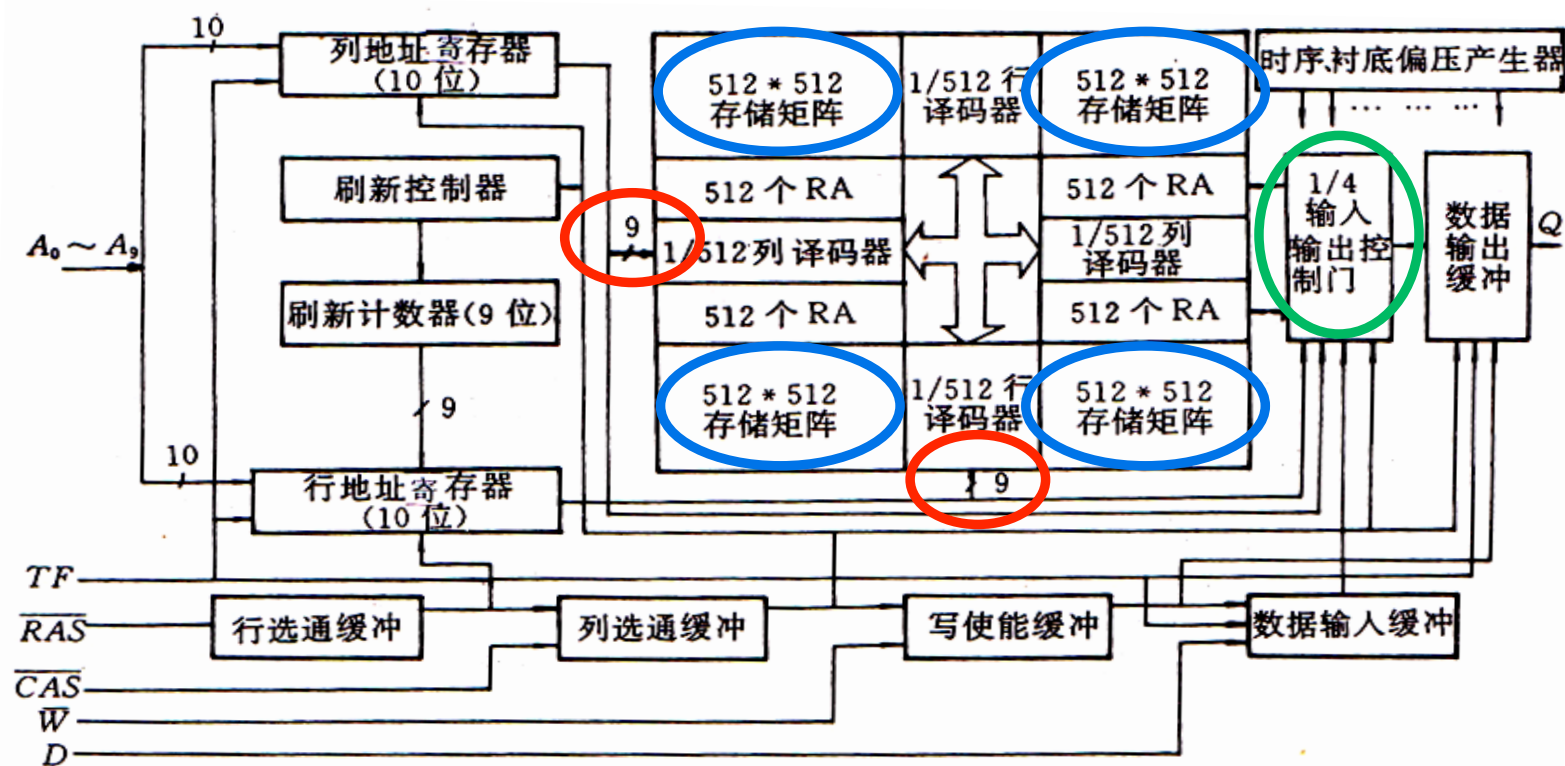
MCM511000A的逻辑组成



MCM511000A DRAM 逻辑框图



MCM511000A的逻辑组成

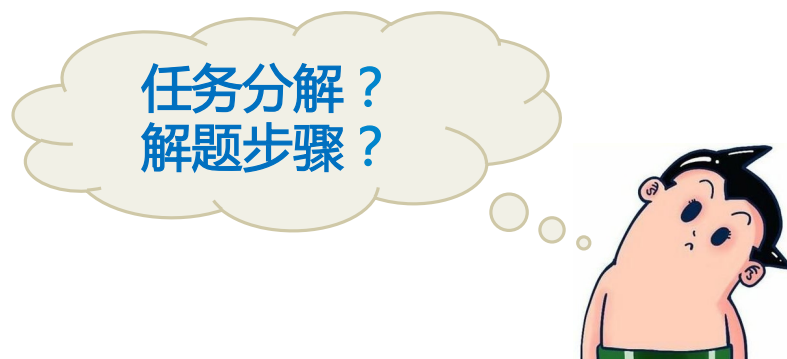




5.2.1 主存储器逻辑设计

例：用MCM511000A DRAM芯片($1\text{M} \times 1$ 位)构成 $4\text{M} \times 32$ 位的主存

- 1、确定存储芯片数量
- 2、确定芯片的连接
- 3、负载计算与分配
- 4、速度估算





5.2.1 主存储器逻辑设计

例：用MCM511000A DRAM芯片(1M×1位)构成4M×32位的主存

1、确定存储芯片数量

$$\lceil M/m \rceil \lceil N/n \rceil = \lceil 4M/1M \rceil \lceil 32\text{位}/1\text{位} \rceil = 128\text{片}$$

字位同时扩展，字扩展4倍，位扩展32倍



5.2.1 主存储器逻辑设计

2、确定芯片的连接

- 4行：每行32片MCM511000A
- 32列：每列4片MCM511000A
- -W、-CAS、A：并接
- -RAS：作字扩展，各行独立受最高两位地址译码控制
- D、Q同列并接，不同列单独引出





5.2.1 主存储器逻辑设计

3、负载计算与分配

地址端负载、数据输入端负载为5PF；-RAS、-CAS、-W端负载为7PF

假定一个门的负载能力为40PF(门本身的输入电容为5PF)，则

- 一个门可驱动地址端： $40\text{PF}/5\text{PF}=8(\text{个})$
- 一个门可驱动-RAS(-CAS、-W)： $\lfloor 40\text{PF}/7\text{PF} \rfloor = 5(\text{个})$
- 一个门可驱动8个门： $40\text{PF}/5\text{PF}=8(\text{个})$



5.2.1 主存储器逻辑设计

3、负载计算与分配

地址端负载、数据输入端负载为5PF；-RAS、-CAS、-W端负载为7PF

假定一个门的负载能力为40PF(门本身的输入电容为5PF)，则

- 一个门可驱动地址端： $40\text{PF}/5\text{PF}=8(\text{个})$
- 一个门可驱动-RAS(-CAS、-W)： $\lfloor 40\text{PF}/7\text{PF} \rfloor = 5(\text{个})$
- 一个门可驱动8个门： $40\text{PF}/5\text{PF}=8(\text{个})$

a. 地址驱动的负载与分配

每根地址线要接到所有存储芯片的相应引脚，即每根地址线要带128个地址端，一个门可带8个端，需要多少个门？

$128/8=16$,因 $16>8$,需加一级门 $16/8=2$ ；共需 $16+2=18(\text{个})$



5.2.1 主存储器逻辑设计

3、负载计算与分配

地址端负载、数据输入端负载为5PF；-RAS、-CAS、-W端负载为7PF

假定一个门的负载能力为40PF(门本身的输入电容为5PF)，则

- 一个门可驱动地址端： $40\text{PF}/5\text{PF}=8(\text{个})$
- 一个门可驱动-RAS(-CAS、-W)： $\lfloor 40\text{PF}/7\text{PF} \rfloor = 5(\text{个})$
- 一个门可驱动8个门： $40\text{PF}/5\text{PF}=8(\text{个})$

b. -W驱动的负载与分配

驱动线要带128个端，一个门可带5个端，需要多少个门？

$128/5=26$ ；因 $26>8$ ， $26/8=4$ ；故需两级门共 $26+4=30(\text{个})$



5.2.1 主存储器逻辑设计

3、负载计算与分配

a. 地址驱动的负载与分配

- 每个地址码的输出要带128个地址端，一个门可带8个端，故： $128/8=16$ 。因 $16>8$ ，需加一级门 $16/8=2$ 。共需 $16+2=18$ (个)

b. -W驱动的负载与分配

- 驱动线要带128个端，一个门可带5个端： $\lceil 128/5 \rceil = 26$ ；因 $26>8$ ， $\lceil 26/8 \rceil = 4$ 。故需两级门共 $26+4=30$ (个)

c. -RAS驱动的负载与分配

- 分四行驱动，每行32个-RAS端，需 $\lceil 32/5 \rceil = 7$ (个)
- 四行共需 $4 \times 7 = 28$ (个)

d. -CAS同-W，亦需30(个)

e. D、Q直接连接，可以直接驱动，不需另加门



5.2.1 主存储器逻辑设计

4、速度估算

假定每级门延迟为2.5ns，系统恢复时间 t_R 为2ns，忽略走线延时：

- 系统随机取数时间：

$$T_{RA} = t_A + t_{RAC} = 2 \times 2.5 + 70 = 75\text{ns}$$

- 系统随机读/写存储周期：

$$T_{RM} = T_{RC} + t_D + t_R = 130 + 2 \times 2.5 + 2 = 137\text{ns}$$

功耗	P = 600mW
随机读/写周期	$T_{RC} = 130\text{ns}$ (最小)
-RAS取数时间	$t_{RAC} = 70\text{ns}$ (最大)
-CAS取数时间	$t_{CAC} = 20\text{ns}$ (最大)
地址取数时间	$t_{AA} = 35\text{ns}$ (最大)

表 MCM511000A DRAM芯片
(1M×1位)的主要性能参数