一、存储扩展

1、位扩展：

位扩展只改变字长，这意味着需要更多的数据线用于输入输出，不改变存储单元个数，所以地址范围也不改变。

位扩展

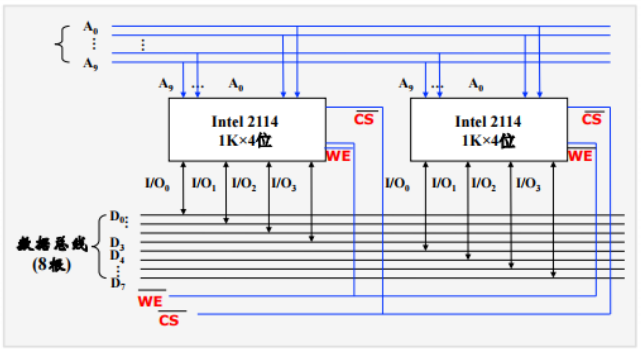
存储芯片(m×n位/片)构成存储器(m×N位)

特点：字数不变(存储单元个数不变)，位数扩展(字长加长)

- 芯片地址码位数与存储器的地址码位数相同
- 每个存储单元中所含存储位元数增加,给出地址后，该存储单元中所含芯片均工作
- 需存储芯片数：⌈N/n⌉片
- 芯片间各端点(引脚)如何连接？
  - 地址端、-CS、-WE、-OE端(若有)：分别并接
  - 数据输入、输出端：各位单独引出

位扩展连线图：（将 1k×4 位的存储器扩展为 1K×8 位的存储器）

芯片地址线及读/写控制线对应相接，而数据线单独引出，没有外部译码器



例：用1024×4位芯片构成1K×8位存储器需几个芯片？地址范围各是多少？

解：位方向扩展2倍，字方向不扩展，2个芯片，地址范围一样：000-3FFH地址共10位，全作为片内地址

注意：机器字长指的是运算器中参加运算的寄存器位数，即数据通路的宽度

2、字扩展：

位扩展只改变存储单元的个数，所以地址范围变大，意味着需要更多的地址线，其中多出来的地址线（高位常用一个译码器在字扩展的芯片上进行选择）。但不改变字长

字扩展

存储芯片(m×n位/片)构成存储器(M×n位)

特点：位数不变(字长不变)、扩充容量(存储单元个数增加)；

- 芯片地址码位数小于存储器的地址码位数；芯片和存储器二者的存储单元中所含位元数相同；给出地址后，选中芯片工作

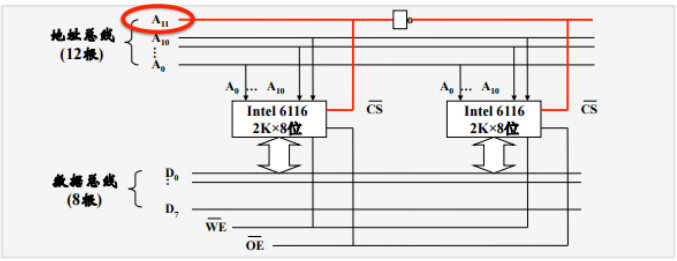
需存储芯片数：⌈M/m⌉片

芯片间各端点如何连接

- A、-WE、-OE(若有)、数据输入输出端：分别并接
- -CS：单独引出，与增加的高位地址码(存储器地址码位数减芯片的地址码位数)的译码结果连接

字扩展连线图：（将 2K×8 位存储器扩展为 4K×8 位的存储器）

地址线、读/写控制线等对应相接，片选信号分别与外部译码器各输出端相连



3、字、位同时扩展：

是上面字扩展和位扩展的综合

字、位同时扩展

存储芯片(m×n位/片)构成存储器(M×N位)

特点：存储单元个数，字长同时增加，即存储器地址码位数多 于芯片地址码位数，存储器存储单元中位元数大于芯片存储单 元中位元数。给出地址后，同行芯片均工作

需存储芯片数：⌈M/m⌉⌈N/n⌉片

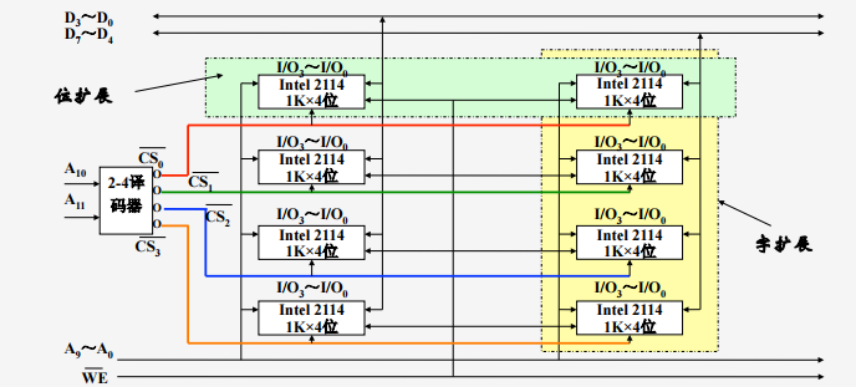
芯片间各端点的连接

A、-WE、-OE(若有)：分别并接

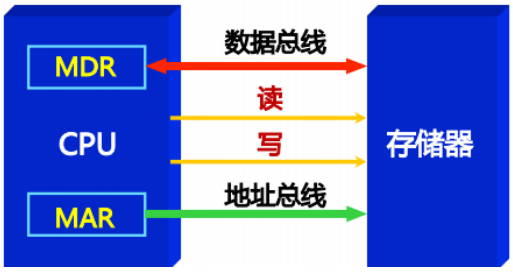
-CS：位向(同行)并接，字向(不同行)独立引出

D、Q：位向(不同列)独立引出，字向(同列)并接

字位同时扩展连线图：（将 1K×4 位的存储器扩展为 4K×8 位的存储器）

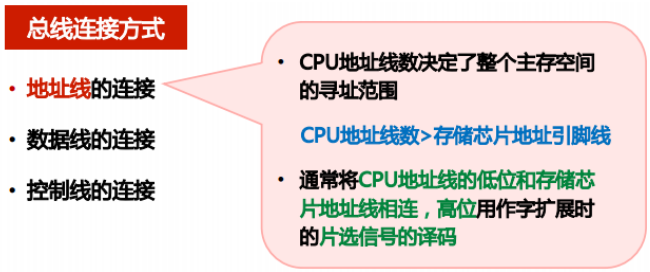


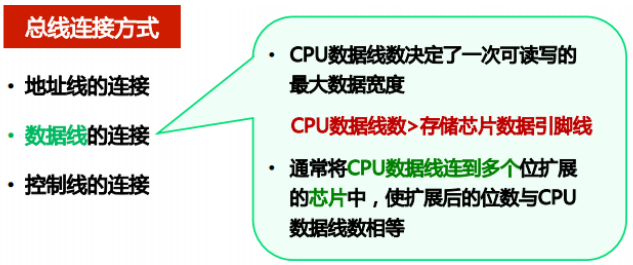
二、CPU 与存储器的连接

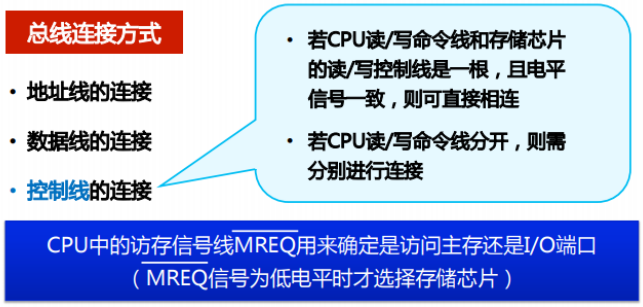


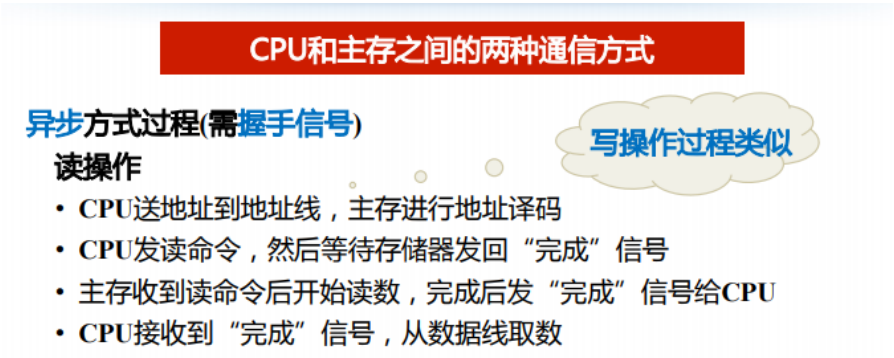
值得注意的是：MIPS 中并没有 MDR 和 MAR 的概念，可以用数据通路中 MEM/WB 中的取数据字段来类比 MDR，用 EX/MEM 流水线寄存器中目标地址字段来类比 MAR

1、总线的连接方式与通信方式：









同步方式的特点

- CPU和主存由统一时钟信号控制，无需应答信号
- 主存总是在确定的时间内准备好数据
- CPU送出地址和读命令后，总是在确定的时间取数据
- 存储器芯片必须支持同步方式

三、DRAM 的刷新

1、刷新原则：

- 定时刷新
- 刷新优于访存，但不能打断访存
- 刷新期间不允许访存

2、DRAM 刷新的有关参数：

1、信息保持时间T_{ref}

从信息以电荷形式存入电容，到电荷经过一段时间泄漏，读放仍能鉴别出原存信息的时间

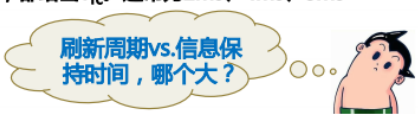
2、刷新周期T_{rc}(refresh cycle)

对同一存储位元连续两次刷新，仍能保证鉴别出原存信息的最大允许间隔时间，即在T_{rc}内必须对每个单元刷新一遍

一般为ms级，亦称为刷新间隔时间

- 在T_{rc}时间内，应刷新存储芯片中的所有存储位
- 在DRAM芯片的主要性能参数中，都给出T_{rc}。通常为2ms、4ms、8ms

$T_{rc} < T_{ref}$



3、刷新操作周期T_{roc} (refresh operating cycle)

刷新一行存储位元即一次刷新操作所需时间。通常和存储周期t_{RC}/t_{WC}相同

存储器的刷新实现方法：

- 周而复始的选取存储矩阵的各行(即二维选址中的一维)进行刷新，同时刷新同一行的所有存储单元
- 在刷新周期内选取完存储矩阵的所有行

4、刷新操作周期数N_r (Number of refresh operating cycle)

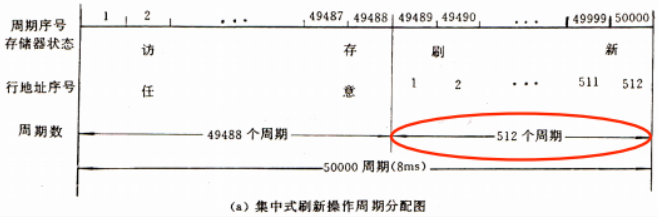
存储芯片所有位元刷新一遍所需的刷新操作周期个数。它与芯片的内部结构有关。即每次可以刷新一行，N_r决定与存储矩阵的行数

DRAM3 个重要的参数是：刷新周期、刷新操作周期、刷新操作周期数

3、刷新方法的分类：

集中式刷新

从刷新周期Trc中抽出最后512个访存周期作为刷新操作周期集中进行刷新。亦称批刷新



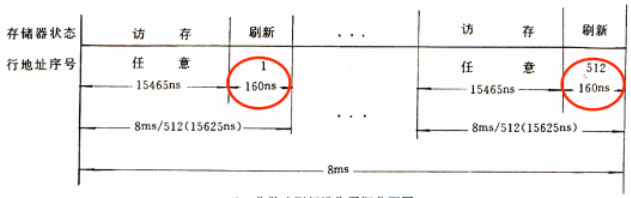
(a) 集中式刷新操作周期分配图

缺点：集中式刷新使98.976%的时间用于访存，这期间存储器的效能得以充分发挥，但有1.024%的时间，即在8ms中有81.92μs不允许访存，CPU要处于等待状态，影响了计算机的工作效率

优点：控制逻辑简单，设计容易实现

分散式刷新

把集中到一起的不允许访存的刷新时间分散开，每个等分的最后一个访存周期用作刷新操作周期，以完成一行存储位元的刷新，其余时间则用于访存



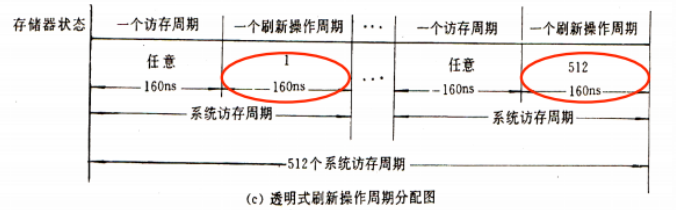
(b) 分散式刷新操作周期分配图

优点：提高了计算机的工作效率

缺点：控制逻辑复杂，设计不易实现

透明式刷新

设一个系统的访存周期是存储器实际访存周期的两倍，并令系统访存周期的前半周期用于访存，后半周期用于



(c) 透明式刷新操作周期分配图

优点：控制简单、设计容易，不需增加多少器材

缺点：存储器的效能仅利用50%，仅用于低速系统