

5.2 总 线

一种用来连接各功能部件并承当部件之间信息传送任务的公共信息通道。

5.2.1 总线的特性与分类

● 总线的特性

物理特性：几何尺寸、形状、引脚数、排列等

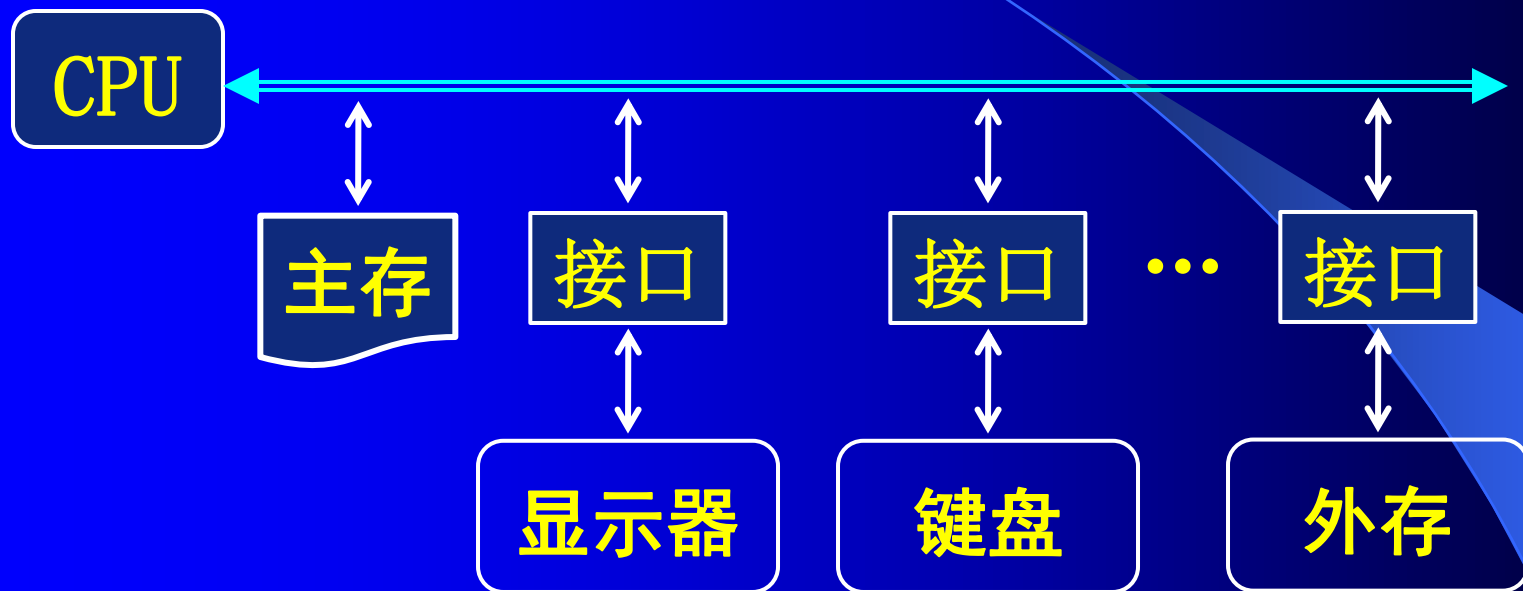
功能特性：规定信号线的功能

电气特性：信号方向，电平范围

时间特性：何时有效，持续时间、时序约定。

● 总线的逻辑连接及作用

(1) 单总线结构

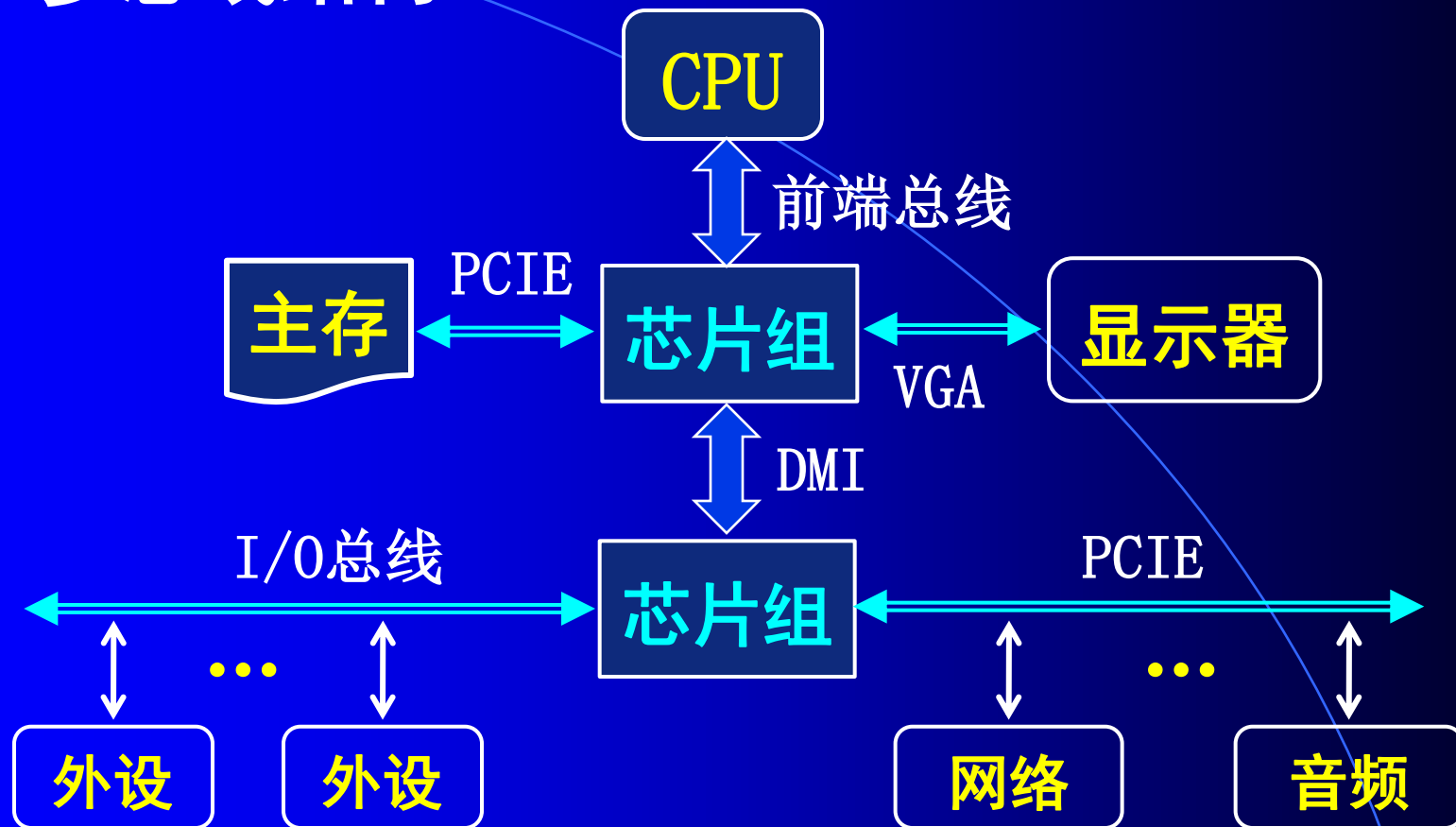


特点：它是部件之间信息交互的唯一通路。

竞争激烈、响应慢

现在的系统，很少再使用这种单总线结构！

(2) 多总线结构



特点：有多组总线，分摊负载，传输效率高！

现在的系统，普遍都使用多总线结构！

● 总线的分类

(1) 按功能分类

内总线 局部总线 系统总线 外总线



芯片内 板卡内 计算机内 多机集群

(2) 按数据传送格式分类

并行总线 串行总线

(3) 按时序控制方式分类

同步总线 异步总线

5.2.2 总线的标准

1、为何要制定总线标准？

- ✓ 为了使不同部件都连接到总线上并与之交互通信，就必须制定公共的技术规范。
- ✓ 便于灵活组成计算机系统。

采用总线结构的好处：

- ① 技术工程角度：简化硬件设计、易于扩充；
- ② 从用户的角度：具有“易获得性”；
- ③ 从厂商的角度：易于批量生产、降低成本。

2、总线标准包括哪些方面？

✓机械结构规范

约定模块尺寸、形状、引脚数及位置等。

✓功能规范

约定引脚的名称和功能、相互作用时应遵守的协议及工作过程等。

✓电气规范

约定引脚工作时的有效电平、转换时间、负载能力、额定值和最大值等。

3、常见的总线标准

QPI、DMI、PCI、ISA、EISA、SCSI、USB，等等

总线	开发者	宽度	频率	传输率
ISA	IBM，1984	8/16	8.33M	8.33/16.66MB/s
EISA	Compaq等 ，1988	32	8.33M	33.3MB/s
AGP	Intel，1996	32	1/2/4/8×66.6M	266.4MB/s...
PCI	Intel，1991	32/64	33/66/133M	132MB/s...

已发展出多个版本

最新PCI-E 3.0 X16 (10GB/s)

即将出现PCI-E 4.0 (16GB/s)

5.2.3 总线设计要素

1、总线宽度和频率

宽度：总线各功能组中的信号线数量，32或64；

频率：每秒数据传输的次数，33M、66M、133M等；

带宽(bandwidth)：

$$BW = (f \times w \times d \times L \times E) \div 8 \text{ (Bps)}$$

f-总线频率、*w*-总线位宽、*d*-工作模式、*L*-通道数、*E*-编码方式

【例】PCI-E 3.0总线，频率8GHz，位宽为1b，全双工，16通道，128/130编码，求带宽。

$$BW = (8G \times 1 \times 2 \times 16 \times 128/130) \div 8 \approx 32GBps$$

2.总线周期与操作过程

总线周期：通过总线完成一次完整数据传输的时间；

主设备：申请并掌握总线权限的设备。

从设备：与主设备对应的设备。

※总线操作的基本步骤

- ①**主设备**申请总线，仲裁器裁决并批准；
- ②**主设备**掌握总线，启动总线周期，初始化；
- ③**从设备**响应，**主从设备**之间数据传输；
- ④**主设备**释放总线，结束总线周期。

※总线上的数据传输模式：

✓单周期模式

传输特点：申请1次，只分配1个总线周期，只传送1次数据；

✓突发模式(burst)

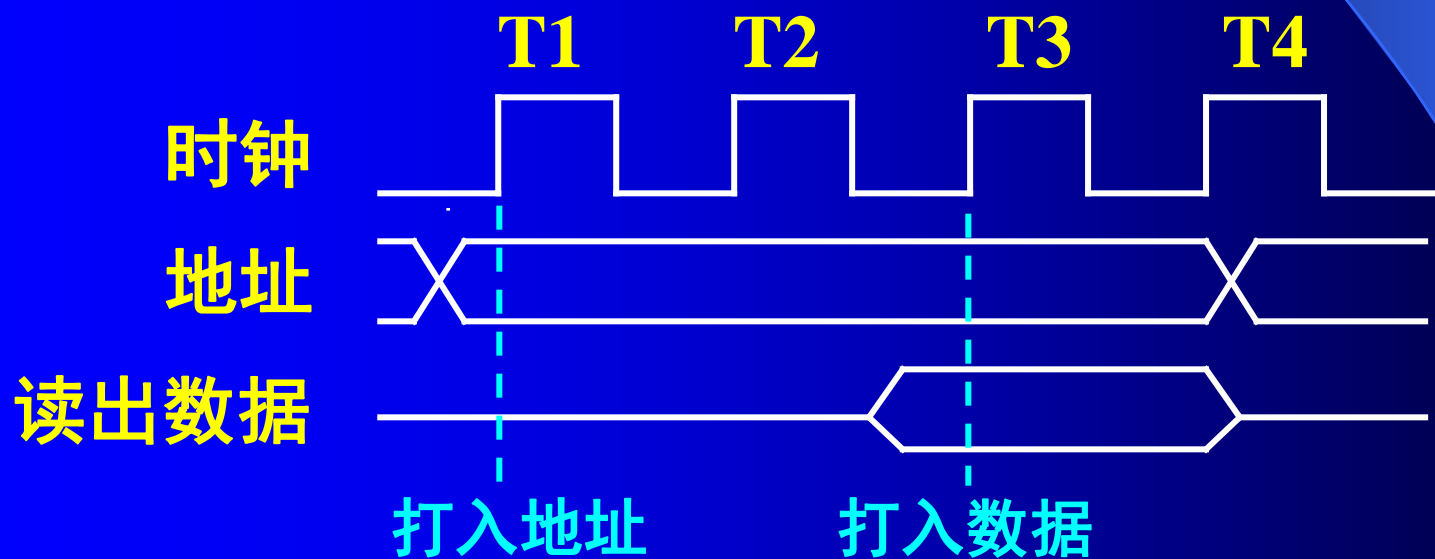
传输特点：申请1次，分配多个总线周期，可传输多个数据字。

3. 总线的时序和控制

(1) 同步总线

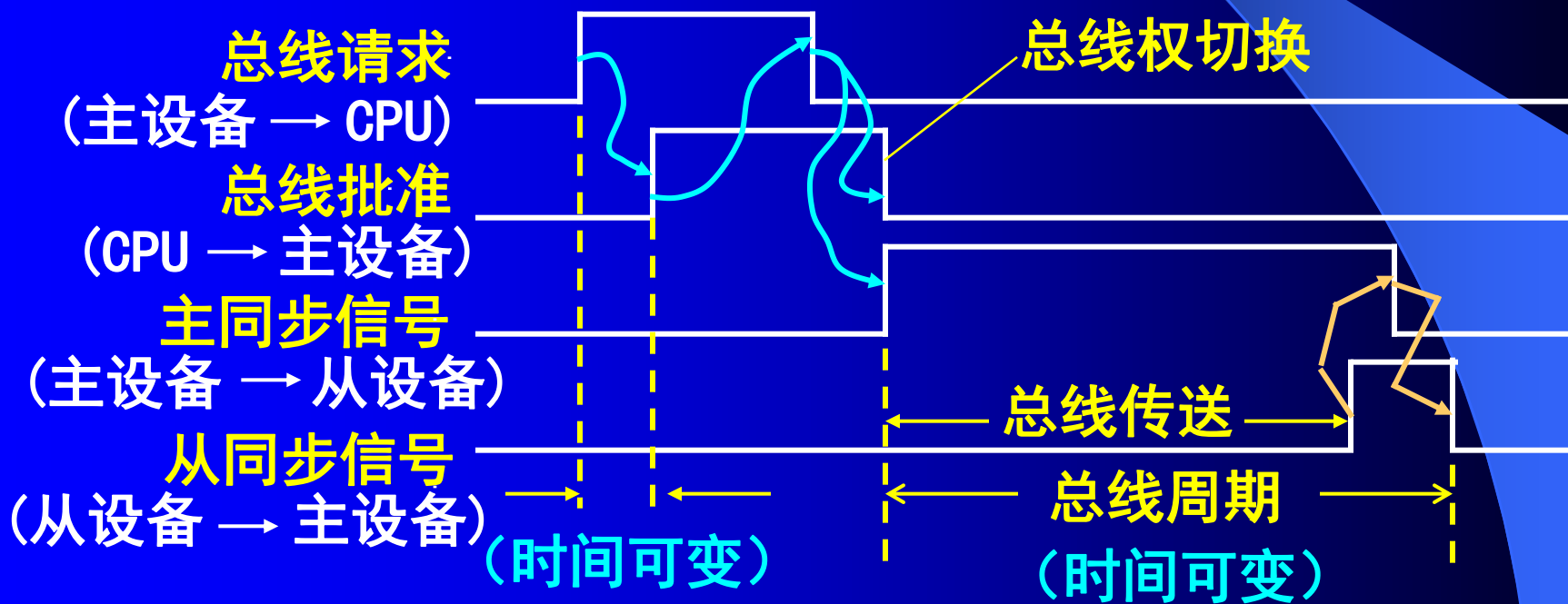
由**统一的时序信号控制**总线上的传送操作。

在固定时钟周期内完成传送，由同步脉冲定时打入。



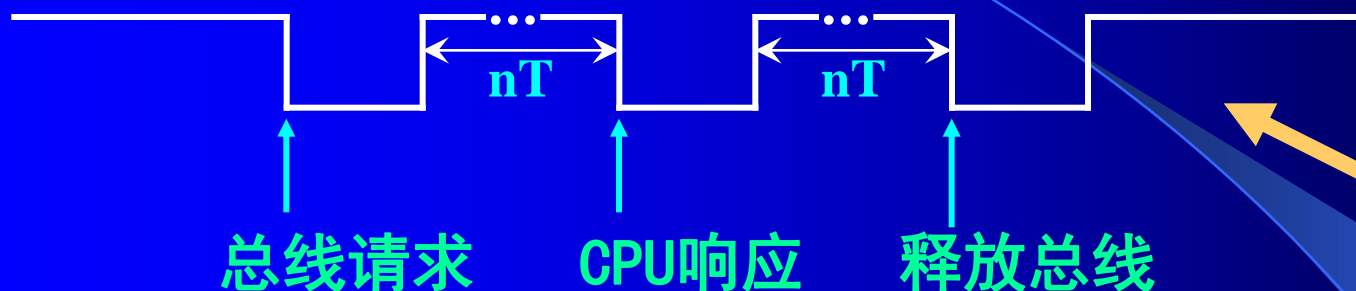
(2) 异步总线

- ✓ 无固定的时钟周期划分；
- ✓ 总线周期由传送的实际需要决定；
- ✓ 以异步应答方式控制总线传送操作；



(3) 扩展的同步总线

以时钟周期为时序基础，允许总线周期中时钟数可变。



同步中
引入了
异步应
答思想

注意几个“周期”概念：

时钟周期：CPU一步操作(1次内部数据通路传送)时间。

总线周期：经过总线的一次数据传送(访存)时间，通常包含若干时钟周期。

工作周期：指令周期中的一个操作阶段。可包含多个总线周期。

4. 总线的仲裁

总线上可能挂接多个设备，为了解决总线控制权的竞争问题，必须有总线仲裁部件，以某种规则裁决、分配总线的控制权。

多个主设备提出总线控制请求时，一般采用**优先级或公平策略**进行仲裁。

按照总线仲裁电路的位置不同，仲裁方式分为：

- **集中式仲裁；**
- **分布（散）式仲裁；**

● 集中式仲裁

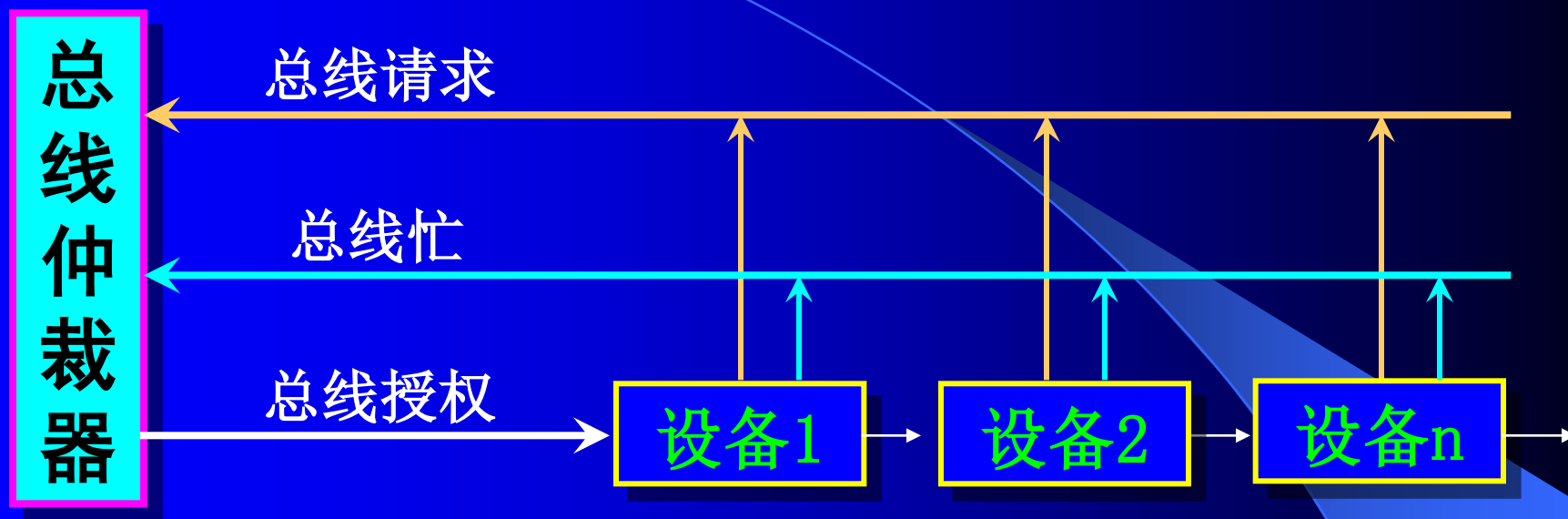
集中式仲裁中每个模块有两条线连到中央仲裁器：

- 一条是送往仲裁器的总线请求（BR）信号线；
- 一条是仲裁器送出的总线授权（BG）信号线。

常用三种仲裁方式：

- ✓ 链式查询；
 - ✓ 计数器定时查询；
 - ✓ 独立请求方式；
- } 如后图例所示

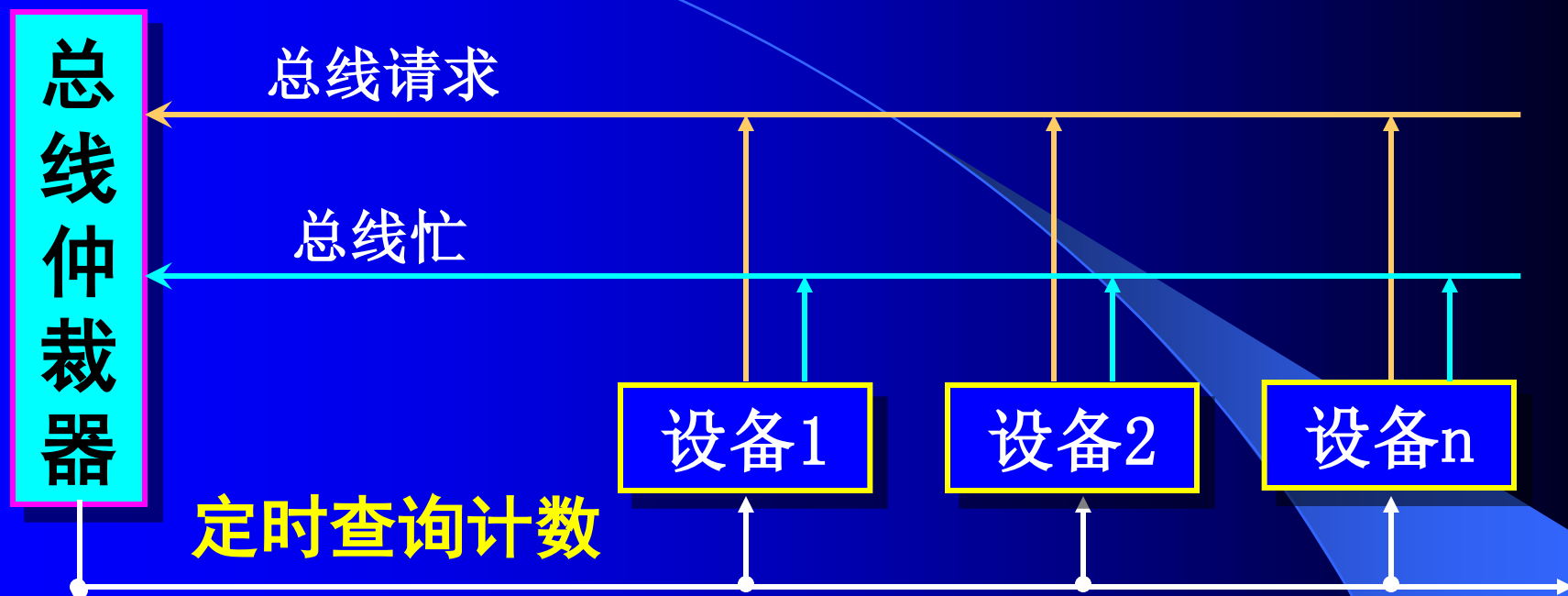
(1) 链式查询集中式总线仲裁



总线授权信号被依次串行地传送到所连接的外围设备上进行比较。

离总线控制器的逻辑距离决定，越近优先级越高。

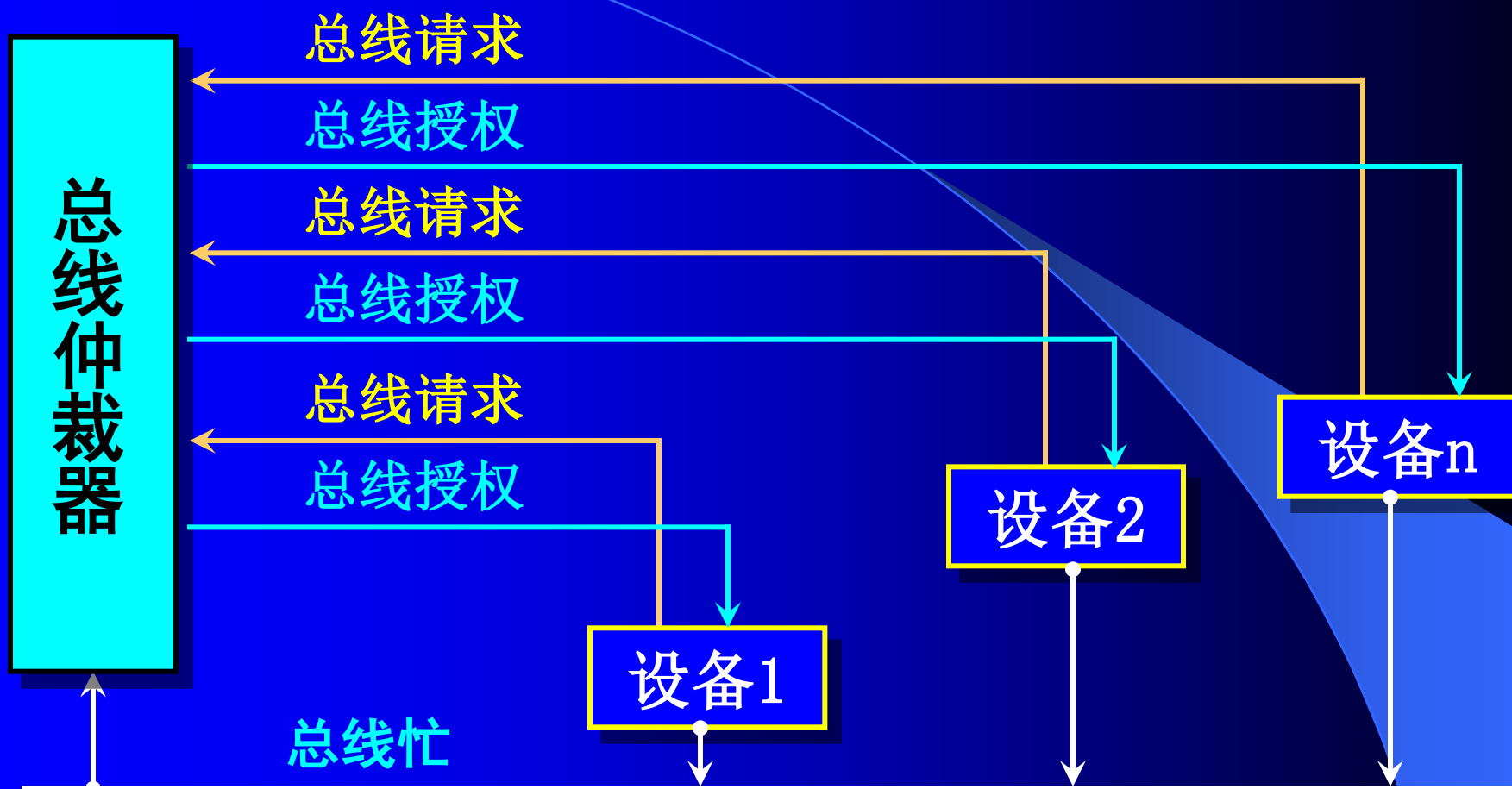
(2) 计数器定时查询方式总线仲裁



当查询计数器计数值与发出请求的设备编号一致时，中止查询，该设备获总线控制权。

优先级灵活：计数器初值、设备编号可通过程序设定，优先次序可用程序控制。

(3) 独立请求方式总线仲裁

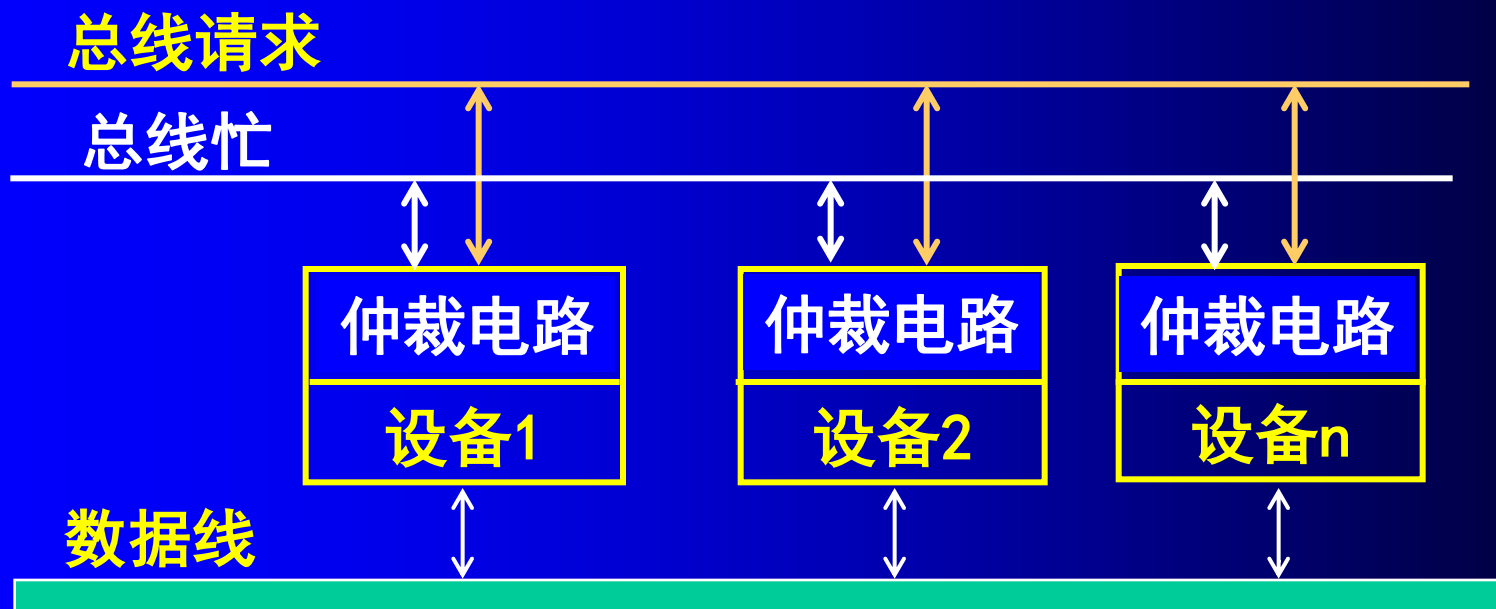


各设备均通过专用请求信号线与仲裁器连接，且通过独立的授权信号线接收总线批准信号。

● 分布式仲裁

设备需要控制总线时，发请求信号，并监听其它请求信号，各设备能判别自己的优先级、以及能否在下一周期控制总线。

缺点： 信号线复杂； **优点：** 防止总线时间浪费



5.2.4 PCI总线介绍

外围组件互连(PCI, Peripheral Component Interconnect)

一种高性能**32/64**位同步总线，**地址信号**和**数据信号**复用，可扩展至64位。Intel公司于1991年底提出，受到许多微处理器和外围设备产商的支持。

PCI总线可以在主板上和其它总线（如ISA、USB等）相连（桥接器、芯片组），以适应高、低速外围设备。

PCI1.0:工作频率**33MHz**,传输率为**132MB/s**;

PCI2.1:工作频率**66MHz**,传输率为**264/528MB/s**;

PCI-X: **64位**, **66/133MHz**,传输率高达**1.06GB/s**;

PCI-E 1.0: 串行, **2.5GHz**,x1:双工可达**512MB/s**;

2.0、3.0（8GHz, X32,128/130编码）、4.0(32Gbps)

PCI总线的信号组成

(1) 必备信号

(2) 可选信号

(1) 必备信号

- ◆ 系统信号
- ◆ 地址和数据信号
- ◆ 接口控制信号
- ◆ 仲裁信号
- ◆ 错误报告信号

(2) 可选信号

- ◆ 中断请求信号
- ◆ 高速缓存支持信号
- ◆ 64位总线扩展信号
- ◆ JTAG边界扫描信号

PCI 总线的仲裁

采用独立请求的集中式总线仲裁，如下图所示。

