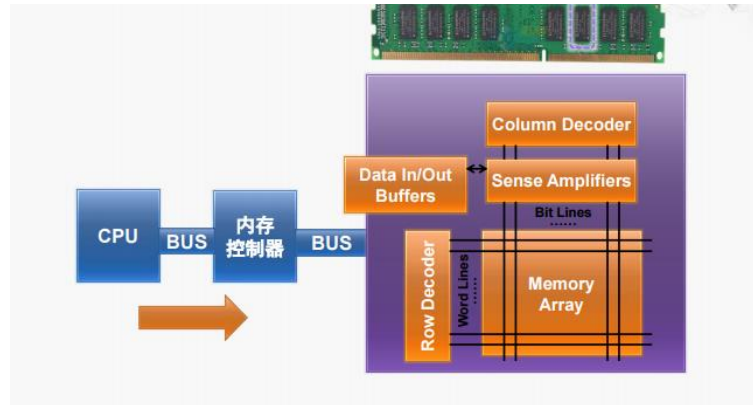


SDRAM 内存的工作原理

1、SDRAM 内存的访问过程



1) Bus Request:

当 CPU 需要访问内存上的数据时，首先申请系统总线，在获得总线控制权后，降低至发到内存控制器上；内存控制器会将这个地址进行分解，分成行地址和列地址等。然后向内存发起访存工作

2) [Precharge] and Row Access 预充电（不一定在这里）和行访问：

内存控制器向行译码器发送行地址，然后在 DRAM 存储阵列中选中一行，然后这一行中的所有信号经放大后放入到一个缓冲区中，这个过程称为激活（Active）或行访问（Row Access Strobe），这个过程的事件即行选到列选的延迟时间 **tRCD（Row to Column Delay）**

3) Column Access:

当行选完成后，内存控制器会将列地址发送到列地址译码器，然后再缓冲区中选中那一列，若此时需要读数据，那么会将数据放入到输入/输出接口上。这个过程称为 Read 或列访问（Column Access Strobe），这个过程的时间即从列选到数据输出的延迟 **CL（CAS Latency）**

而且通常情况下，访问内存都不会单独只读一个数据，而是会读出多个数据。在列选完成后，接下来的时钟周期内可以读出多个数据，依次送到数据线上，这就是为什么会事先将一行数据都要读到缓冲区中的原因（既然读一个数据的时间和读一行数据的时间相差不大，那么将整行数据写入到缓冲区中会更好）。而且这还有个好处，即下一次的数据访问仍在这一行，内存控制器就不用发送行地址，因为这一行还在缓冲区中，只需要发送列地址即可，这样就可以大大缩短访存时间

4) Bus Transmission:

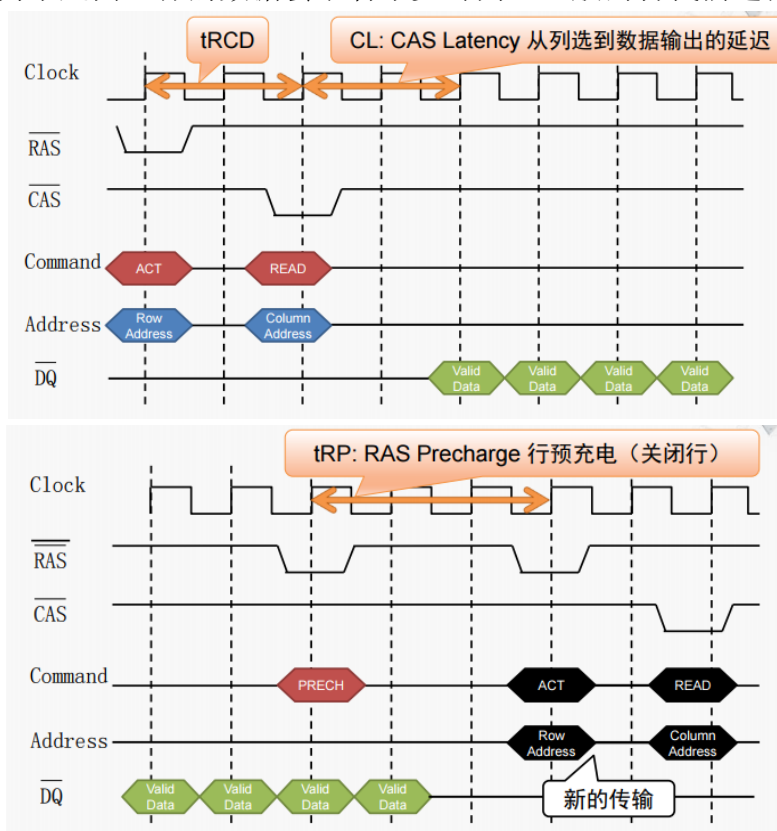
当内存送出数据后，内存控制器就会采样对应数据，并将这些数据送到 CPU 中

5) Precharge:

若下一次所需要的数据不是这一行，那么就需要将激活的那一行关闭，这个过程叫做预充电（Precharge）。其实预充电过程可以在前一次传输最后一数据的时候开始，因为我们不确定下一次传输的数据是否来自于同一行。这个过程的时间称为从内存控制器发出预充电命令到 DRAM 芯片可以接受下一个行地址的时间 **tRP（RAS Precharge 行预充电（关闭行））**。

预充电有两种不同的选择方案：一种是在前一次数据传输完成之后再决

定是否要预充电，如果下一次的访问数据在同一行我们就不预充电，若不在同一行就预充电（这也是为什么前面说预充电不一定存在的缘故）。另一种方案就是上面所述，等到上一次传输还未结束的时候就启动预充电，这样对于经常访问不是同一行的数据会节省不少时间。一般而言我们选择后者



2、SDRAM 的关键性能参数

- **tRCD**: Row to Column Delay, 从行选到列选的延迟时间
 - PC133标准：2~3个时钟周期，约15~23ns
- **CL**: CAS Latency, 从列选到数据输出的延迟周期数
 - PC133标准：2~3个时钟周期，约15~23ns
- **tRP**: RAS Precharge, 行预充电（关闭行）的延迟时间
 - PC133标准：2~3个时钟周期，约15~23ns

3、SERAM 读操作的典型访问过程

- 以PC133标准的SDRAM为例
 - 时钟频率133MHz，周期7.5ns
 - tRCD、CL、tRP均设为3个周期

