

**Tarea #8**  
(Entrega 23 de mayo de 2019)  
Verificación de un contador gray de 5 bits

**\*\*\*OJO\*\*\*** Al igual que en la **Tarea #1** tome el tiempo que demora en hacer cada una de las cosas solicitadas: búsqueda de información, diseño, elaboración de las pruebas, ejecución de las simulaciones, etc.

**Evaluación**

- |                               |     |
|-------------------------------|-----|
| 1. Funcionamiento del diseño: |     |
| a. Descripción conductual     | 35% |
| b. Pruebas y verificador      | 50% |
| c. Makefile                   | 5%  |
| 2. Documentación              | 10% |

**Trabajo a realizar**

En la documentación, agregue una descripción breve de qué es un contador gray y dos aplicaciones.

Se le entrega una descripción estructural sintetizada y las respectivas librerías CMOS con el diseño de un contador gray. El diseño tiene un desperfecto y su trabajo es encontrarlo, para asegurar la calidad del circuito por construir.

Diseñe un testbench, un probador con verificador automático y una descripción conductual del contador gray en Verilog. La descripción conductual será su modelo de referencia para encontrar el desperfecto en el modelo sintetizado.

En la Figura 1, se observa una parte de una simulación en la que el contador gray funciona de forma esperada:



Figura 1. Funcionamiento correcto del contador gray.