

UNIVERSIDAD DE COSTA RICA
Escuela de Ingeniería Eléctrica
Estructuras de computadoras II

Proyecto 3. Plan de pruebas

Yeison Rodríguez
Pablo Vargas

27 de junio de 2019

1. Plan de pruebas

1.1. MESI & MSI, C1 & C2

1.1.1. TEST 1: C1_C2 estado E

Stimuli

1. Escoger una asociatividad random
2. Llenar un set de L1_C1 con asociatividad datos, asegurándose que un dato A está en estado E. Llenar un set de L1_C2 y asegurarse de que el dato A no esté.
3. Forzar un read o write (random 50%) del dato A y realizar la Verificación 1.

Checks

1. Verificación 1: **Si es un read:** Verificar que el dato A en C1 se quede en el estado E. **Si es un write:** Verificar que el dato A pasa al estado M
2. Verificar que existiera hit segun corresponda y que la política de remplazo del dato A es la adecuada.

1.1.2. TEST 1: C1_C2 estado S

Stimuli

1. Escoger una asociatividad random
2. Escoger un protocolo random
3. Llenar un set de L1_C1 con asociatividad datos, asegurándose que un dato A está en estado S. Llenar un set de L1_C2 y asegurarse de que el dato A tenga una probabilidad del 50% de estar o no en este Core (si está es con estado S)
4. Forzar un read o write (random 50%) del dato A y realizar la Verificación 1.

Checks

1. Verificación 1: **Si es un read:** Verificar que el dato A en C1 se queda en el estado S, y si el dato estaba en C2 revisar que también esté en S. **Si es un write:** Verificar que el dato A en C1 pasó a M y si el dato A estaba en el C2 que pasó a I.
2. Verificar que existiera hit segun corresponda y si se pasó al estado I que el C2 regrese un coherency invalidation.

1.1.3. TEST 1: C1_C2 estado M

Stimuli

1. Escoger una asociatividad random
2. Escoger un protocolo random
3. Llenar un set de L1_C1 con asociatividad datos, asegurándose que un dato A está en estado M. Llenar un set de L1_C2 y asegurarse de que el dato A tenga una probabilidad del 50 % de estar o no en este Core (si está es con estado I)
4. Forzar un read o write (random 50%) del dato A y realizar la Verificación 1.

Checks

1. Verificación 1: Verificar que en cualquier caso el dato se mantiene en M, y verificar si el dato estaba en C2 que está en invalido y que ocurriera un coherency invalidation.
2. Verificar que existiera hit segun corresponda y que los datos tengan la asociatividad adecuada.

1.2. L2 miss hit

Stimuli

1. Escoger una asociatividad random.
2. Escoger una protocolo random.
3. Llenar un bloque de la cache L2 con un dato A asegurándose que esté en estado S
4. Llenar un set de L1 C1 con datos distintos de A y L1 C2 con una probabilidad del 50 % de tener el dato A.
5. Forzar un load o store (50%) y realizar verificación 1

Checks

1. Verificación 1: **Si C2 tiene el dato:** LOAD: Verificar que el dato está en S en C1 y C2 STORE: Verificar que el dato en C2 pasa a invalido, y que C1 tiene el dato modificado **Si C2 no tiene el dato:** LOAD: Verificar que el dato está en S en C1 STORE: Verificar que el dato está en M en C1

1.3. L2 miss miss

1. Escoger una asociatividad random.
2. Llenar un bloque de la cache L2 asegurándose que el dato A no esté
3. Llenar un set de L1 C1 con datos distintos de A y L1 C2 con una probabilidad del 50 % de tener el dato A en S.
4. Forzar un load o store (50%) y realizar verificación 1

Checks

1. Verificación 1: **Si C2 tiene el dato:** LOAD: Verificar que el dato en C2 se queda en S, C1 pasa a I
STORE: verificar que C2 tenga el dato I y C1 en M **Si C2 no tiene el dato:** LOAD: El dato entra en E
a C1. STORE: El dato entra a M a C1